

VERÔNICA MARIA LIMA SILVA

**CONVERSOR A/D COM AMOSTRAGEM NÃO-UNIFORME E PASSO DE
QUANTIZAÇÃO ADAPTATIVO**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica - PPGEE, da Universidade Federal da Paraíba - UFPB, como requisito parcial para a obtenção do título de Mestre em Engenharia Elétrica.

Orientadores: Antonio Augusto Lisboa de
Souza
Sebastian Yuri Cavalcanti Catunda

JOÃO PESSOA

2014

VERONICA MARIA LIMA SILVA

**CONVERSOR A/D COM AMOSTRAGEM NÃO-UNIFORME E PASSO DE
QUANTIZAÇÃO ADAPTATIVO**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica - PPGEE, da Universidade Federal da Paraíba - UFPB, como requisito parcial para a obtenção do título de Mestre em Engenharia Elétrica.

Orientadores: Antonio Augusto Lisboa de
Souza
Sebastian Yuri Cavalcanti Catunda

JOÃO PESSOA

2014

FICHA CATALOGRÁFICA

Silva, Veronica

CONVERSOR A/D COM AMOSTRAGEM NÃO-UNIFORME E PASSO DE QUANTIZAÇÃO ADAPTATIVO – João Pessoa, 2014.

103 páginas

Área de concentração: Sistemas Eletroeletrônicos Energeticamente Eficientes.

Orientadores: Prof. Dr. Antonio Augusto de Souza, Prof. Dr. Sebastian Yuri Cavalcanti Catunda.

Dissertação (Mestrado) – UFPB/PPGEE.

1. Conversor Analógico-Digital; 2 Amostragem por Cruzamento de Níveis (Não-uniforme); 3 Adaptação do Passo de Quantização

UNIVERSIDADE FEDERAL DA PARAÍBA – UFPB
CENTRO DE ENERGIAS ALTERNATIVAS E RENOVÁVEIS – CEAR
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA - PPGE

A Comissão Examinadora, abaixo assinada, aprova a Dissertação

**CONVERSOR A/D COM AMOSTRAGEM NÃO-UNIFORME E PASSO DE
QUANTIZAÇÃO ADAPTATIVO**

Elaborada por

VERONICA MARIA LIMA SILVA

como requisito parcial para obtenção do grau de
Mestre em Engenharia Elétrica.

COMISSÃO EXAMINADORA

**PROF. DR. ANTONIO AUGUSTO LISBOA DE SOUZA (PRESIDENTE,
ORIENTADOR), PPGE/UFPB**

PROF. DR. SEBASTIAN YURI CAVALCANTI CATUNDA (ORIENTADOR), UFRN

PROF. DR. ANTONIO CARLOS CAVALCANTI, PPGI/UFPB

PROF. DR. CÍCERO DA ROCHA SOUTO, PPGE/UFPB

PROF. DR. RAIMUNDO CARLOS SILVÉRIO FREIRE, PPGE/UFCG

João Pessoa/PB, 21 de fevereiro de 2014.

Aos meus pais, aos meus irmãos e a minha vó, pelo tempo que deixamos de estar
juntos.

Dedico

AGRADECIMENTOS

Aos meus pais, José Carlos Lima Silva e Maria Luciene Ferreira Lima por todo o incentivo e esforço dedicados aos meus estudos.

Ao professor Antonio Augusto Lisboa de Souza, pela orientação, apoio e empenho sem os quais este trabalho não seria possível.

Ao meu co-orientador Sebastian Yuri Cavalcanti Catunda, pelas contribuições e sugestões assertivas.

Aos professores da pós-graduação em Engenharia Elétrica da UFPB, que tanto contribuíram com a minha formação.

Aos meus colegas de pós-graduação e grandes amigos, em especial Marcos Bernardo, Jeanne Braquehais e Igor Pereira que estiveram comigo durante a maior parte do mestrado e que tornaram as horas de dedicação no laboratório mais leves e divertidas.

Ao meu namorado, Victor Miranda, pelo companheirismo, apoio e, sobretudo compreensão.

À Universidade Federal da Paraíba, pelo o apoio técnico e estrutural.

À CAPES pela concessão da bolsa de mestrado.

“A leitura após certa idade distrai excessivamente o espírito humano das suas reflexões criadoras. Todo o homem que lê de mais e usa o cérebro de menos adquire a preguiça de pensar.”
Albert Einstein.

SUMÁRIO

LISTA DE ILUSTRAÇÕES	VII
RESUMO.....	X
ABSTRACT.....	XI
1 INTRODUÇÃO	13
1.1 MOTIVAÇÃO E OBJETIVOS	13
1.2 ESTRUTURAÇÃO DO DOCUMENTO	16
2 FUNDAMENTAÇÃO TEÓRICA	18
2.1 CONVERSOR ANALÓGICO-DIGITAL	18
2.2 AMOSTRAGEM UNIFORME	19
2.2.1 TEOREMA DA AMOSTRAGEM.....	20
2.2.2 QUANTIZAÇÃO	21
2.2.3 RECUPERAÇÃO DO SINAL	23
2.2.4 PRINCIPAIS ARQUITETURAS DOS ADC's	25
2.2.4.1 FLASH OU PARALELOS	25
2.2.4.2 APROXIMAÇÕES SUCESSIVAS	27
2.3 AMOSTRAGEM NÃO-UNIFORME.....	28
2.3.1 AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS.....	28
2.3.2 AMOSTRAGEM COM PASSO DE QUANTIZAÇÃO FIXO.....	31
2.3.3 AMOSTRAGEM COM ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO.....	36
2.3.4 ESTADO DA ARTE E LIMITAÇÕES	38
2.3.5 PROCESSO DE RECUPERAÇÃO DO SINAL.....	42
3 ARQUITETURA PROPOSTA	45
3.1 PARÂMETROS DA ARQUITETURA.....	46
3.1.1 PASSO MÍNIMO DE QUANTIZAÇÃO	46
3.1.2 PASSO MÁXIMO DE QUANTIZAÇÃO.....	48
3.1.3 TEMPO_SEM_CRUZAMENTO (T-S-C).....	49
3.2 ALGORITMO DE ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO	51
3.3 ALGORITMO DE ATUALIZAÇÃO DOS NÍVEIS DE CRUZAMENTO	54
4 IMPLEMENTAÇÃO E VERIFICAÇÃO FUNCIONAL.....	58
4.1 VERSÃO EM ALTO NÍVEL (MATLAB).....	58
4.2 IMPLEMENTAÇÃO EM HARDWARE	59
4.2.1 AMBIENTE DE CONCEPÇÃO	59

4.2.2	PLATAFORMA PARA IMPLEMENTAÇÃO	61
4.3	VERIFICAÇÃO FUNCIONAL	62
4.3.1	SINAIS DE TESTE	63
4.3.1.1	ELETROCARDIOGRAMA.....	63
4.3.1.2	ESCADA	64
4.3.1.3	ESCADA SENOIDAL	64
4.3.2	TESTBENCH.....	65
5	RESULTADOS E DISCUSSÕES.....	69
5.1	DIFERENTES VALORES DE PASSO MÁXIMO E PASSO MÍNIMO	69
5.1.1	ELETROCARDIOGRAMA.....	69
5.1.2	SINAL ESCADA.....	72
5.1.3	SINAL ESCADA SENOIDAL	73
5.2	DIFERENTES VALORES TEMPO_SEM_CRUZAMENTO	74
5.3	MÉTRICAS DA AMOSTRAGEM	77
5.4	RECONSTRUÇÃO DO SINAL	87
5.5	RESULTADOS EXPERIMENTAIS	90
6	CONSIDERAÇÕES FINAIS	98
6.1	RESUMO DO TRABALHO	98
6.2	SUGESTÕES DE TRABALHOS FUTUROS	99
6.3	ARTIGO PUBLICADO RELATIVO A ESTE TRABALHO	100
	REFERÊNCIAS.....	101

LISTA DE ILUSTRAÇÕES

FIGURA 1 – SINAL DO ELETROCARDIOGRAMA (ECG) – EXEMPLO DE SINAL ESPARSO.....	14
FIGURA 2 – DIAGRAMA DE BLOCOS DE UM CONVERSOR ANALÓGICO-DIGITAL (ADAPTADO DE (MALOBERTI, 2007)).....	18
FIGURA 3 – SENOIDE UNIFORMEMENTE AMOSTRADA (TAXA DE AMOSTRAGEM 25 HZ).....	19
FIGURA 4 – SENOIDE SUBAMOSTRADA.....	20
FIGURA 5 – SENOIDE AMOSTRADA SEGUINDO CRITÉRIO DE NYQUIST.	21
FIGURA 6 – ERRO DE QUANTIZAÇÃO DE UMA SENOIDE QUANTIZADA (3 BITS DE RESOLUÇÃO).....	22
FIGURA 7 – ESPECTRO DE UM SINAL QUALQUER	23
FIGURA 8 – ESPECTRO DE UM SINAL AMOSTRADO A FS	24
FIGURA 9 - RECUPERAÇÃO DO SINAL COM FILTRO RECONSTRUTOR IDEAL	24
FIGURA 10 – ESPECTRO DE UM SINAL AMOSTRADO COM $FS < FS_{SINAL}$	25
FIGURA 11 – CONVERSOR AD PARALELO (FLASH).....	26
FIGURA 12 – ARQUITETURA DE APROXIMAÇÃO SUCESSIVA.....	28
FIGURA 13 – SENOIDE AMOSTRADA POR CRUZAMENTO DE NÍVEIS	29
FIGURA 14 – POSSÍVEIS ESTADOS DO SINAL DE ENTRADA NA AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS.....	30
FIGURA 15 – ECG AMOSTRADO COM PASSO DE QUANTIZAÇÃO FIXO DE 47 MILIVOLTS.....	33
FIGURA 16 – ECG AMOSTRADO COM PASSO DE QUANTIZAÇÃO FIXO DE 188 MILIVOLTS.....	34
FIGURA 17 – ECG AMOSTRADO COM PASSO DE QUANTIZAÇÃO FIXO DE 752 MILIVOLTS.....	35
FIGURA 18 – EFEITO DA PERDA DE INFORMAÇÃO CAUSADA PELO TEMPO DE PROCESSAMENTO.	36
FIGURA 19 – ECG AMOSTRADO COM ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO.....	37
FIGURA 20 – AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS IMPLEMENTADO POR [23].....	39
FIGURA 21 – FORMA DE ONDA DO ECG DIVIDIDA EM REGIÕES DE ALTA E BAIXA ATIVIDADE.....	40
FIGURA 22 – FLUXOGRAMA DE ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO DESENVOLVIDO EM [20].....	41
FIGURA 23 – DIAGRAMA DE BLOCOS DA ARQUITETURA DO CONVERSOR DESENVOLVIDA.....	45
FIGURA 24 – EFEITO DA ESCOLHA DO PASSO MÍNIMO DE QUANTIZAÇÃO PELO USUÁRIO.....	47

FIGURA 25 – EFEITO DA ESCOLHA DO PASSO MÍNIMO DE QUANTIZAÇÃO PELO USUÁRIO.....	49
FIGURA 26 – EFEITO DO PARÂMETRO TEMPO_SEM_CRUZAMENTO (T-S-C) NA ARQUITETURA DESENVOLVIDA.....	50
FIGURA 27 – FLUXOGRAMA DA ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO.....	52
FIGURA 28 – SITUAÇÃO EVITADA COM O TESTE "MESMO NÍVEL" DO ALGORITMO DE ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO.	53
FIGURA 29 – VISÃO GERAL DO FUNCIONAMENTO DO ALGORITMO DE ADAPTAÇÃO DO PASSO PARA UM SINAL DE ENTRADA.....	54
FIGURA 30 – ATUALIZAÇÃO DOS NÍVEIS PARA O ESTADO 1.....	55
FIGURA 31 – ATUALIZAÇÃO DOS NÍVEIS PARA O ESTADO 2.....	56
FIGURA 32 – ATUALIZAÇÃO DOS NÍVEIS PARA O ESTADO 3.....	56
FIGURA 33 – AMBIENTE DE DESENVOLVIMENTO ESCOLHIDO PARA SIMULAR A ARQUITETURA EM ALTO NÍVEL (MATLAB).	58
FIGURA 34 – BLOCO COM ENTRADAS E SAÍDAS DO IP DESENVOLVIDO.....	60
FIGURA 35 – AMBIENTE DE DESENVOLVIMENTO DA ARQUITETURA EM LINGUAGEM DE DESCRIÇÃO DE HARDWARE.....	60
FIGURA 36 – ARQUITETURA IMPLEMENTADA COM COMPONENTES DICRESTOS (DIAGRAMA DE BLOCOS E FOTO).....	62
FIGURA 37 – SINAL DE TESTE: ELETROCARDIOGRAMA.	64
FIGURA 38 – SINAL DE TESTE: ESCADA.	64
FIGURA 39 – SINAL DE TESTE: ESCADA SENOIDAL.....	65
FIGURA 40 – VISÃO GERAL DO <i>TESTBENCH</i>	66
FIGURA 41 – FORMAS DE ONDA DO <i>TESTBENCH</i> NO AMBIENTE MODELSIM.....	67
FIGURA 42 – SINAL DE ECG ORIGINAL (450 AMOSTRAS) AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.....	70
FIGURA 43 – SINAL DE ECG SEM NÍVEL DC (4500 AMOSTRAS) AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.	71
FIGURA 44 – SINAL ESCADA AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.	72
FIGURA 45 – SINAL ESCADA AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.	73
FIGURA 46 – SINAL DE ECG SEM NÍVEL DC (4500 AMOSTRAS) AMOSTRADO COM T-S-C VARIANDO ENTRE 1.78 MS E 14.2 MS..	74
FIGURA 47 – SINAL ESCADA AMOSTRADO COM T-S-C VARIANDO ENTRE 1.78 MS E 14.2 MS.....	75
FIGURA 48 – SINAL ESCADA SENOIDAL AMOSTRADO COM T-S-C VARIANDO ENTRE 1,78 MS E 14,2 MS.....	76
FIGURA 49 – SINAL SENOIDAL QUANTIZADO COM 4 BITS DE RESOLUÇÃO .	79

FIGURA 50 – SINAL SENOIDAL QUANTIZADO COM 6 BITS DE RESOLUÇÃO .	79
FIGURA 51 – SINAL SENOIDAL QUANTIZADO COM 8 BITS DE RESOLUÇÃO .	80
FIGURA 52 – ECG AMOSTRADO UNIFORMEMENTE COM FREQUÊNCIA DE AMOSTRAGEM DE 112,5 HZ E QUANTIZADO COM 8 BITS DE RESOLUÇÃO.	82
FIGURA 53 – ECG AMOSTRADO UNIFORMEMENTE COM FREQUÊNCIA DE AMOSTRAGEM DE 281,25 HZ E QUANTIZADO COM 8 BITS DE RESOLUÇÃO	83
FIGURA 54 – ECG AMOSTRADO UNIFORMEMENTE COM FREQUÊNCIA DE AMOSTRAGEM DE 562,5 HZ E QUANTIZADO COM 8 BITS DE RESOLUÇÃO	83
FIGURA 55 – ECG AMOSTRADO DE MANEIRA NÃO-UNIFORME COM A CONFIGURAÇÃO DE PARÂMETROS QUE RESULTOU NA MENOR VALOR SNR (24,84 DB)	85
FIGURA 56 – ECG AMOSTRADO DE MANEIRA NÃO-UNIFORME COM A CONFIGURAÇÃO DE PARÂMETROS QUE RESULTOU NO MAIOR VALOR SNR (28,21 DB)	86
FIGURA 57 – SINAL DE ECG RECONSTRUÍDO COM MAIOR SNR	89
FIGURA 58 – SINAL DE ECG RECONSTRUÍDO COM MENOR SNR	90
FIGURA 59 – SETUP EXPERIMENTAL.....	91
FIGURA 60 – RESULTADO EXPERIMENTAL PARA UM SINAL DC.....	92
FIGURA 61 – RESULTADO EXPERIMENTAL PARA UM SINAL DE ENTRADA RESULTANTE DA VARIAÇÃO DE UM POTENCIOMÊTRO (CLOCK 1HZ).....	93
FIGURA 62 – RESULTADO EXPERIMENTAL PARA UM SINAL DE ENTRADA RESULTANTE DA VARIAÇÃO DE UM POTENCIOMÊTRO (CLOCK 10HZ).....	93
FIGURA 63 – RESULTADO EXPERIMENTAL DO CONVERSOR COM CLOCK DE 100 KHZ PARA O SINAL DE ECG, VISTO NO OSCILOSCÓPIO.	94
FIGURA 64 – RESULTADO EXPERIMENTAL PARA O SINAL DE ECG PLOTADO NO MATLAB.	95
FIGURA 65 – TEMPO DE PROCESSAMENTO DO CONVERSOR.....	96
FIGURA 66 – SITUAÇÃO EM QUE O SINAL DE ENTRADA VARIA MUITO POUCO EM TORNO DE UM NÍVEL DE CRUZAMENTO.	99

RESUMO

CONVERSOR A/D COM AMOSTRAGEM NÃO-UNIFORME E PASSO DE QUANTIZAÇÃO ADAPTATIVO

Neste trabalho, faz-se uma análise de diferentes arquiteturas de conversores analógico-digitais, e propõe-se uma arquitetura de conversor analógico-digital baseado em amostragem por cruzamento de níveis (não-uniforme) com adaptação do passo de quantização, com o objetivo de reduzir o consumo de energia requerido pela conversão analógica-digital e processamento de sinais com características específicas. A arquitetura proposta possui parâmetros que podem ser configurados dinamicamente pelo usuário, a fim de que o processo de conversão se adeque às características do sinal a ser amostrado e aos requerimentos de consumo de energia da aplicação. A arquitetura foi modelada e simulada em MatLab, tendo sido utilizada na conversão de diversos sinais de teste, dentre os quais um sinal típico de eletrocardiograma. Verificou-se que a amostragem não-uniforme com adaptação do passo de quantização proposta resultou em um aumento da relação sinal-ruído do sinal amostrado de até 10dB quando comparado com a amostragem uniforme. A implementação da parte digital foi feita em FPGA a partir de uma descrição em SystemVerilog funcionalmente compatível com o modelo em Matlab, e a parte analógica foi implementada com componentes discretos.

Descritores: Conversor Analógico-Digital, Amostragem não uniforme; Cruzamento de nível, Adaptação do Passo de Quantização.

ABSTRACT

NON-UNIFORM SAMPLING ADAPTIVE QUANTIZATION STEP A/D CONVERTER

In this work, we analyse different architectures of analog-to-digital converters (ADC) and propose an architecture based on sampling by crossing levels and adaptive quantization step, aiming at reducing the energy required to convert and process specific signals. The proposed architecture has parameters which can be dynamically configured by the user, as to adapt the conversion process to the signal being sampled and to the requirements of power consumption of the target application. The architecture was modeled and simulated using Matlab, and used to convert several test signals, of which an ECG signal. The use of the proposed architecture resulted in SNR improvements of up to 10dB if compared against uniform (periodic) sampling. The digital logic was implemented in FPGA from a SystemVerilog description functionally compatible with the Matlab model, and the analog part was implemented with discrete components.

Key words: Analog-to-Digital Converter, Level Crossing Sampling (Non-uniform), Adaptation Step Quantization

1 INTRODUÇÃO

1 INTRODUÇÃO

O desenvolvimento crescente da microeletrônica propicia a concepção de sistemas cada vez mais complexos em um mesmo circuito integrado, que pode conter sensores, conversores analógico-digitais, circuitos de processamento digital de sinais, transmissão de dados, entre outros (ALLIER, 2003).

Em algumas aplicações, estes sistemas têm como pré-requisitos baixo custo, dimensões reduzidas e baixo consumo de energia, sobretudo quando se trata de sistemas alimentados por baterias ou energeticamente autônomos (ALLIER et al., 2003). Podem ser citados como exemplos desses sistemas os nós de redes de sensores sem fio, implantes médicos, entre outros.

Os conversores analógico-digitais são componentes essenciais em todos os sistemas que, como os citados anteriormente, precisam processar sinais naturais (contínuos tanto no tempo como em amplitude) com o uso de circuitos digitais. Ou seja, os conversores de dados devem prover a passagem de um mundo inerentemente analógico para o mundo digital, bem como o caminho inverso, no caso do conversor digital-analógico. Eles podem ser utilizados para fazer a interface entre sensores e microcontroladores ou Processadores de Sinais Digitais (DSP).

Existe um grande número de arquiteturas de conversores analógico-digitais. As utilizadas comumente fazem a amostragem dos sinais de maneira periódica, ou seja, amostram o sinal a intervalos de tempo constantes (definidos pela frequência de amostragem do sistema). No entanto, em algumas aplicações e a depender das características dos sinais a serem tratados, esse tipo de amostragem pode não ser o mais eficiente do ponto de vista energético. Concentrando-se nessas aplicações é que surge a motivação para esta dissertação, como é detalhado no tópico a seguir.

1.1 MOTIVAÇÃO E OBJETIVOS

Existem inúmeras aplicações em que é necessário fazer a aquisição de sinais que concentram sua informação numa pequena janela de tempo, enquanto permanecem praticamente inalterados por um longo período. Os sinais com estas características são chamados de sinais esparsos (*sparse*, do inglês) ou explosivos (*burst*, do inglês) (SRIKANTH, 2012; BOSE, 1998). Podem ser citados como

exemplos dispositivos médico portáteis que processam e transmitem sinais biomédicos (eletrocardiograma, potencial de ação dos neurônios, pressão sanguínea), ou ainda aplicações que processam sinais inerentemente de variação lenta, mas que sua alteração a partir de certos limiares (detecção de limiar) deve ser prontamente informada/enviada e tratada (temperatura, pressão, entre outros). Para efeitos de ilustração do primeiro caso, um sinal típico de eletrocardiograma (ECG) é mostrado na Figura 1.

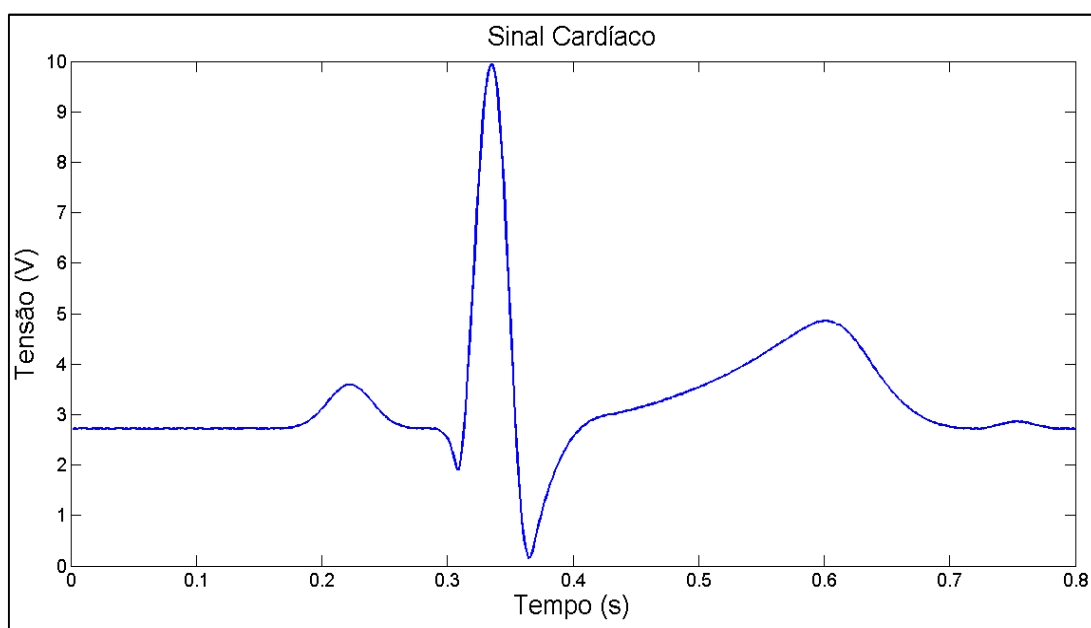


FIGURA 1 – SINAL DO ELETROCARDIOGRAMA (ECG) – EXEMPLO DE SINAL ESPARSO.

Observando sinais com estas características, surge o questionamento: tomando como base um sistema com amostragem periódica (uniforme) e visando a reconstrução do sinal através de um processamento simples (tal como uma interpolação linear), seria necessário utilizar uma taxa de amostragem muito maior que a mínima estabelecida pelo teorema de Nyquist, a fim de poder representar/recuperar corretamente as porções do sinal onde há variações bruscas. Este aumento de taxa de amostragem (em relação ao limite inferior teórico) resultaria, por conseguinte em aumento da energia consumida na conversão do sinal, sendo o maior desperdício associado às amostras redundantes no período onde o sinal permanece praticamente inalterado. Por outro lado, se a escolha for por

uma taxa de amostragem próxima do limite teórico (requerendo, portanto um filtro de ordem elevada para a reconstrução do sinal, o que se deseja evitar) visando a diminuição do número de amostras e por conseguinte a redução do consumo de energia, pode haver perda de informação quando o sinal varia substancialmente.

Vislumbrando a conversão de sinais com tais características (sinais esparsos), o uso de amostragem não-uniforme por cruzamento de níveis aparece como alternativa e pode resultar em aumento da eficiência energética.

Para tornar mais claro a vantagem energética deste tipo de amostragem, pode-se citar como exemplo a seguinte aplicação: um dispositivo biomédico microcontrolado que transmite por radio-frequência um sinal de eletrocardiograma para uma estação de monitoramento. Se o dispositivo amostra o sinal de maneira uniforme, mesmo que o sinal permaneça inalterado um timer irá “acordar” (de um estado de baixo consumo de energia) o microcontrolador para que este proceda à conversão analógica-digital do sinal, que em seguida irá acordar o transceptor (também de um estado de baixo consumo de energia) para o envio da amostra à estação de monitoramento.

Porém, se nessa mesma aplicação o sinal é amostrado de maneira não-uniforme, o microcontrolador e o transceptor só seriam acordados nos momentos em que há variação do sinal (informação), para envio do valor da amostra e do tempo transcorrido desde a última amostra realizada (já que neste tipo de amostragem o tempo entre amostras não é fixo como no caso da amostragem uniforme). Desta forma, acredita-se que este a amostragem não-uniforme resultaria em um menor consumo energético do sistema, através da manutenção de seus componentes em um estado de baixo consumo de energia enquanto não há variações substanciais do sinal.

Com esta motivação, este trabalho se concentra no estudo e implementação de um conversor analógico-digital por cruzamento de níveis e com adaptação do passo de quantização visando à conversão de sinais com informação concentrada em janelas de tempo ou para aplicações que precisam detectar limiares de um sinal. O trabalho contempla uma pesquisa de arquiteturas de conversores analógico-digitais periódicos (uniforme) e não-periódicos (não-uniforme), além da análise de topologias para a detecção de mudanças no nível do sinal e algoritmos de adaptação do passo de quantização. A partir deste estudo, propôs-se uma

arquitetura de conversor contendo parâmetros dinamicamente ajustáveis pelo usuário. Em alguns dos casos testados, verificou-se que a amostragem não-uniforme com adaptação do passo de quantização proposta resultou em um aumento da relação sinal-ruído do sinal amostrado de até 10dB quando comparado com a amostragem uniforme. A lógica digital da arquitetura proposta foi implementada em FPGA, e a parte analógica foi implementada com componentes discretos.

1.2 ESTRUTURAÇÃO DO DOCUMENTO

O restante do documento está estruturado da seguinte forma: no capítulo 2, descreve-se a fundamentação teórica necessária ao desenvolvimento do trabalho, incluindo conceitos pertinentes à arquitetura desenvolvida. A arquitetura proposta é detalhada no capítulo 3. No capítulo 4, são descritas a implementação e a verificação funcional da arquitetura proposta. No capítulo 5 são apresentados os resultados obtidos, além de análises e discussões. Por fim, no capítulo 6 são feitas considerações finais e sugestões para trabalhos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo, alguns conceitos teóricos necessários ao desenvolvimento do projeto são introduzidos. Inicia-se com uma breve definição do conversor analógico-digital, em seguida os tipos de amostragens existentes são detalhados, com suas diferenças, vantagens e desvantagens.

2.1 CONVERSOR ANALÓGICO-DIGITAL

Um conversor Analógico-Digital (ADC, do inglês, *Analog-to-Digital Converter*) é um dispositivo que converte um sinal de amplitude e tempo contínuos para um sinal de amplitude e tempo discretos, de acordo com uma dada lei de quantização que representa todos os valores analógicos de entrada em um número limitado de códigos digitais na saída.

Na Figura 2 observa-se o diagrama de blocos de um ADC ideal, o qual é formado pelo encadeamento de quatro blocos: um filtro anti-recobrimento um amostrador, um quantizador e um codificador (MALOBERTI, 2007).

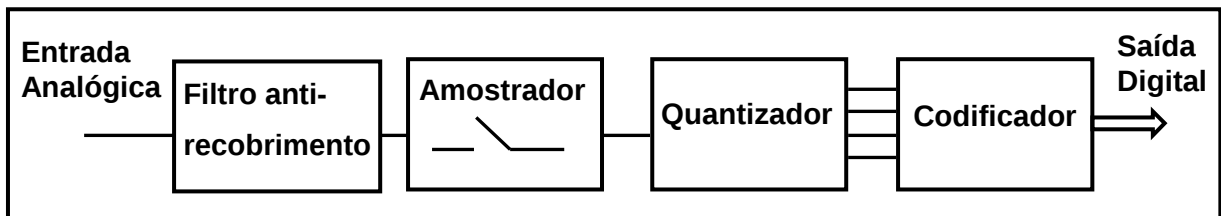


FIGURA 2 – DIAGRAMA DE BLOCOS DE UM CONVERSOR ANALÓGICO-DIGITAL (ADAPTADO DE (MALOBERTI, 2007)).

O filtro anti-recobrimento (do inglês, *anti-aliasing*) é, de maneira simplificada, o bloco que filtra as frequências indesejadas da banda de interesse do sinal. O amostrador é o bloco que realiza a aquisição de amostras do sinal de tempo contínuo. O processo de amostragem pode ser feito de maneira uniforme, ou seja, o sinal é amostrado sempre com o mesmo período de tempo, ou de forma não-uniforme, na qual a amostragem do sinal é disparada por algum evento. Esses tipos de amostragem serão detalhados nas próximas seções. O quantizador é o bloco responsável pela mudança dos dados amostrados de amplitude contínua para níveis

discretos. Por fim, o codificador transforma os dados quantizados em códigos binários.

2.2 AMOSTRAGEM UNIFORME

Como visto no tópico anterior, a amostragem é uma das etapas do processo de conversão de um sinal do domínio analógico para o digital e pode ser realizada de duas maneiras: uniforme e não-uniforme.

A amostragem uniforme é o tipo de amostragem comumente utilizada nos conversores analógico-digital dos microcontroladores e processadores de sinais digitais (DSP, do inglês *Digital Signal Processing*). O período de tempo entre duas amostras seguidas do sinal (ΔT) define a taxa de amostragem (T_a) do conversor através da equação $T_a = \frac{1}{\Delta T}$, que representa a quantidade de amostras realizadas por unidade de tempo, geralmente expressa Hz ou em amostras/segundo.

Na Figura 3, pode-se observar um exemplo deste tipo de amostragem: um período completo de um sinal senoidal de 1 Hz uniformemente amostrado, com o ΔT de 0,04 s, resultando portanto numa taxa de amostragem de 25 Hz.

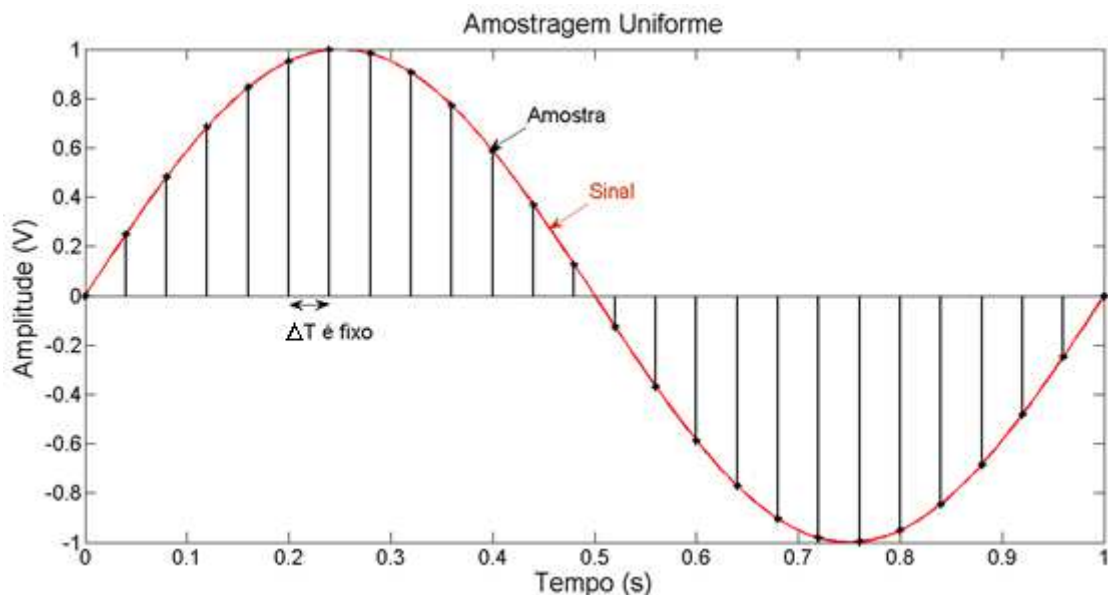


FIGURA 3 – SENOIDE UNIFORMEMENTE AMOSTRADA (TAXA DE AMOSTRAGEM 25 HZ).

A escolha apropriada do período de amostragem é uma decisão importante para o processamento efetivo de um sinal uniformemente amostrado. O máximo valor que o período de amostragem de um sinal pode assumir foi definido por Nyquist em 1928 (NYQUIST, 1928), o que ficou conhecido como Teorema da Amostragem de Nyquist

2.2.1 TEOREMA DA AMOSTRAGEM

O teorema proposto por Nyquist estabelece que a frequência de amostragem (taxa de amostragem) de um sinal deve exceder duas vezes a maior componente espectral de frequência deste sinal para que o mesmo possa ser reconstruído. Caso esse teorema não seja obedecido, o sinal amostrado conterá frequências indesejadas (*aliasing*) que comprometerão a reconstrução do sinal. Na Figura 4, pode-se observar o efeito da escolha por uma taxa de amostragem (T_a) que fere o teorema da amostragem.

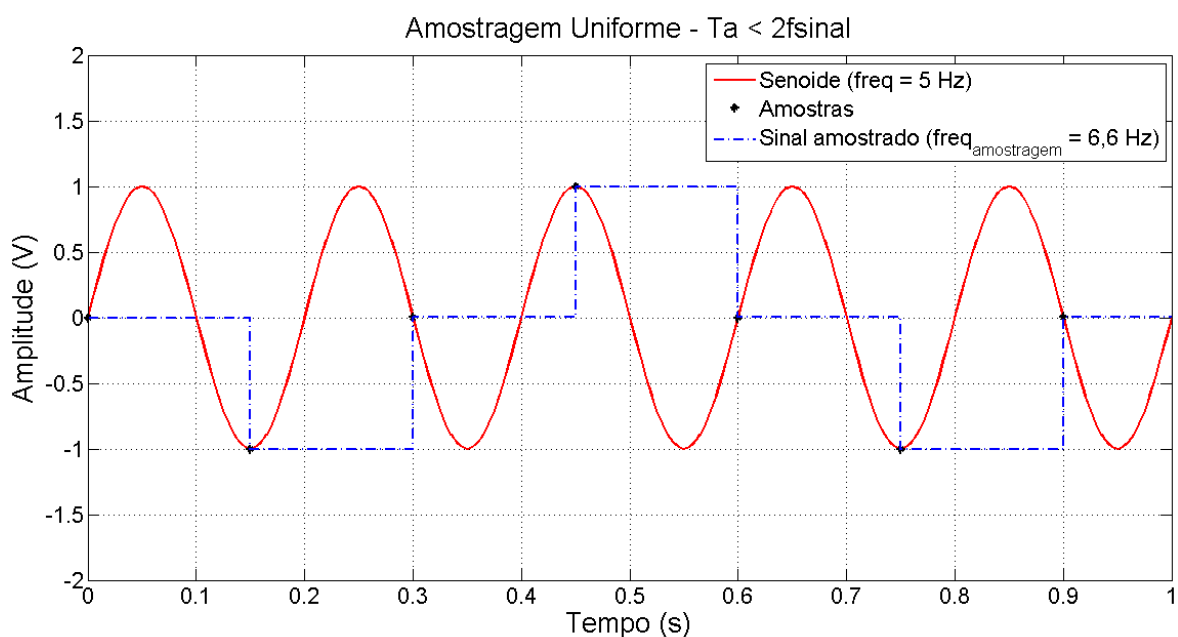


FIGURA 4 – SENOIDE SUBAMOSTRADA.

A frequência da senoide a ser amostrada, vista na Figura 4, é de 5 Hz. Segundo Nyquist, a frequência de amostragem a ser escolhida para garantir a reconstrução do sinal seria acima de 10 Hz. Portanto, como a escolha foi de uma frequência de amostragem de 6,6 Hz, menor que a exigida pelo teorema (sinal

subamostrado), o sinal amostrado não consegue reproduzir a frequência do sinal original.

Na Figura 5, pode ser visto o mesmo sinal amostrado obedecendo ao teorema de Nyquist. Desta vez foi escolhida a frequência de amostragem de 20 Hz. Pode-se observar que, diferentemente do caso anterior, o sinal amostrado consegue reproduzir a frequência da senoide original.

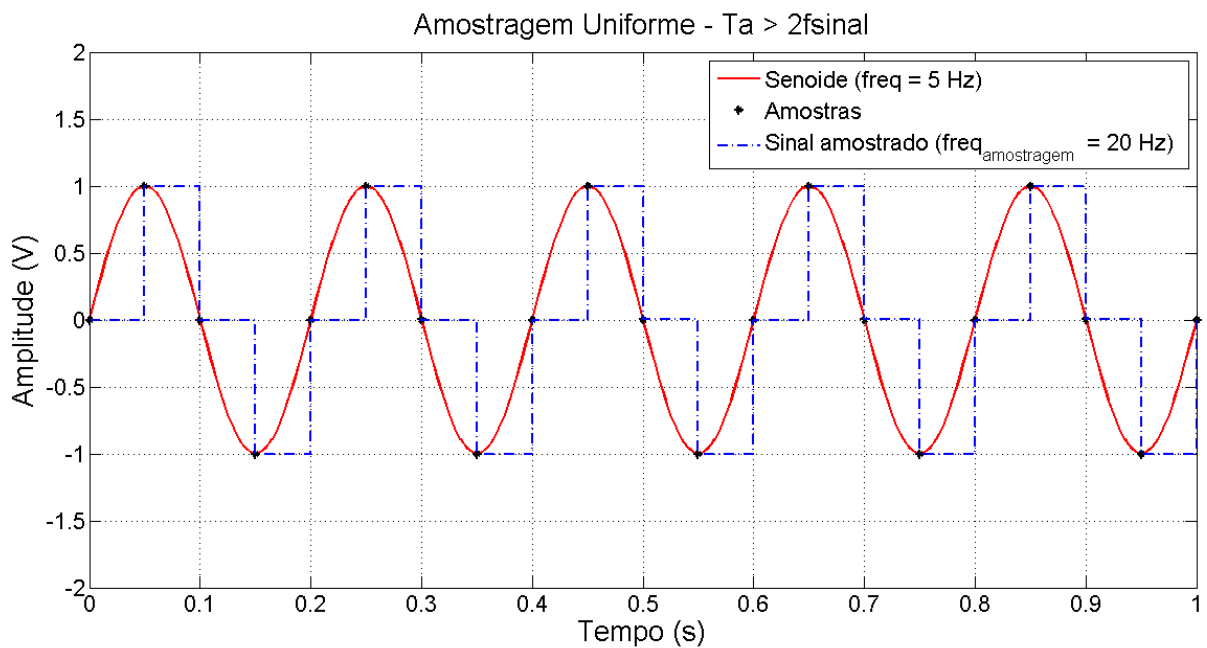


FIGURA 5 – SENOIDE AMOSTRADA SEGUINDO CRITÉRIO DE NYQUIST.

Após a análise pertinente à escolha da frequência de amostragem de um sinal uniformemente amostrado, o próximo subtópico trata da quantização da amplitude amostrada e de alguns erros decorrentes dessa etapa.

2.2.2 QUANTIZAÇÃO

A quantização da amplitude do sinal pode ser definida como a associação de faixas contínuas de amplitude a níveis específicos (discretos) de amplitude. O tamanho desses níveis (Δ) é definido a partir da resolução do conversor analógico-digital, de acordo com a equação $\Delta = \frac{V_{\text{ref}}}{2^n}$, em que V_{ref} é o valor de referência do conversor, ou seja, o valor em escala completa, e n é o número de bits do conversor.

A amplitude amostrada é geralmente associada à metade do intervalo ($\Delta/2$), ao início ou ao fim.

O processo de quantização introduz um erro de amplitude denominado erro de quantização. Este erro é a diferença entre a amplitude do sinal de entrada e a amplitude quantizada. Na Figura 6, pode-se observar o exemplo de uma senoide de 5 Hz quantizada por um conversor com um valor de referência (V_{ref}) de 2 V e 3 bits de resolução, além do erro de quantização no tempo, que é chamado de ruído de quantização.

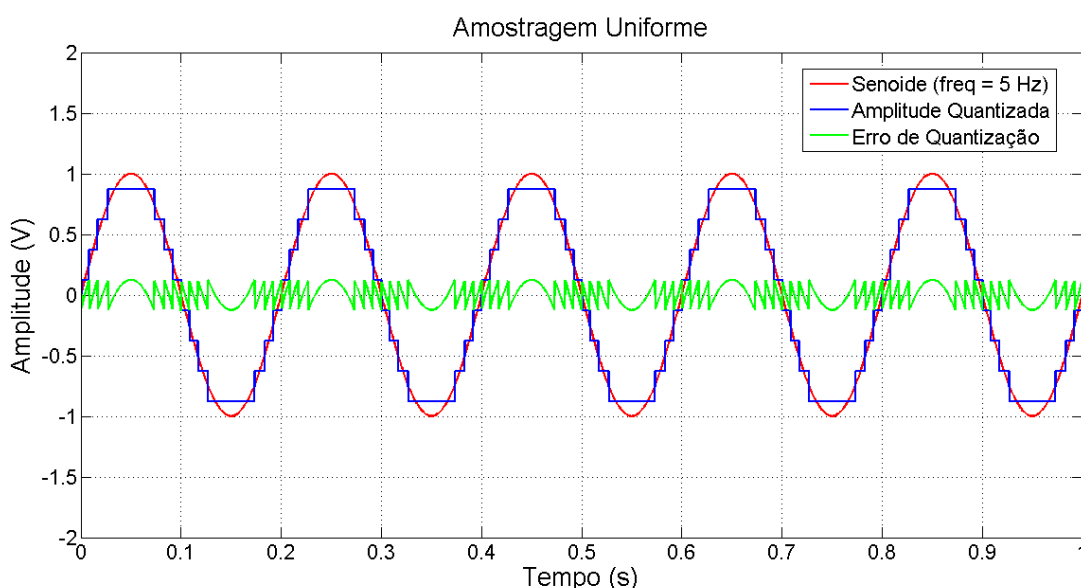


FIGURA 6 – ERRO DE QUANTIZAÇÃO DE UMA SENOIDE QUANTIZADA (3 BITS DE RESOLUÇÃO).

Uma métrica interessante para este efeito da quantização é a relação sinal-ruído (SNR, do inglês, Signal to Noise Ratio) que relaciona a potência do sinal à potência do ruído de quantização gerado. A *SNR* pode ser definida pela seguinte equação (KESTER, 2005):

$$SNR = 10 \log \left(\frac{P_{sinal}}{P_{ruído}} \right) \quad (1),$$

em que P_{sinal} e $P_{ruído}$ são a potência do sinal de entrada e a potência do ruído de quantização respectivamente.

O processo de amostragem e quantização acrescentam alguns erros à conversão que podem prejudicar o processo de recuperação do sinal (MALOBERTI, 2007) detalhado a seguir.

2.2.3 RECUPERAÇÃO DO SINAL

Para análise da recuperação de um sinal amostrado de maneira uniforme, pode-se levar em consideração o espectro de um sinal qualquer, como mostrado na Figura 7.

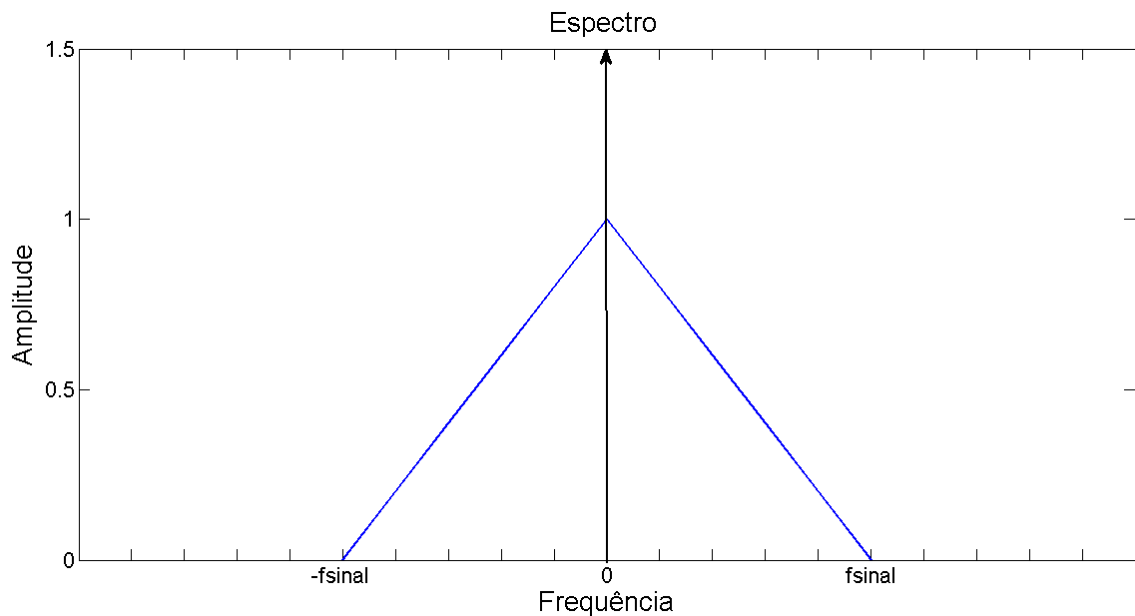
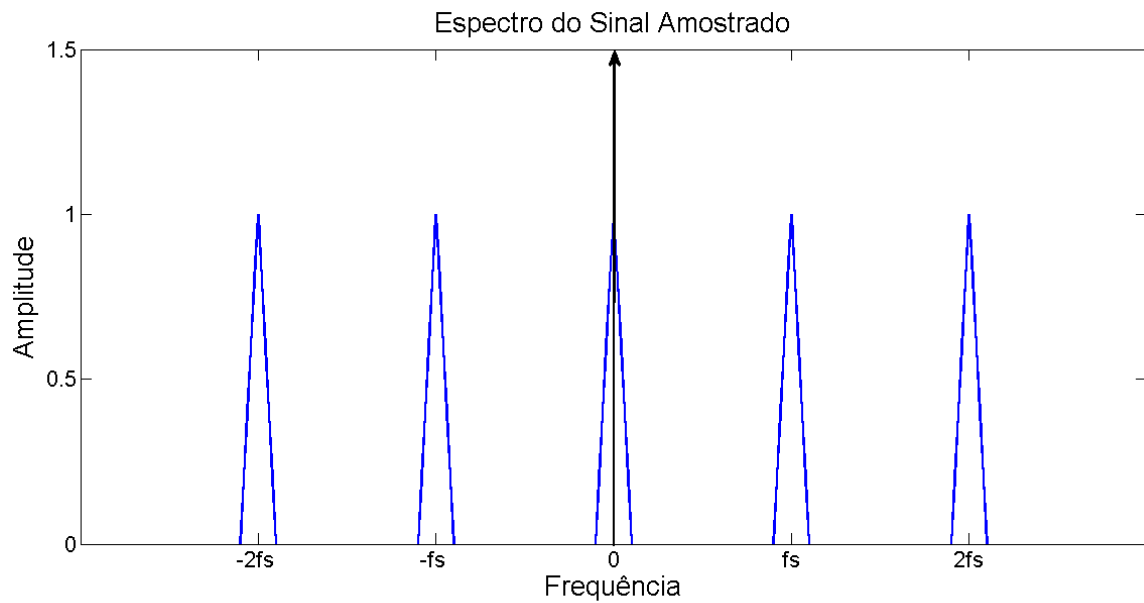


FIGURA 7 – ESPECTRO DE UM SINAL QUALQUER

A amostragem desse sinal a uma frequência de amostragem (f_s) gera réplicas do seu espectro nos múltiplos de f_s , como visto na Figura 8 com f_s obedecendo ao Teorema de Nyquist ($f_s > 2f_{\text{sinal}}$).

FIGURA 8 – ESPECTRO DE UM SINAL AMOSTRADO A f_s

A recuperação do sinal original a partir do espectro do sinal amostrado é realizada com a utilização de um filtro passa baixa, como ilustrado na Figura 9 com um filtro ideal. Porém se o sinal não foi amostrado seguindo o teorema de Nyquist ($f_s < 2f_{\text{sinal}}$) a reconstrução do sinal original não é possível devido à sobreposição do espectro, como pode ser observado na Figura 10.

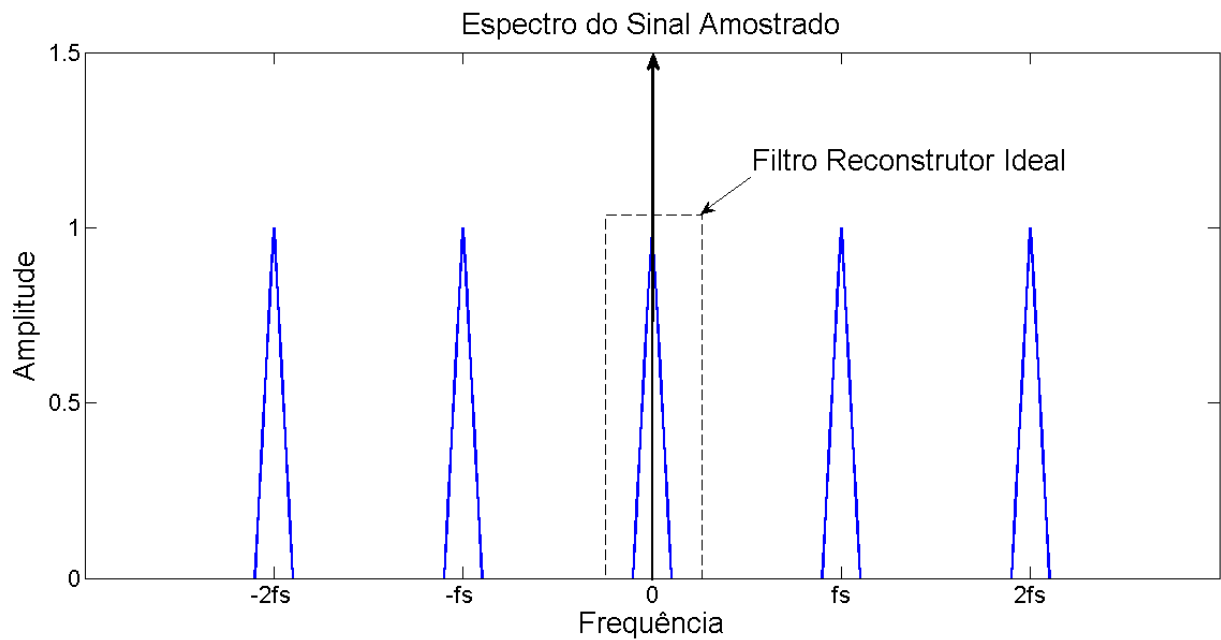


FIGURA 9 - RECUPERAÇÃO DO SINAL COM FILTRO RECONSTRUTOR IDEAL

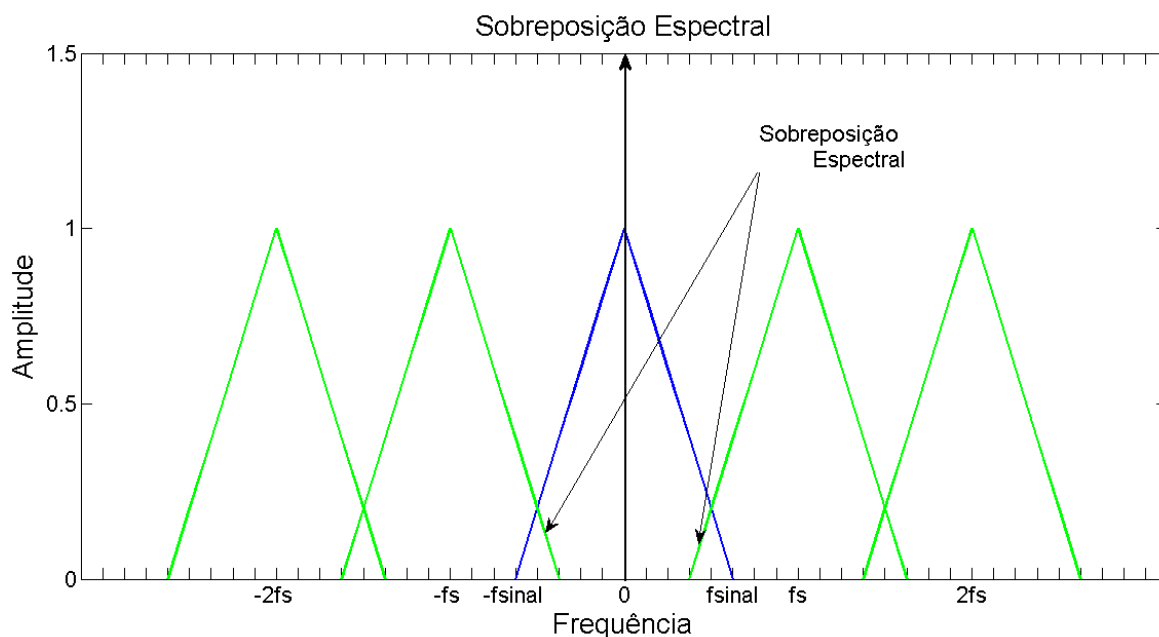


FIGURA 10 – ESPECTRO DE UM SINAL AMOSTRADO COM $f_s < f_{sinal}$

Através do observado nas figuras anteriores, conclui-se que um sinal amostrado de maneira uniforme pode ser totalmente reconstruído desde que se utilize um filtro reconstrutor ideal (ordem e complexidade elevadas), e se respeite o teorema de Nyquist.

2.2.4 PRINCIPAIS ARQUITETURAS DOS ADC's

Neste tópico, serão apresentadas algumas arquiteturas de conversores analógico-digitais que realizam a amostragem de maneira uniforme. Foram escolhidas as arquiteturas Flash e Aproximações Sucessivas por introduzirem conceitos que fazem parte do escopo do conversor proposto neste trabalho, tais como níveis de tensão pré-definidos e lógica digital para a busca do sinal a ser convertido.

2.2.4.1 FLASH OU PARALELOS

Com base na arquitetura flash mostrada na Figura 11, pode-se entender seu funcionamento da seguinte forma: para uma dada tensão de entrada, todos os comparadores abaixo de algum ponto da malha terão sua tensão de entrada, no

terminal positivo, maior do que sua tensão de referência, e apresentarão uma saída lógica 1. Todos os comparadores acima desse ponto terão uma tensão de entrada, no terminal positivo, menor do que sua tensão de referência, e apresentarão uma saída lógica 0 (MALOBERTI, 2007). As saídas dos comparadores serão codificadas e transformadas em uma saída de N bits.

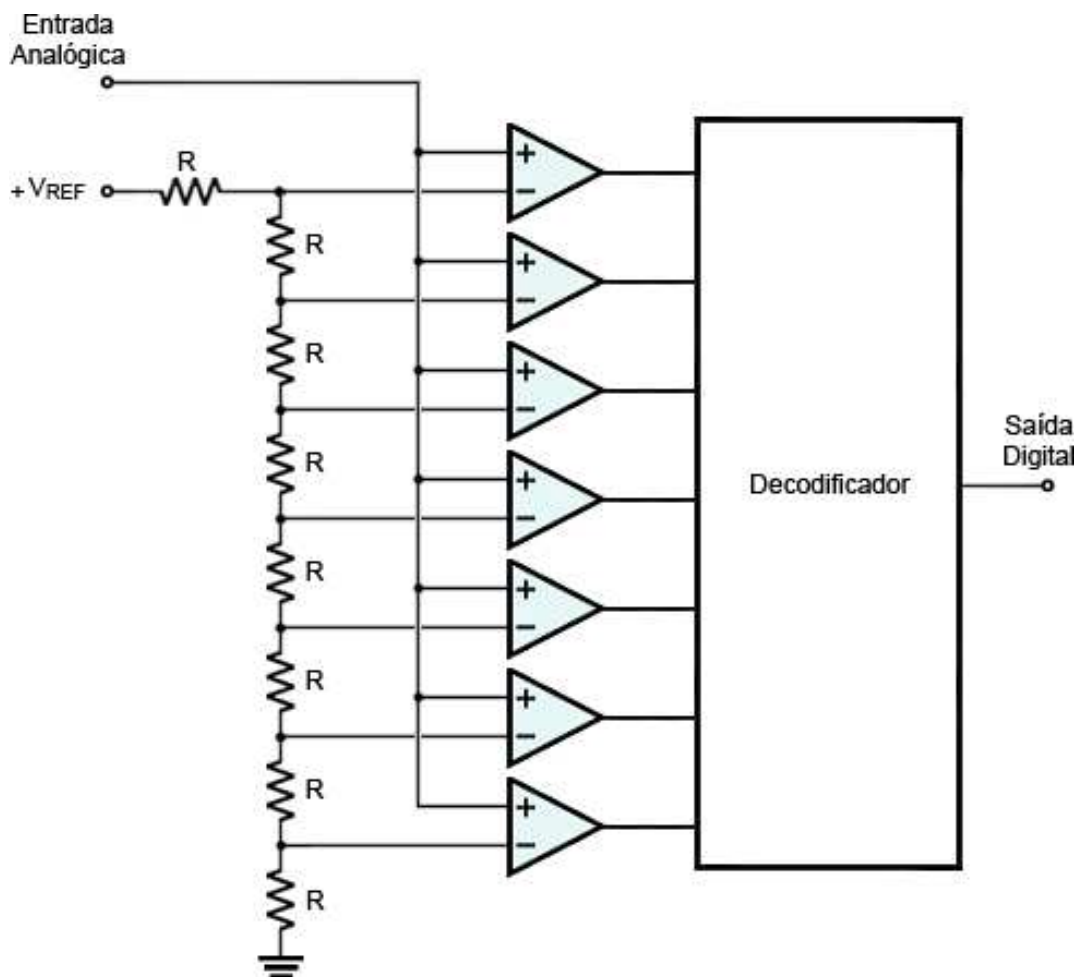


FIGURA 11 – CONVERSOR AD PARALELO (FLASH).

A arquitetura flash, como o próprio nome sugere, tem como vantagem ser uma arquitetura rápida, pois em apenas um ciclo de clock já se tem o resultado da conversão. Porém, o consumo desta arquitetura não é interessante para altas resoluções, já que seriam necessários muitos comparadores para gerar o resultado da conversão ($2^n - 1$ comparadores, em que n é a resolução do conversor). O interessante desta arquitetura é que ela traz consigo a idéia de níveis de tensão para cálculo da conversão, conceito que será utilizado no desenvolvimento da arquitetura proposta neste trabalho. A diferença é que a arquitetura flash possui níveis de

tensão pré-definidos enquanto que o conversor proposto calcula novos níveis a cada ciclo de conversão.

2.2.4.2 APROXIMAÇÕES SUCESSIVAS

A arquitetura de aproximações sucessivas, vista na Figura 12, é formada por 5 blocos: o amostrador e retentor (A&R, Amostrador e Retentor, do inglês “*Sample and Hold*”), o temporizador, que define a frequência do *clock*, o comparador, o controle lógico que utiliza um Registrador de Aproximação Sucessiva (SAR - *Successives Approximation Register*) e um DAC (conversor digital-analógico).

De uma forma simplificada, o bloco do registrador de aproximações sucessivas (SAR) é composto por duas entradas, uma para o sinal de entrada proveniente do comparador, e a outra do sinal do pulso de *clock*. O mesmo possui também saídas digitais que chegarão ao conversor D/A.

O SAR tem como função obter em suas saídas, sinais digitais que correspondam a valores de tensão próximos ao sinal analógico de entrada no conversor A/D. Para que isto ocorra, o registrador precisará de n pulsos de clock para a obtenção da palavra de n bits, correspondente à resolução do conversor A/D. Primeiramente o valor inicial armazenado no SAR corresponde à metade da tensão máxima que o conversor A/D pode analisar. A aproximação é feita de acordo com a saída digital do comparador, e para cada pulso de *clock* o registrador será atualizado, aproximando-se gradativamente do valor correspondente à entrada analógica. Com o término desta atualização no n -ésimo pulso de *clock*, o valor digital obtido corresponde à entrada analógica, e o registrador será novamente atualizado para o valor inicial, estando pronto para uma nova conversão.

A idéia de uma lógica digital para cálculo de um nível de tensão a ser comparado para resultado da conversão é utilizada também neste projeto, como será visto no capítulo 3, porém com diferenças no algoritmo utilizado.

A arquitetura por Aproximações Sucessivas é utilizada em aplicações médicas com resolução adaptativa, com o objetivo de diminuir o consumo e a área do conversor em implantes médicos (O'DRISCOLL et al., 2011; LE et al., 2005; DAI ZHANG et al., 2011). Esta arquitetura com resolução adaptativa e DAC com capacitores chaveados também é aplicada em rede de sensores sem fio, para

aumentar a autonomia da bateria dos nós sensores (AGNES et al., 2010; VERMA et al., 2006; VERMA et al., 2007).

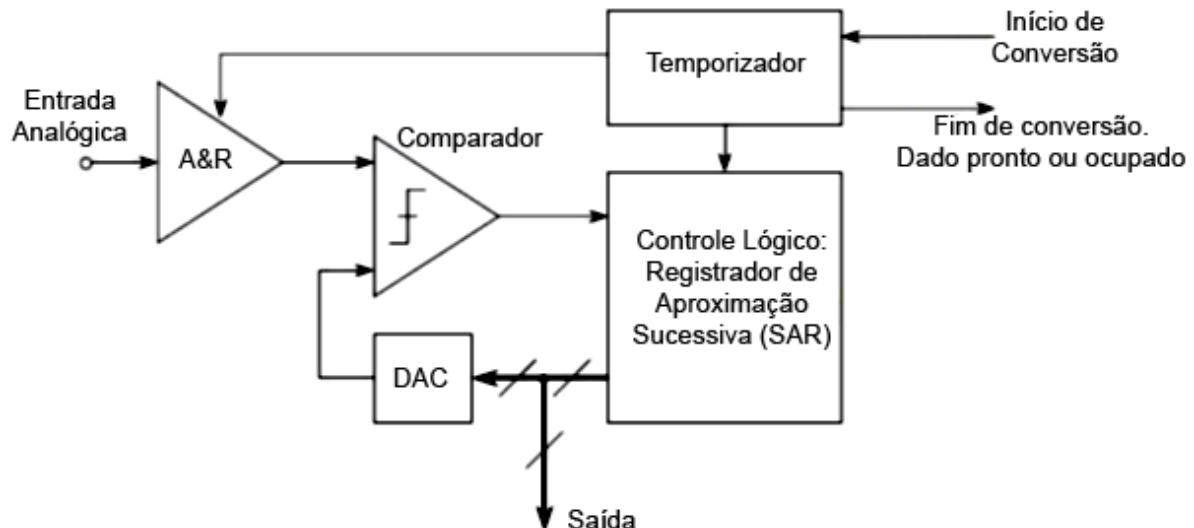


FIGURA 12 – ARQUITETURA DE APROXIMAÇÃO SUCESSIVA.

2.3 AMOSTRAGEM NÃO-UNIFORME

A amostragem não uniforme é o tipo de amostragem em que o sinal é amostrado de maneira aperiódica, em que o processo de conversão é disparado por um evento pré-definido. Para o conversor proposto, foi utilizada a amostragem não uniforme por cruzamento de níveis, descrita a seguir.

2.3.1 AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS

O conversor que funciona baseado na amostragem por cruzamento de níveis amostra o sinal somente quando o mesmo atravessa um dos níveis de tensão (níveis de cruzamento), e o valor da amostra corresponde ao valor do nível cruzado. Estes níveis são uniformemente distribuídos na faixa completa do conversor. Diferente da amostragem uniforme em que, como visto no tópico 2.2, se faz a amostragem de maneira periódica com um tempo entre amostras fixo (ΔT ou período de amostragem), a amostragem não-uniforme por cruzamento de níveis faz a amostragem de maneira aperiódica, ou seja, com um tempo entre amostras variável.

Este tipo de amostragem foi proposta em 1981, através de estudos com o objetivo de comprimir dados (MARK et al., 1981).

Para um melhor entendimento do funcionamento deste tipo de amostragem, pode-se observar na Figura 13 um exemplo de uma senoide amostrada por cruzamento de níveis. Supondo que a faixa completa do conversor para o caso da Figura 13 seja de -1 V a 1 V e com largura dos níveis no valor de 0,2 V, percebe-se que a amostragem só é feita quando o sinal cruza um dos níveis pré-estabelecidos. Outro fato interessante que pode ser visto na Figura 13 é que o período em que o sinal possui uma maior variação (entre 0,4s e 0,6s) corresponde ao período com maior número de amostras efetuadas; em contrapartida, no período em que o sinal permanece sem muitas variações, o mesmo não cruza nenhum nível e, por conseguinte, não se faz nenhuma amostra.

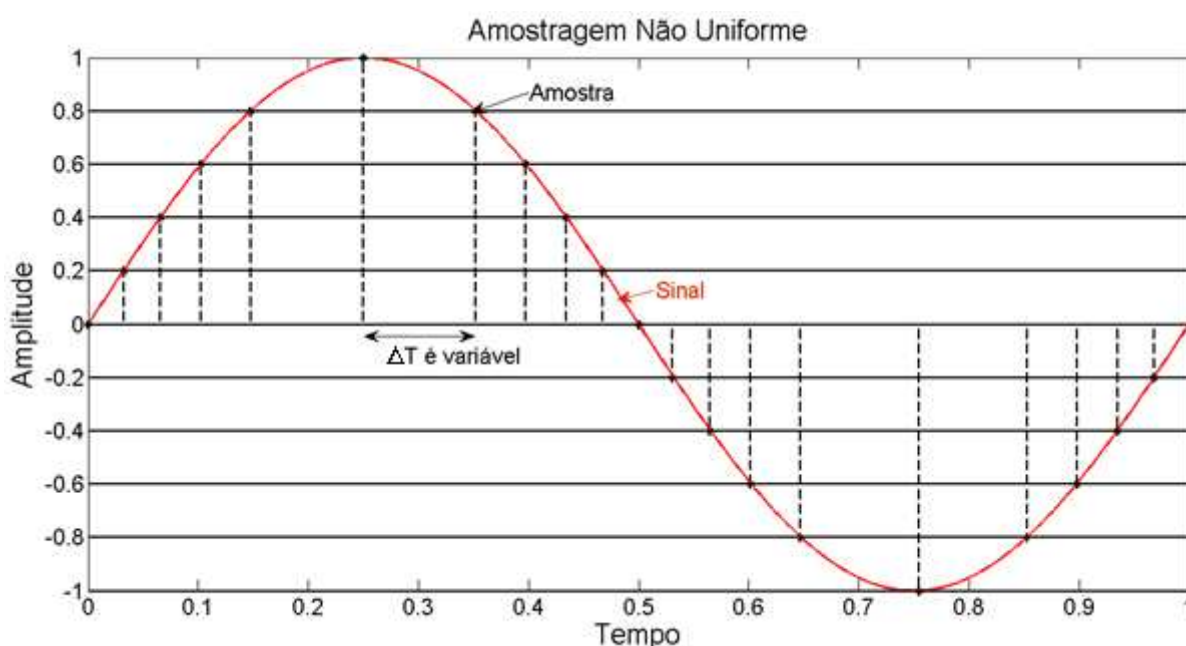


FIGURA 13 – SENOIDE AMOSTRADA POR CRUZAMENTO DE NÍVEIS

Este tipo de amostragem se torna bastante atrativa já que é a atividade (informação) do sinal que dispara o funcionamento do sistema de conversão, ou seja, o sistema de conversão só irá efetuar uma amostra do sinal quando houver variação do mesmo, caso contrário permanece desligado, diferentemente do que acontece com a amostragem uniforme, a qual não leva em consideração as

características do sinal, pois mesmo quando o sinal se encontra praticamente inalterado são realizadas amostras redundantes.

Para este tipo de amostragem, o sinal pode se encontrar em um dos três estados seguintes: cruzando o nível superior, cruzando o nível inferior ou permanecendo entre dois níveis, como se pode visualizar na Figura 14. No primeiro e segundo estados vistos na Figura 14, realiza-se amostragem do sinal, já que o sinal cruzou um nível, enquanto que no último estado não há amostragem do sinal já que o sinal permanece entre os níveis de cruzamento. A diferença entre os níveis de cruzamento é o passo de quantização deste tipo de amostragem e pode ser calculado através da equação abaixo, em que n é a resolução do conversor.

$$\text{Passo de Quantização} = \frac{\text{Faixa do Conversor}}{2^n} \quad (2)$$

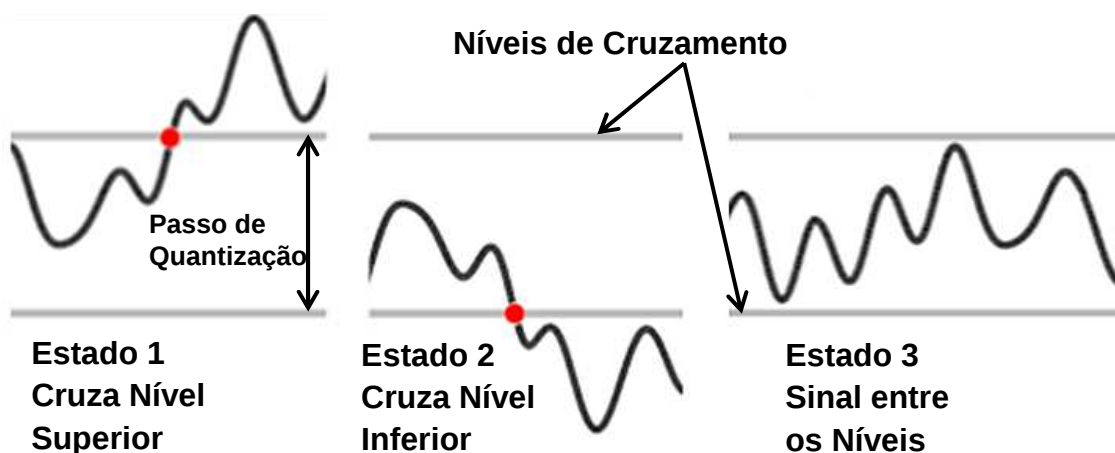


FIGURA 14 – POSSÍVEIS ESTADOS DO SINAL DE ENTRADA NA AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS

Existem comumente duas formas de amostragem por cruzamento de níveis. Uma em que os níveis de transição são estáticos, ou seja, os níveis de tensão são pré-definidos (tal como é o caso da arquitetura flash), e outra em que são determinados dinamicamente. No segundo caso, os níveis de tensão (níveis de cruzamento) são atualizados a cada ciclo de conversão. A atualização desses níveis pode ser feita de maneira diferente para cada um dos estados visto na Figura 14. Para o estado 1, os níveis de cruzamento são deslocados para cima no valor do passo de quantização, o que seria o mesmo que somar o valor do passo de

quantização aos níveis de cruzamento. Já para o estado 2, os níveis de cruzamento são deslocados para baixo no valor do passo de quantização, o que seria o mesmo que decrementar o valor do passo de quantização dos níveis de cruzamento. No estado 3 não há cruzamento e portanto os níveis de cruzamento permanecem os mesmos. A atualização de níveis para a arquitetura desenvolvida neste projeto será detalhada e equacionada no capítulo 3.

Nos primeiros trabalhos aplicando este tipo de amostragem na conversão de dados (SAYINER et al., 1993; SAYINER et al., 1996; MALMIR et al., 2007) considerava-se o passo de quantização fixo, ou seja, o valor do passo de quantização é o mesmo durante toda a conversão do sinal, o que é chamado no presente texto de amostragem não-uniforme com passo de quantização fixo, detalhada a seguir.

2.3.2 AMOSTRAGEM COM PASSO DE QUANTIZAÇÃO FIXO

A amostragem não uniforme com passo fixo é aquela em que o valor do passo de quantização se mantém o mesmo durante toda a conversão do sinal, ou seja, a diferença entre os níveis de cruzamento é sempre a mesma. Isto quer dizer que se um conversor baseado neste tipo de amostragem opera na faixa de -10 V a 10 V, por exemplo, e possui uma resolução de 4 bits, para toda a conversão do sinal de entrada o conversor operará com um passo de quantização de 1,25 V (equação (2)), independentemente de como é o comportamento do sinal. Com base nisto, pode ser dito que na amostragem não-uniforme com passo de quantização fixo a escolha do tamanho do passo de quantização (diferença entre os níveis de amplitude) deve ser analisada com cuidado. Fazendo um paralelo com a amostragem uniforme, poderia-se dizer que a escolha do passo de quantização na amostragem não-uniforme com passo fixo é tão importante quanto a escolha da taxa de amostragem para a amostragem uniforme.

Se a escolha do passo de quantização for feita de maneira inadequada, por exemplo, escolhendo-se um passo de quantização muito pequeno visando amostrar pequenas variações do sinal, o conversor pode perder seu potencial de redução de consumo; por outro lado, escolhendo-se um passo de quantização grande com o

objetivo de reduzir o consumo associado ao número de amostras realizadas, o conversor pode perder informações importantes do sinal.

Para tornar mais claro a importância na escolha do passo de quantização para amostragem com passo de quantização fixo três diferentes escolhas de passo de quantização são ilustradas nas Figuras 15, 16 e 17. O sinal escolhido para que se visualize esse efeito da escolha do passo de quantização foi um sinal típico de eletrocardiograma (ECG). A escolha se deu devido a seu comportamento impulsivo, ou seja, de grande variação em um pequeno intervalo de tempo e por permanecer praticamente inalterado no restante do tempo. Os sinais com esta característica são chamados de sinais esparsos (*sparse*, do inglês) ou explosivos (*burst*, do inglês) (SRIKANTH, 2012; BOSE, 1998).

Na Figura 15, o passo de quantização escolhido foi de 47 mV (faixa de operação do conversor de -2 V a 10 V e resolução de 8 bits, equação (2)). A escolha por este valor de passo de quantização (mínimo) poderia ter sido feita com o objetivo de analisar as pequenas variações do sinal. No entanto ao se optar por esse passo de quantização, perde-se o maior atrativo por este tipo de amostragem, que é o que amostrar o sinal apenas quando há informação pertinente, reduzindo assim o consumo de energia. Neste caso, qualquer variação superior a 47 mV resultaria em uma amostragem, e na Figura 15 foram realizadas 589 amostras.

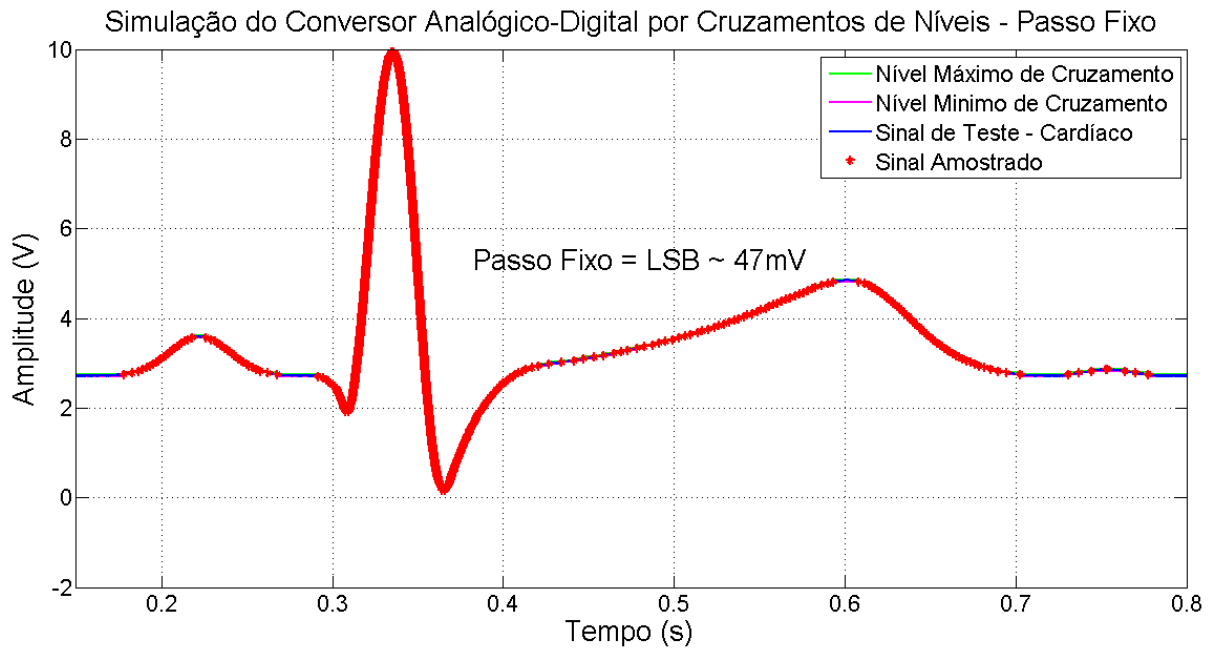


FIGURA 15 – ECG AMOSTRADO COM PASSO DE QUANTIZAÇÃO FIXO DE 47 MILIVOLTS

Na Figura 16, a escolha pelo passo de quantização foi de 188 mV (equação (2), faixa de operação do conversor de -2 V a 10 V e resolução de 6 bits), o que equivale a quatro vezes o valor do passo de quantização da figura anterior, Figura 15. Para este caso, foram realizadas 144 amostras. O aumento do passo de quantização reduz a quantidade do número de amostras realizadas quando comparado à Figura 15, pois o conversor só amostra quando o sinal varia mais de 188 mV. No entanto, já começa a se observar uma perda de resolução, como por exemplo, no intervalo entre 0,7 e 0,8 segundos, no qual o conversor não faz nenhuma amostragem.

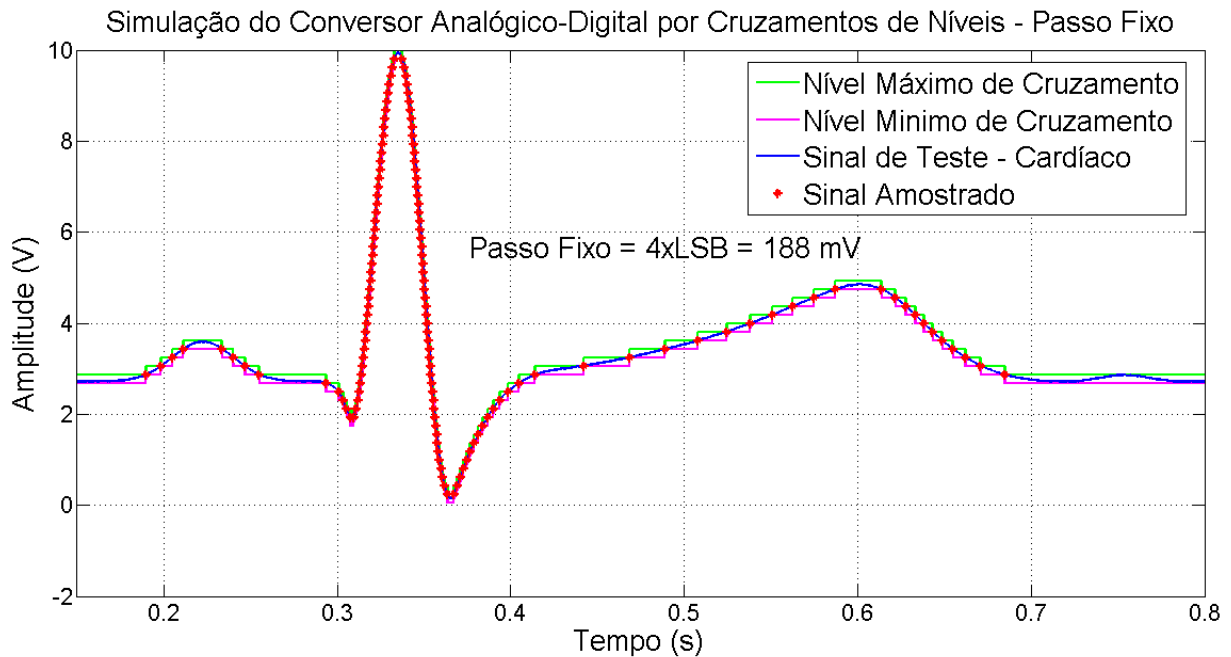


FIGURA 16 – ECG AMOSTRADO COM PASSO DE QUANTIZAÇÃO FIXO DE 188 MILIVOLTS

A terceira escolha do passo de quantização pode ser vista na Figura 17. A escolha foi feita por um passo de quantização de 750 mV (equação (2), faixa de operação do conversor de -2 V a 10 V e resolução de 4 bits), com o intuito de diminuir ainda mais a quantidade de amostras realizadas e assim reduzir o consumo relativo ao número de amostras realizadas. Com esta escolha, pode-se perceber que a perda de informação é considerável e, portanto não seria interessante para este sinal.

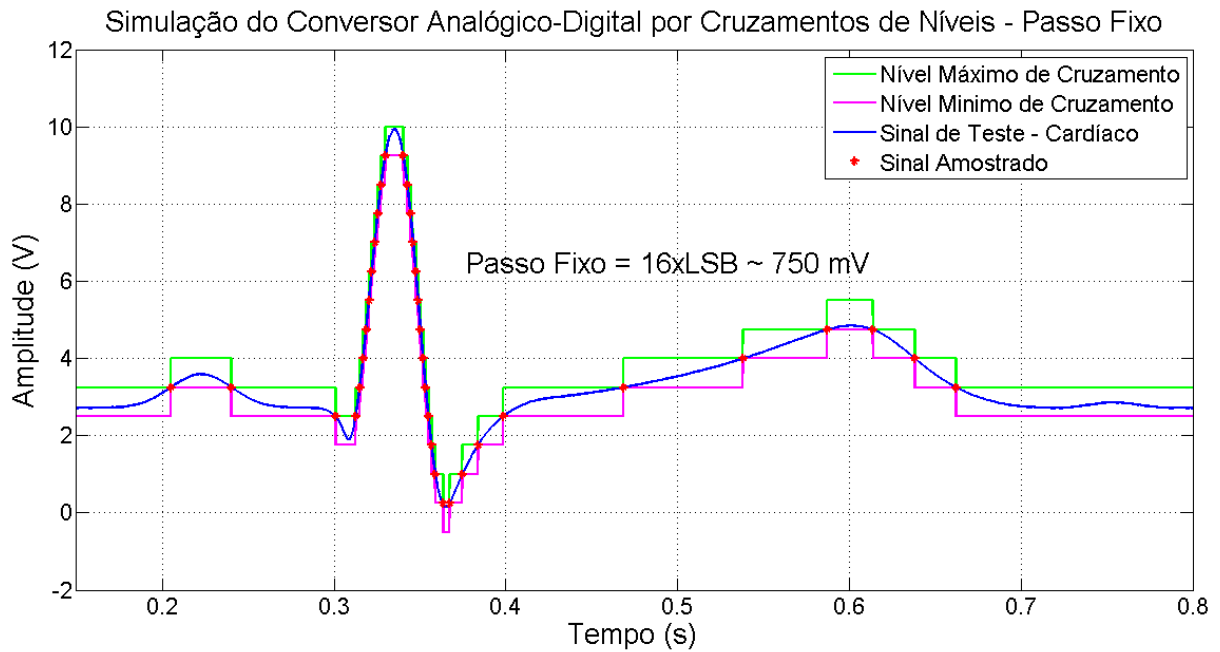


FIGURA 17 – ECG AMOSTRADO COM PASSO DE QUANTIZAÇÃO FIXO DE 752 MILIVOLTS

A partir da análise destas três escolhas de passo de quantização, pode-se inferir que existe um compromisso entre consumo relativo ao número de amostras e resolução. Além disso, já que o conversor atualiza os níveis de cruzamento a cada ciclo de conversão, existe um tempo de processamento associado a este cálculo e à atualização de níveis. Se esse tempo de processamento for grande em relação aos períodos de variação do sinal (por exemplo, por conta de uma restrição de consumo da aplicação) poderá haver perda de informação nas porções do sinal onde há variações bruscas, já que o sistema não consegue acompanhar a variação do sinal. Este efeito pode ser visualizado na Figura 18, na qual o sinal de ECG é amostrado com uma resolução de 8 bits e como os mesmos valores de referência do exemplo mostrado na Figura 15, porém considerando um tempo de processamento específico.

Uma solução para melhorar este compromisso e compensar o atraso causado pelo tempo de processamento seria usar uma amostragem não uniforme com passo de quantização adaptativo, ou seja, o passo de quantização se adequaria à velocidade de mudança do sinal de entrada (TRAKIMAS et al., 2008; AGARWAL et al., 2009; TRAKIMAS et al., 2011). Esta solução é detalhada a seguir.

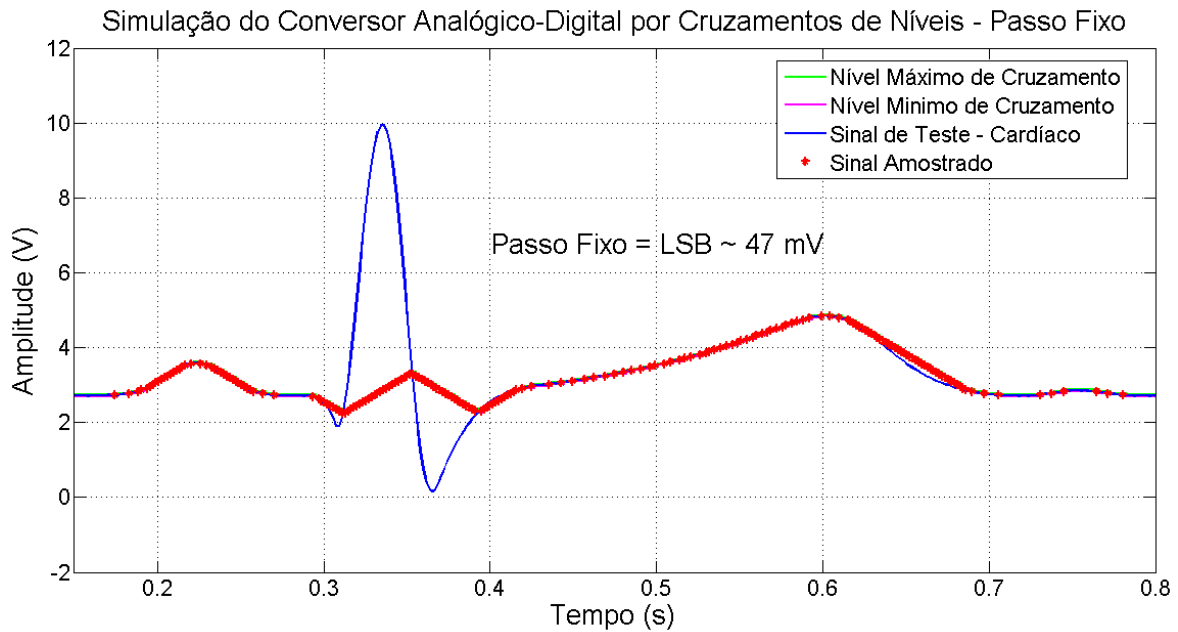


FIGURA 18 – EFEITO DA PERDA DE INFORMAÇÃO CAUSADA PELO TEMPO DE PROCESSAMENTO.

2.3.3 AMOSTRAGEM COM ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO

A amostragem não-uniforme com adaptação do passo de quantização é a amostragem na qual o passo de quantização (diferença entre os níveis de cruzamento) varia de acordo com a inclinação do sinal de entrada do conversor, ou seja, a resolução do conversor pode mudar de acordo com a variação do sinal de entrada. Desta forma, nos intervalos de tempo em que o sinal varia lentamente utiliza-se a resolução máxima (menor passo de quantização) visando representar fielmente o sinal. À medida que a inclinação do sinal de entrada aumenta, a resolução é diminuída com o objetivo de se conseguir acompanhar o sinal de entrada. Esta diminuição da resolução também proporciona um aumento da compressão de dados, ou seja, um menor número de amostras realizadas.

A utilização da amostragem não-uniforme adaptativa pode ser vista como uma alternativa para amenizar o compromisso entre resolução e consumo relativo ao número de amostras realizadas visto na amostragem com passo de quantização fixo (TRAKIMAS et al., 2008; AGARWAL et al., 2009; TRAKIMAS et al., 2011).

Para tornar mais claro como funciona a amostragem não-uniforme com adaptação do passo de quantização, pode-se observar na Figura 19 o sinal de ECG amostrado com adaptação do passo de quantização. No caso ilustrado na Figura 19,

a resolução máxima para adaptação do passo de quantização é de 8 bits e a resolução mínima é de 4 bits. Os valores de referência utilizados foram os mesmos dos exemplos da amostragem com passo fixo (faixa de operação de -2 V a 10 V).

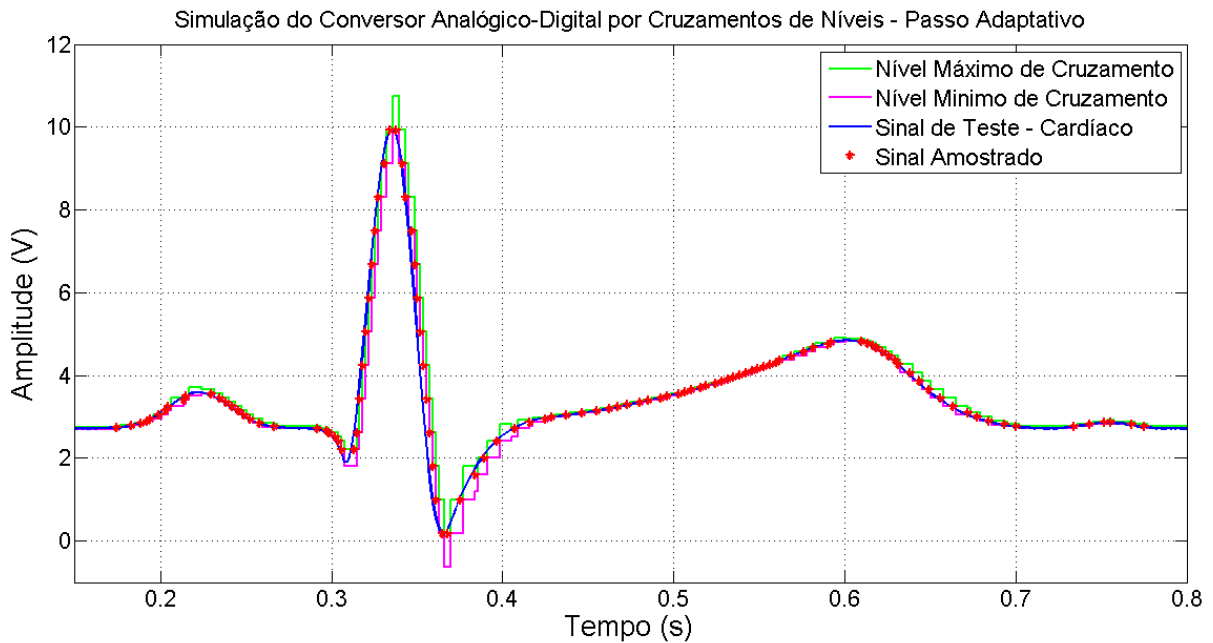


FIGURA 19 – ECG AMOSTRADO COM ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO.

Como pode ser visto na Figura 19, a amostragem com adaptação do passo de quantização se mostra mais interessante quando comparado à amostragem com passo fixo, já que visualmente não há perda de informação do sinal de ECG, pois ele consegue tanto amostrar a região de variação mais rápida do sinal (entre 0,3s e 0,4s) como as regiões de variações mais lentas. Isto mostra que este tipo de amostragem pode ser uma alternativa efetiva para amenizar o compromisso entre consumo de energia e resolução para amostragem não-uniforme por cruzamento de níveis.

Já existem algoritmos desenvolvidos para adaptação do passo de quantização (TRAKIMAS et al., 2008; AGARWAL et al., 2009; TRAKIMAS et al., 2011; SULEYMAN et al., 2013; ZAARE et al., 2013), alguns dos quais serão analisados a seguir.

2.3.4 ESTADO DA ARTE E LIMITAÇÕES

A utilização da amostragem não uniforme por cruzamento de níveis nos conversores de dados foi pioneiramente proposta e desenvolvida em (SAYINER et al., 1993; SAYINER et al., 1996). Neste trabalho Sayiner, Sorensen e Viswanathan propõem uma arquitetura que permite amostrar o sinal de maneira não uniforme com passo de quantização fixo. Eles sugeriram um interpolador linear para reamostrar o sinal de maneira uniforme, e comparam o resultado desta amostragem com um sinal amostrado de maneira uniforme, seguindo Nyquist, e concluem que este método permite uma redução no consumo de energia. A amostragem por cruzamento de níveis com passo de quantização fixo na conversão de dados é utilizada também por (ALLIER, 2003; ALLIER et al., 2003; SAYINER et al., 1993; SAYINER et al., 1996; MALMIR et al., 2007; RAVANSHAD et al., 2014; RODRIGUES et al., 2009) . Existem ainda alguns autores que implementam a amostragem por cruzamento de níveis com passo fixo de maneira assíncrona, ou seja, sem um relógio global com o objetivo de reduzir o consumo quando comparado a arquiteturas com relógio, como em (RODRIGUES et al., 2009) .

Destes citados, é interessante detalhar melhor o que foi realizado por Ravanshad et al. em (RAVANSHAD et al., 2014), pois neste trabalho também foi utilizado o sinal de eletrocardiograma para testar a arquitetura de conversão proposta. Além disso, este artigo traz uma nova abordagem para amostragem não-uniforme por cruzamento de níveis classificando-a como uma conversão analógica para informação. Este conceito pode ser definido como uma técnica de processamento de sinal para a aquisição e reconstrução eficiente de um sinal a partir de um número reduzido de amostras (BELLASI et al., 2013). A amostragem por cruzamento de níveis é utilizada para detectar o pico do sinal de ECG, e eles provam no trabalho a redução de consumo de energia quando comparado com alguns algoritmos já existentes que utilizam amostragem uniforme. Uma diferença deste trabalho é como é feita a atualização dos níveis de cruzamento. Diferentemente do visto no tópico 2.3.1, a atualização de níveis é feita deslocando o sinal de LSB para cima, se o sinal cruzou subindo, ou deslocando LSB para baixo, se o sinal cruzou descendo. A atualização dos níveis implementada em (RAVANSHAD et al., 2014) pode ser vista na Figura 20, onde um exemplo de sinal é

amostrado por um conversor de 3 bits de resolução e com um faixa de operação de 0 a N_7 e o passo de quantização, o que eles chamam de K , é fixo no valor 3 vezes LSB.

A partir da Figura 20, pode-se perceber uma limitação causada pela maneira em que eles atualizam os níveis de cruzamento: só é feito a amostragem quando o sinal muda mais do que um LSB na mesma direção ou de passo de quantização menos LSB ($K-1$) na direção oposta, ou seja, no exemplo da Figura 20 só quando o sinal varia mais de 2LSB na direção oposta é que o sinal é amostrado. Uma alternativa para esta limitação seria amostrar o sinal com adaptação do passo de quantização.

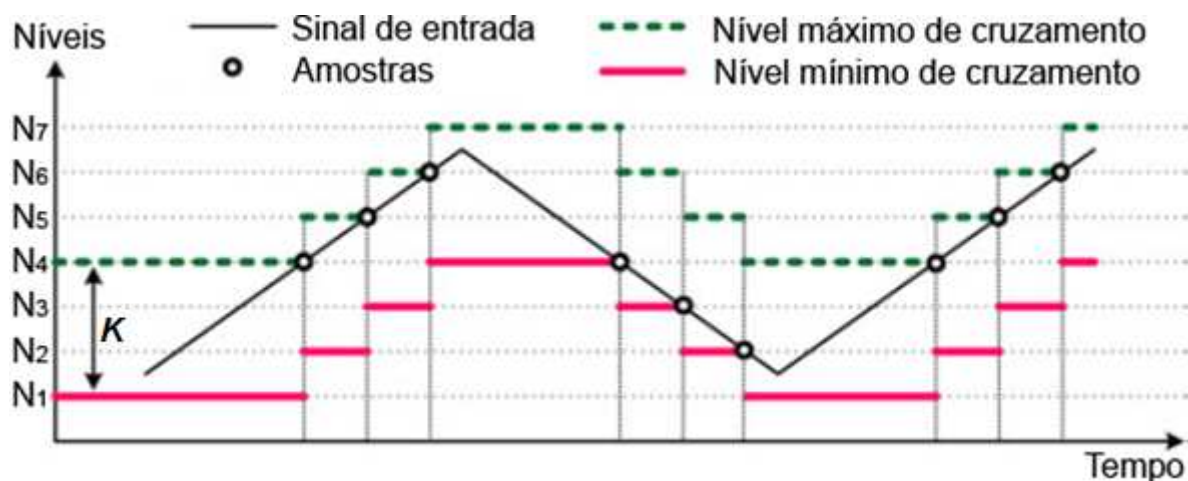


FIGURA 20 – AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS IMPLEMENTADO POR [23].

Zaare et al. em (ZAARE et al., 2013) implementam um sistema de conversão com adaptação do passo de quantização para dispositivos biomédicos e também utilizam como sinal de teste o eletrocardiograma. O sistema de conversão possui duas frequências de clock: uma frequência alta (f_H) e uma frequência baixa (f_L). O sinal de ECG é dividido em regiões de alta atividade e baixa atividade, como pode ser visto na Figura 21, e dependendo de qual região o sinal se encontra, a amostragem é feita com uma das duas frequências, ou seja, se o sinal estiver na região de alta atividade ele é amostrado com f_H , e se o sinal estiver na região de baixa atividade é amostrado com f_L , isto resultaria numa frequência de amostragem média menor que f_H provocando ganho no número de amostras se comparado ao mesmo sinal amostrado de maneira uniforme à mesma frequência (f_H).

A limitação neste tipo de adaptação do passo de quantização é que para detectar em qual região o sinal está é feito um monitoramento do sinal de entrada na frequência alta do sistema (f_H), então mesmo que não esteja sendo feita a amostragem existe consumo para detectar se o sinal está numa região de baixa ou alta atividade. Porém, a aplicação deste algoritmo seria interessante para reduzir memória de dispositivos portáteis que armazenam sinais biomédicos por dias, já que só se armazenaria os dados quando o sinal fosse realmente amostrado.

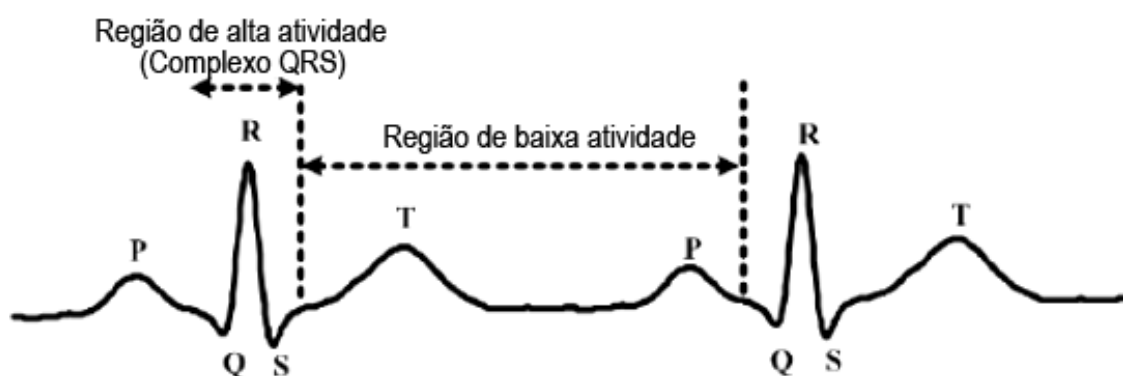


FIGURA 21 – FORMA DE ONDA DO ECG DIVIDIDA EM REGIÕES DE ALTA E BAIXA ATIVIDADE.

Em (TRAKIMAS et al., 2008; AGARWAL et al., 2009; TRAKIMAS et al., 2011), a adaptação do passo de quantização desenvolvida é baseada no valor do intervalo de tempo entre os cruzamentos do sinal. Isto quer dizer que à medida que a inclinação do sinal de entrada aumenta (o intervalo de tempo entre as amostras neste caso é pequeno), a resolução do conversor é diminuída, a fim de se aumentar a largura de banda. A diminuição da resolução também proporciona um aumento da compressão de dados. E quando a inclinação do sinal de entrada diminui (o intervalo de tempo entre as amostras neste caso é um maior) a resolução do conversor é aumentada, evitando-se perder pequenas variações do sinal.

Para tornar mais claro como é feita a adaptação do passo de quantização por Trakimas et al., é mostrado na Figura 22 o fluxograma do algoritmo (TRAKIMAS et al., 2011). O intervalo de tempo entre o cruzamento atual e o anterior (Δt) é armazenado. O algoritmo inicia na resolução máxima do conversor que é de 8 bits ($RES = 8$ bits) e só toma alguma decisão se houver um cruzamento de nível.

Quando o sinal de entrada cruza algum nível é verificado se o tempo decorrido do cruzamento anterior para o atual (Δt) é menor do que 40 microsegundos, se sim, a resolução é decrementada de 1 bit (a menos que já esteja na resolução mínima aceita pelo conversor que é de 4 bits). Se não, se Δt for maior que 80 microsegundos, a resolução é aumentada de 1 bit até a resolução máxima (8 bits).

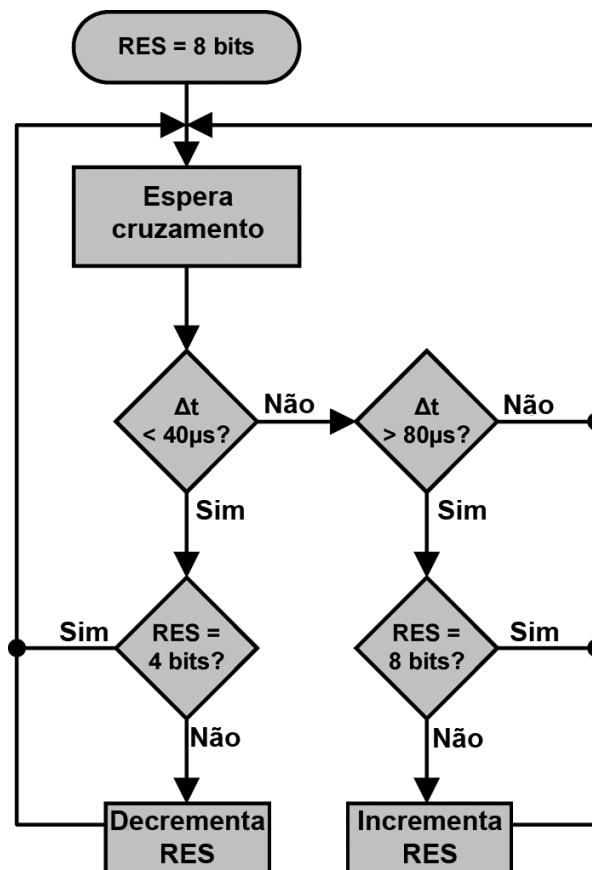


FIGURA 22 – FLUXOGRAMA DE ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO DESENVOLVIDO EM [20].

Porém, no fluxograma mostrado na Figura 22, existe um caso que não foi tratado. O que acontece quando o conversor está na resolução mínima e não há cruzamento de nível? Como visto no fluxograma, nenhuma ação é tomada e assim o conversor perderia variações do sinal menores do que o passo de quantização na resolução mínima. Para resolver este problema Trakimas et al. fixaram um tempo máximo sem cruzamento de nível, o qual depois de passado este tempo o conversor aumenta 1 bit de sua resolução, este tempo foi configurado para o valor de 80 microsegundos. Uma desvantagem notada nesta arquitetura seria o fato dos valores de resolução máxima e de resolução mínima serem fixos, independente do sinal de

entrada, como também o valor máximo do tempo sem cruzamento de níveis para que o passo de adaptação seja novamente atualizado.

Uma vez analisados alguns exemplos de sistemas de conversão já implementados utilizando amostragem não-uniforme, surge o questionamento a respeito da reconstrução do sinal a partir das amostras realizadas, assunto discutido a seguir.

2.3.5 PROCESSO DE RECUPERAÇÃO DO SINAL

O processo de recuperação de sinais amostrados de maneira não-uniforme ainda não está tão bem definido como no caso da recuperação de sinais amostrados uniformemente. Isto porque para se reconstruir um sinal a partir de amostras não-uniformemente espaçadas no tempo é preciso que se conheça, além do valor das amostras do sinal, o tempo entre amostras. Armazenar o valor deste tempo entre amostras resulta em um consumo adicional quando comparado à amostragem uniforme, porém este consumo, a depender das características/comportamento do sinal a ser amostrado, pode ser muito menor do que a redução de consumo relativa ao número de amostras gerado pela amostragem não-uniforme.

Como pode ser visto em (GOMES, 2008), existem alguns estudos matemáticos voltados para a reconstrução de sinais amostrados de maneira não-uniforme. Alguns artigos (SHARMA et al., 2012; MOROZOV et al., 2011) apontam o processo de interpolação linear como forma de reconstruir o sinal amostrado de maneira uniforme.

A maioria dos artigos visto no estado da arte se utiliza de polinômios de terceiro grau ou maior para interpolar o sinal amostrado e recuperar o sinal original (TRAKIMAS et al., 2008; AGARWAL et al., 2009; TRAKIMAS et al., 2011; ZAARE et al., 2013).

Baseado nestas informações foi implementado neste trabalho um algoritmo de recuperação do sinal usando interpolação linear. No capítulo 5 será detalhado o melhor o algoritmo e os resultados obtidos.

É importante ressaltar que a recuperação do sinal não é o foco desta dissertação, portanto é necessário dizer que já existe alguns estudos com foco apenas na reconstrução de sinais amostrados de maneira não-uniforme utilizando

banco de filtros digitais e/ou outros tipos de interpolação (ITAMI et al., 2008; MARGOLIS et al., 2004; CHABERT et al., 2012).

3 ARQUITETURA PROPOSTA

3 ARQUITETURA PROPOSTA

Conforme se pode verificar no Capítulo Fundamentação Teórica, existe uma crescente preocupação com a redução do consumo em conversores analógico-digitais. O estado da arte traz a amostragem por cruzamento de níveis como uma alternativa para se atingir este objetivo no caso da amostragem de sinais com características específicas. Com base nos estudos feitos, uma arquitetura de conversor analógico-digital com amostragem não-uniforme e adaptação do passo de quantização foi desenvolvida neste trabalho.

A principal vantagem da arquitetura proposta neste trabalho em relação às apresentadas no tópico 2.3.4, é que alguns dos parâmetros do conversor podem ser dinamicamente ajustados pelo usuário, a fim de que o processo de conversão se adeque às características do sinal a ser amostrado e aos requerimentos de consumo de energia da aplicação.

O diagrama de blocos da arquitetura proposta pode ser visto na Figura 23. O bloco nomeado lógica de controle é o bloco responsável pela adaptação do passo e geração dos níveis de cruzamento (nível máximo e nível mínimo). O sinal de entrada é então comparado com os níveis gerados no bloco dos comparadores. As saídas dos comparadores retroalimentam o bloco de lógica de controle.

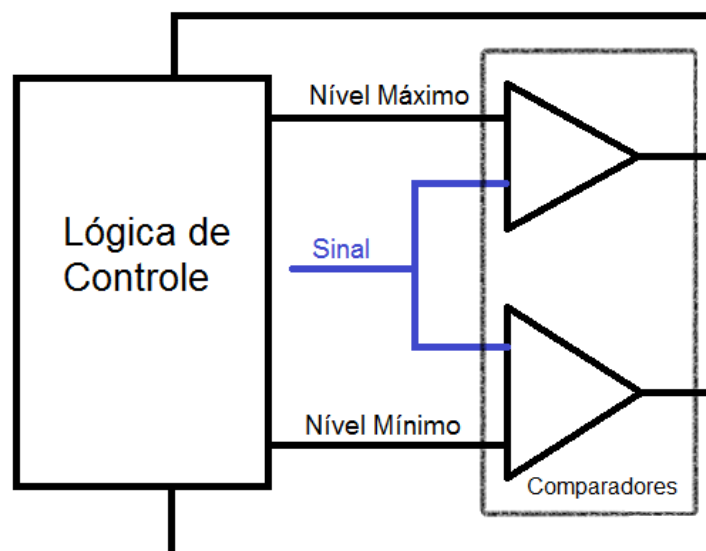


FIGURA 23 – DIAGRAMA DE BLOCOS DA ARQUITETURA DO CONVERSOR DESENVOLVIDA.

3.1 PARÂMETROS DA ARQUITETURA

Nos algoritmos de adaptação do passo de quantização vistos no tópico 2.3.4 (TRAKIMAS et al., 2008; AGARWAL et al., 2009; TRAKIMAS et al., 2011; ZAARE et al., 2013) os parâmetros utilizados para adaptar o passo de quantização na amostragem do sinal são fixos. Como, por exemplo, a resolução máxima e a resolução mínima do conversor em (TRAKIMAS et al., 2011) foram fixadas em 8 bits e 4 bits respectivamente. Isto quer dizer que o usuário não tem acesso a estes parâmetros, o que pode se tornar desinteressante, pois a depender das características do sinal que a aplicação está processando ou ainda das restrições de energia da aplicação, pode ser necessária uma maior ou menor faixa de resolução na qual o conversor adapta o passo de quantização para o sinal de entrada.

Na arquitetura desenvolvida neste trabalho, os parâmetros usados para a adaptação do passo podem ser configurados pelo usuário, com o intuito de que o processo de conversão seja o mais adequado possível às características do sinal de entrada.

Existem três parâmetros utilizados para adaptação do passo de quantização na arquitetura desenvolvida neste trabalho: Passo Mínimo de quantização, Passo Máximo de quantização e Tempo_sem_cruzamento. Estes parâmetros são detalhados a seguir.

3.1.1 PASSO MÍNIMO DE QUANTIZAÇÃO

O parâmetro nomeado Passo Mínimo de quantização é o menor passo de quantização com o qual a arquitetura pode operar, ou seja, a maior resolução efetiva do conversor.

Este parâmetro é importante, sobretudo nas regiões em que o sinal de entrada permanece praticamente inalterado. A depender de como este parâmetro é configurado, pode resultar numa maior fidelidade do sinal amostrado ou ainda numa maior economia de energia. Para tornar mais clara a importância deste parâmetro, pode ser observada na Figura 24 o efeito da escolha de dois valores distintos para o passo de mínimo de quantização. Como dito, o parâmetro tem mais impacto nas regiões de pouca atividade do sinal, portanto, como é mostrado na Figura 24, foi

observado o impacto numa região de pouca atividade (entre 0,7 s e 0,8 s). O passo mínimo de quantização configurado no valor de 2 vezes LSB (2LSB) e LSB.

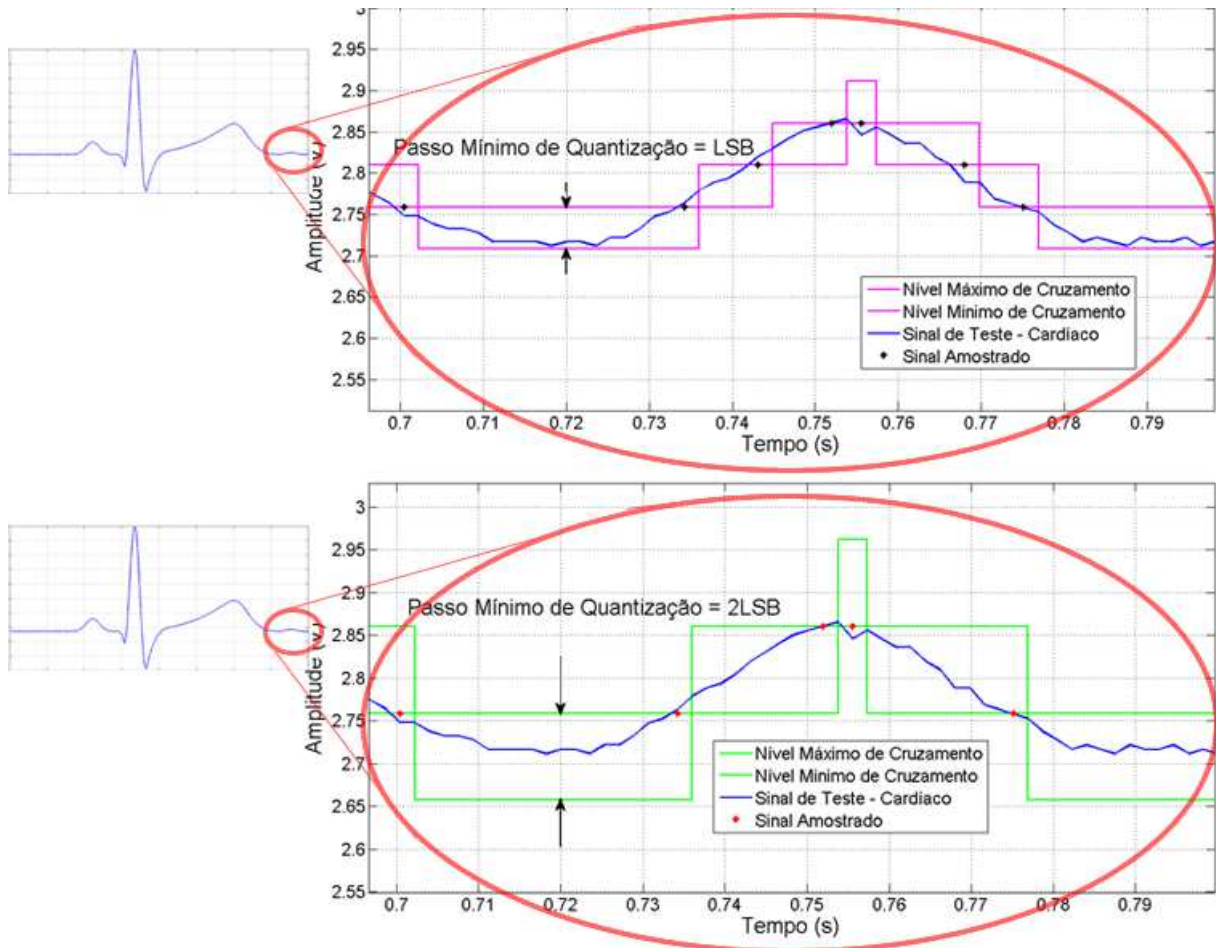


FIGURA 24 – EFEITO DA ESCOLHA DO PASSO MÍNIMO DE QUANTIZAÇÃO PELO USUÁRIO.

A partir do efeito visualizado na Figura 24, pode-se perceber que quanto menor o valor deste parâmetro melhor vai ser a representação do sinal amostrado, pois um menor valor neste parâmetro implica uma maior resolução. Por isso, quando o valor do parâmetro é configurado no valor de LSB o conversor fez mais amostras do que quando foi configurado para 2LSB. Quando o valor do parâmetro está configurado para 2LSB, obtém-se a redução no número de amostras e, por conseguinte no consumo de energia relativo ao número de amostras realizadas. Portanto, a depender dos requisitos da aplicação, ter a flexibilidade de configurar o parâmetro de passo mínimo de quantização pode ser citada como uma vantagem oferecida na arquitetura desenvolvida neste trabalho.

3.1.2 PASSO MÁXIMO DE QUANTIZAÇÃO

O parâmetro de passo máximo de quantização é o parâmetro que indica o maior valor de passo de quantização em que o conversor pode operar, ou seja, a menor resolução do conversor. Este parâmetro é importante, sobretudo nas regiões em que o sinal de entrada sofre variações bruscas como, por exemplo, na região de pico de um sinal de eletrocardiograma. A depender de como esse parâmetro é configurado, e considerando-se o tempo de processamento do conversor, ele pode definir se o conversor conseguirá seguir o sinal ou não, ou seja, esse parâmetro que define a maior largura de banda conseguida pelo conversor.

Para ilustrar a importância e os efeitos deste parâmetro, é mostrado na Figura 25 o sinal de eletrocardiograma amostrado com dois valores distintos de passo máximo de quantização. Como o parâmetro tem mais impacto nas regiões de alta atividade do sinal, foi observado o impacto na região entre 0,3 s e 0,4 s. O passo máximo de quantização configurado no valor de 16 vezes LSB (16LSB) e 8 vezes LSB (8LSB).

A partir do efeito visualizado na Figura 25, pode-se perceber que, considerando que o conversor possui um tempo de processamento para cálculo e atualização dos níveis, quanto menor o valor deste parâmetro menor será a amplitude das variações bruscas do sinal que ele conseguirá amostrar. Pode-se perceber que quando o valor do passo máximo de quantização é configurado em 8 vezes LSB (8LSB), o conversor não consegue amostrar o pico do sinal de ECG. Já quando configuramos o valor do passo máximo de quantização para 16 vezes LSB (16LSB), diminui-se a resolução do conversor tornando assim possível amostrar o pico do sinal de ECG. Portanto, a depender das características de variação do sinal, ter a flexibilidade de configurar o parâmetro de passo máximo de quantização pode ser citada como uma vantagem oferecida na arquitetura desenvolvida neste trabalho.

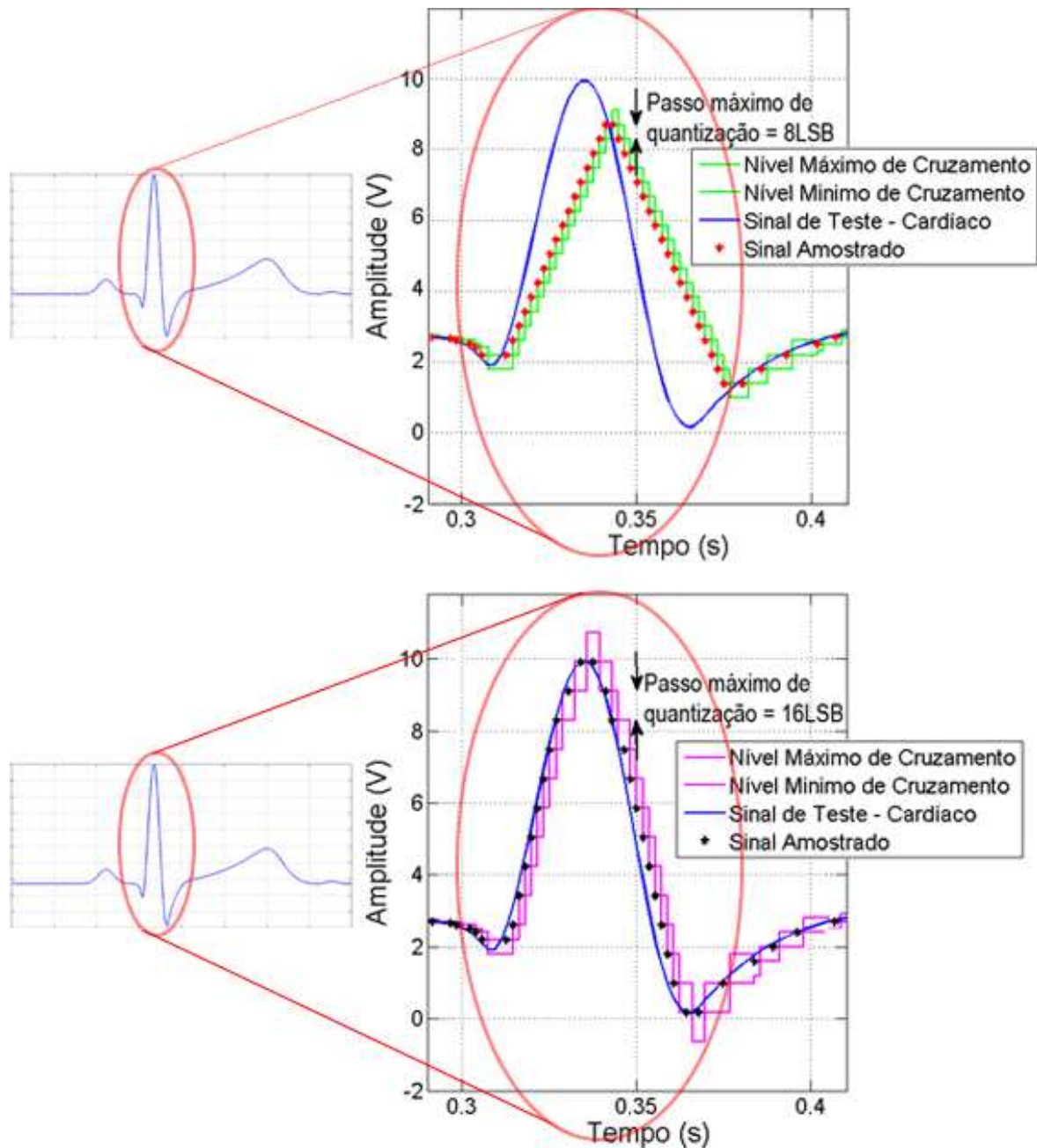


FIGURA 25 – EFEITO DA ESCOLHA DO PASSO MÍNIMO DE QUANTIZAÇÃO PELO USUÁRIO.

3.1.3 TEMPO_SEM_CRUZAMENTO (T-S-C)

O parâmetro “Tempo_sem_cruzamento” é o parâmetro que configura o tempo máximo sem cruzamentos de sinal antes que conversor decida reduzir o passo de quantização, ou seja, este parâmetro é utilizado quando o sinal se encontra entre os níveis máximo e mínimo de cruzamento. Para ficar mais claro qual

efeito este parâmetro traz para a arquitetura desenvolvida, é ilustrado na Figura 26 um sinal amostrado para dois valores diferentes de T-S-C.

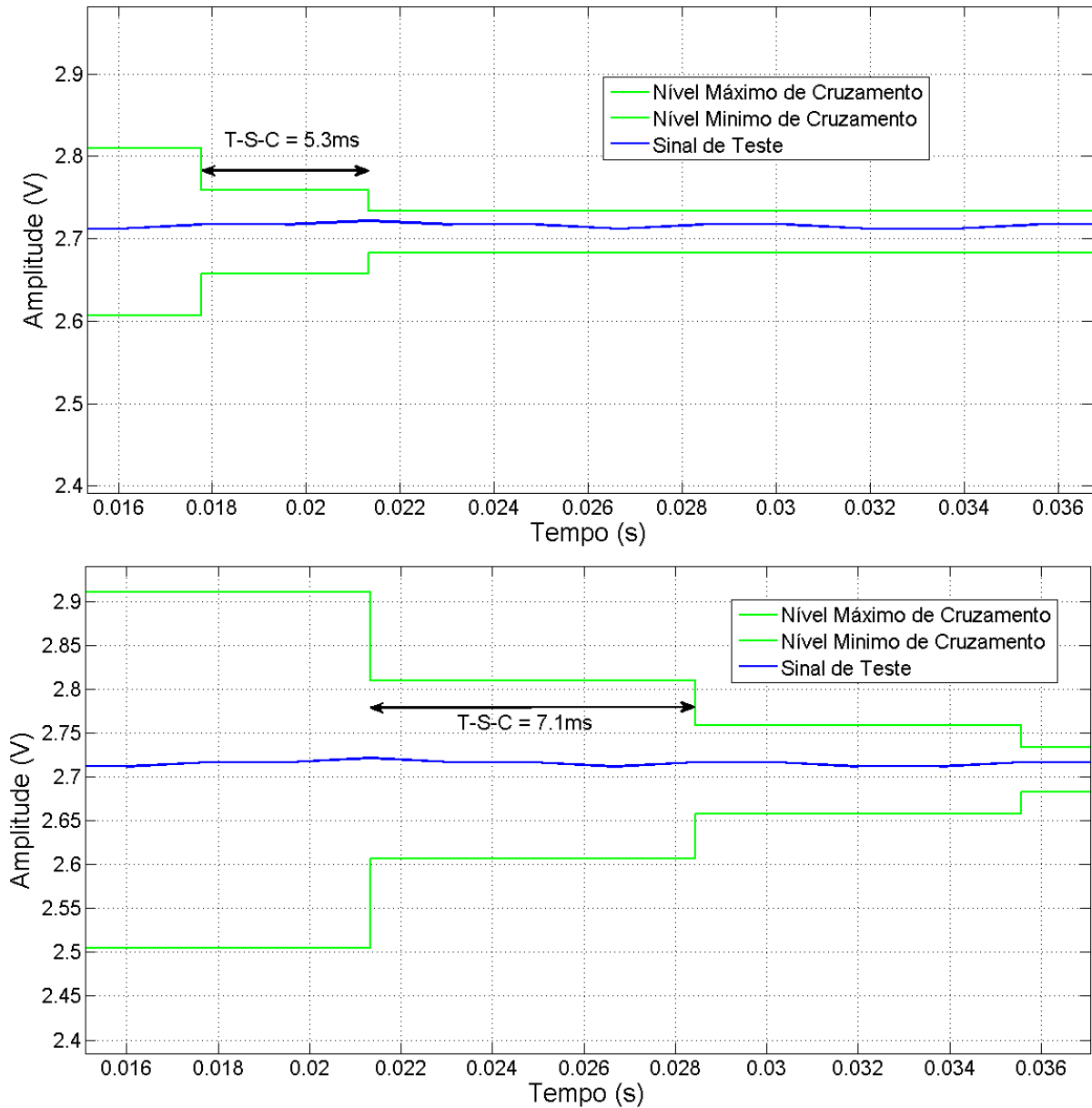


FIGURA 26 – EFEITO DO PARÂMETRO TEMPO_SEM_CRUZAMENTO (T-S-C) NA ARQUITETURA DESENVOLVIDA.

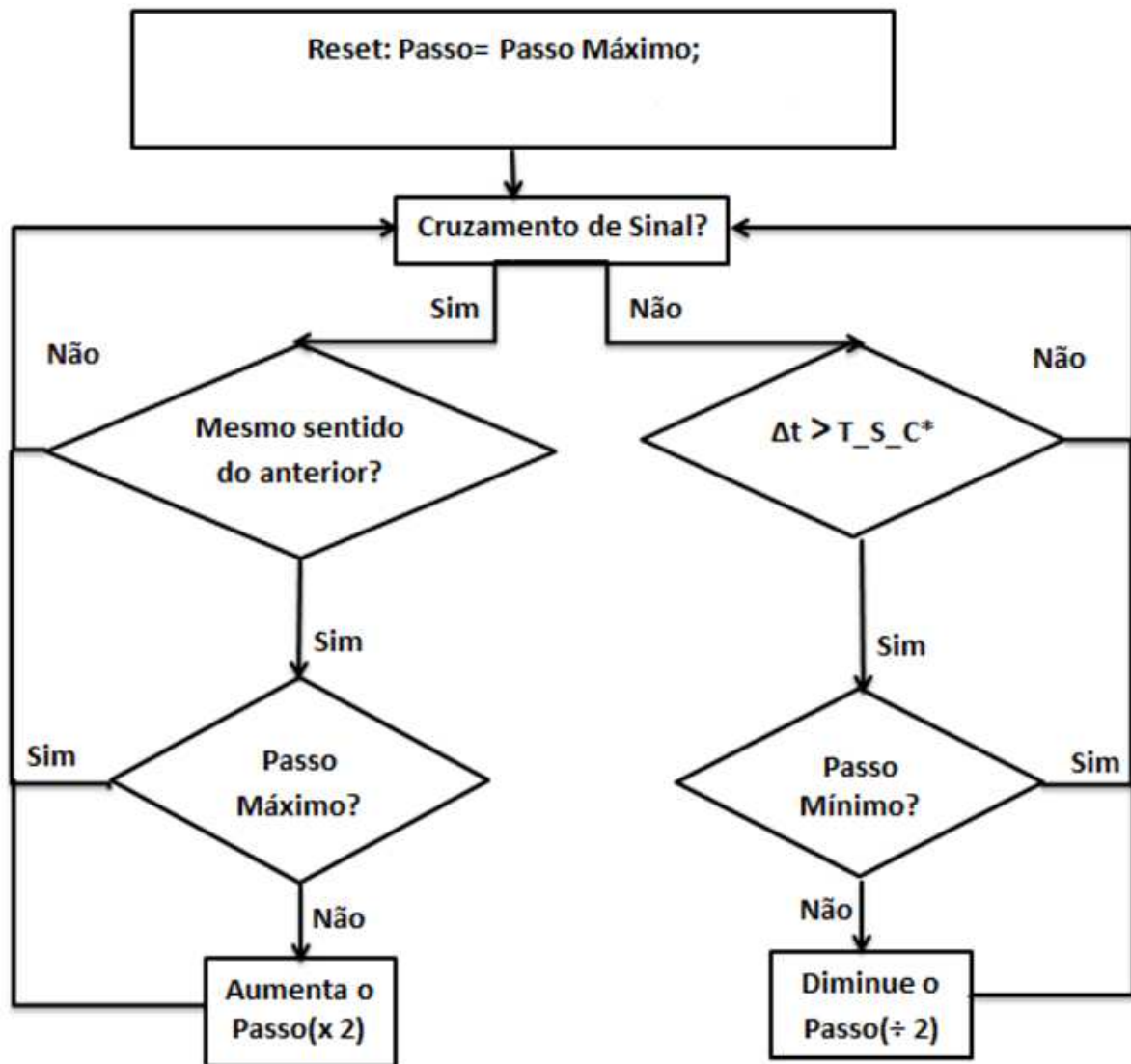
No primeiro caso visto na Figura 26, o T-S-C foi configurado num valor de 5,3 milissegundos, assim após esse intervalo o conversor começa a reduzir o passo de quantização. No segundo caso, o T-S-C foi configurado no valor de 7,1 ms. A grande vantagem que este parâmetro traz para a arquitetura é que durante o

período de tempo T-S-C o conversor não precisa tomar nenhuma decisão e, portanto opera num modo de menor consumo de energia.

Os três parâmetros: Passo Máximo de Quantização, Passo Mínimo de Quantização e T-S-C servem como entrada para o algoritmo de adaptação do passo de quantização, detalhado a seguir.

3.2 ALGORITMO DE ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO

O algoritmo de adaptação do passo de quantização desenvolvido tem com objetivo adaptar o passo de quantização (diferença entre os níveis de cruzamento) à velocidade de mudança do sinal, seguindo uma determinada lógica. O fluxograma do algoritmo pode ser visualizado na Figura 27.



*Tempo_Sem_Cruzamento

FIGURA 27 – FLUXOGRAMA DA ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO.

O algoritmo inicia (*reset*) com o Passo de Quantização no Passo Máximo (menor resolução) definido pelo usuário. Esta condição inicial permite que o conversor encontre o sinal de maneira mais rápida. Após sair do estado inicial, o algoritmo verifica, a cada ciclo de clock, a saída dos comparadores em busca de identificar se houve ou não cruzamento. Se houve cruzamento, é verificado em que direção foi o cruzamento, ou seja, se o sinal cruzou subindo ou descendo. Se o sinal cruzou duas vezes seguido na mesma direção, isto implica que o sinal está cruzando os níveis de maneira muito rápida, então o passo de quantização é multiplicado por dois, ou seja, a resolução é decrementada em 1 bit (a menos que já esteja no Passo

Máximo de Quantização). A razão do teste de direção de cruzamento (onde na Figura 27 tem “Mesmo sentido do anterior?”) se dá pelo fato de que se a resolução fosse dobrada logo após um cruzamento de nível e o sinal se encontrasse oscilando em torno de um valor, rapidamente o passo de quantização iria chegar ao Passo Máximo de quantização configurado. Então, fazendo-se este teste evita-se esta situação. Na Figura 28, pode ser vista a situação descrita.

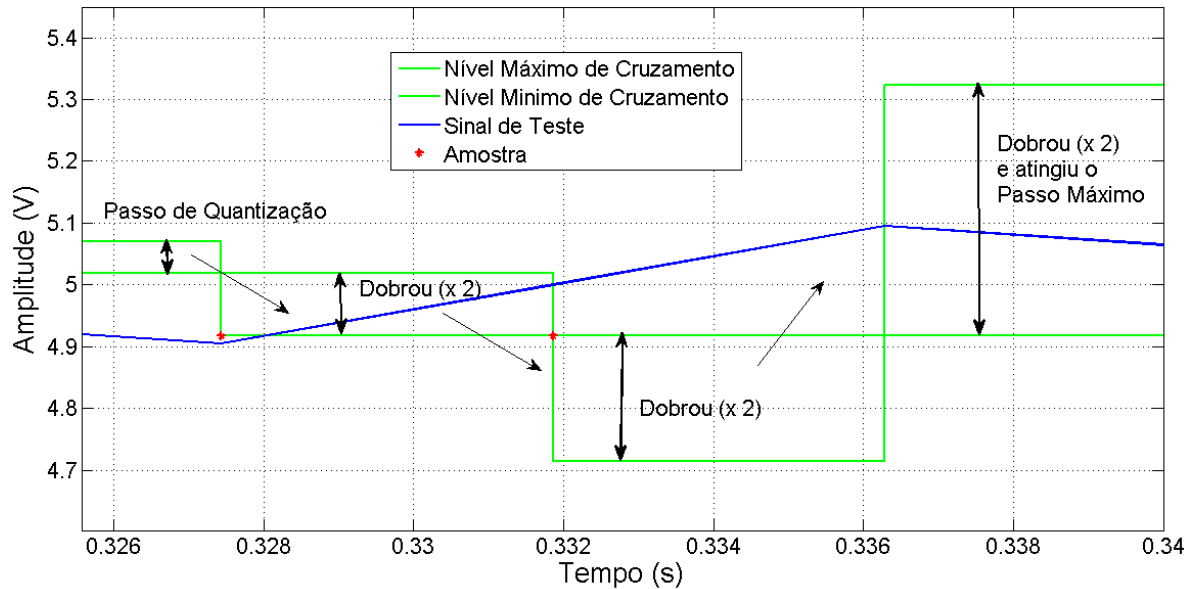


FIGURA 28 – SITUAÇÃO EVITADA COM O TESTE "MESMO NÍVEL" DO ALGORITMO DE ADAPTAÇÃO DO PASSO DE QUANTIZAÇÃO.

Já quando o sinal não cruza nenhum dos níveis de cruzamento, o algoritmo verifica se já foi atingido o tempo configurado pelo parâmetro Tempo_sem_cruzamento. Em caso positivo, o passo de quantização é dividido por dois, ou seja, a resolução é incrementada em 1 bit até que se chegue no Passo Mínimo de Quantização configurado. Uma visão geral de todas as ações tomadas no algoritmo de adaptação do passo pode ser vista na Figura 29.

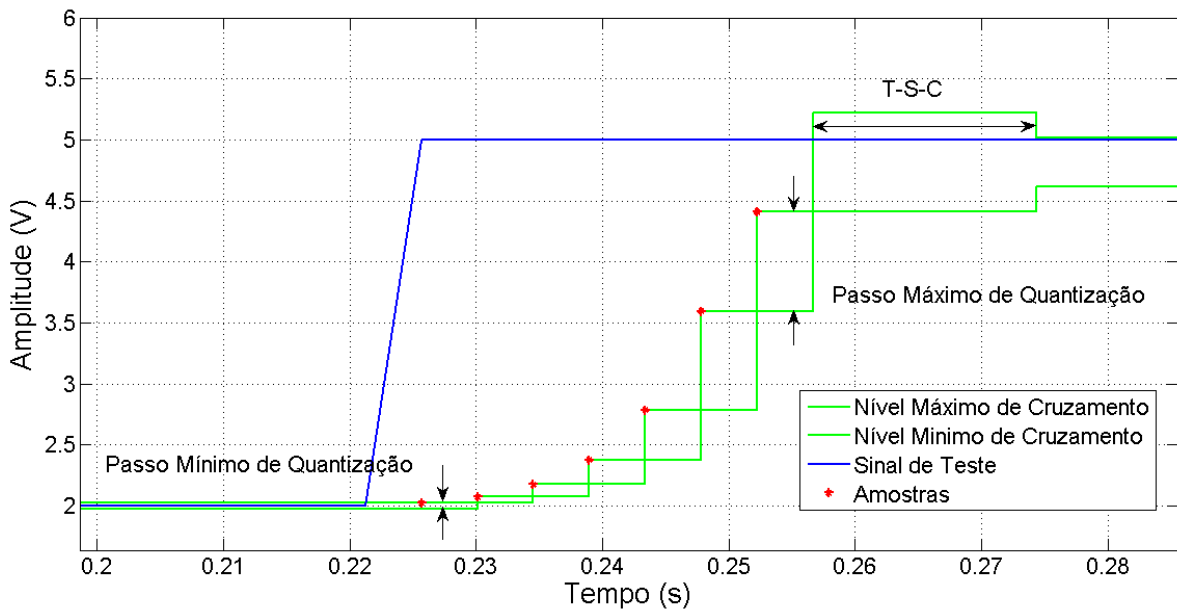


FIGURA 29 – VISÃO GERAL DO FUNCIONAMENTO DO ALGORITMO DE ADAPTAÇÃO DO PASSO PARA UM SINAL DE ENTRADA.

3.3 ALGORITMO DE ATUALIZAÇÃO DOS NÍVEIS DE CRUZAMENTO

Conforme mencionado no tópico 2.3, a atualização dos níveis na amostragem não uniforme é realizada a depender do estado em que o sinal se encontra. O sinal pode se enquadrar em 3 estados: cruzando o nível superior (Estado 1), cruzando o nível inferior (Estado 2), ou não cruzando nenhum nível (Estado 3).

De acordo com cada uma desses estados, a atualização dos níveis de cruzamento é implementada da seguinte forma: Se o sinal está no Estado 1 (cruzando o nível superior), os níveis de cruzamento são deslocados para cima pelo valor do passo de quantização, na Figura 30 pode ser visualizada a atualização dos níveis para este caso. Se o sinal está no Estado 2 (cruzando o nível inferior), os níveis de cruzamento são deslocados para baixo pelo valor do passo de quantização, na Figura 31 pode ser visualizada a atualização dos níveis para este caso. Se o sinal está no Estado 3 (entre os dois níveis de cruzamento) a atualização dos níveis é feita apenas após ser atingido o valor de tempo configurado pelo parâmetro *Tempo_sem_cruzamento*, e é feita decrementando o nível de cruzamento superior (nível máximo de cruzamento) da metade do valor do passo de quantização, e incrementando o mesmo valor no nível de cruzamento inferior (nível mínimo de cruzamento), na Figura 32 pode ser visualizada a atualização dos níveis

para este caso. A seguir as equações da atualização dos níveis em cada estado são mostradas.

Estado 1 - O sinal está cruzando para cima dos níveis de cruzamento.

$Nível\ Mínimo = Nível\ Máximo;$

$Nível\ Máximo = Nível\ Máximo + Passo\ de\ Quantização;$ (3)

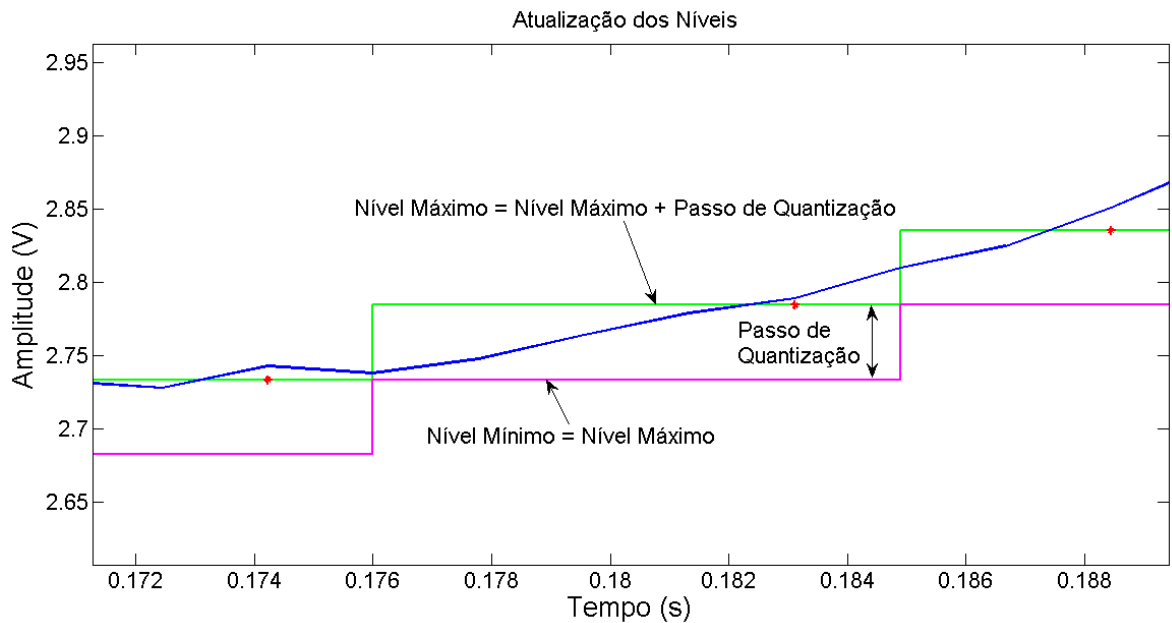


FIGURA 30 – ATUALIZAÇÃO DOS NÍVEIS PARA O ESTADO 1.

Estado 2 - O sinal está cruzando para baixo dos níveis de cruzamento.

$Nível\ Máximo = Nível\ Mínimo;$

$Nível\ Mínimo = Nível\ Mínimo - Passo\ de\ Quantização;$ (4)

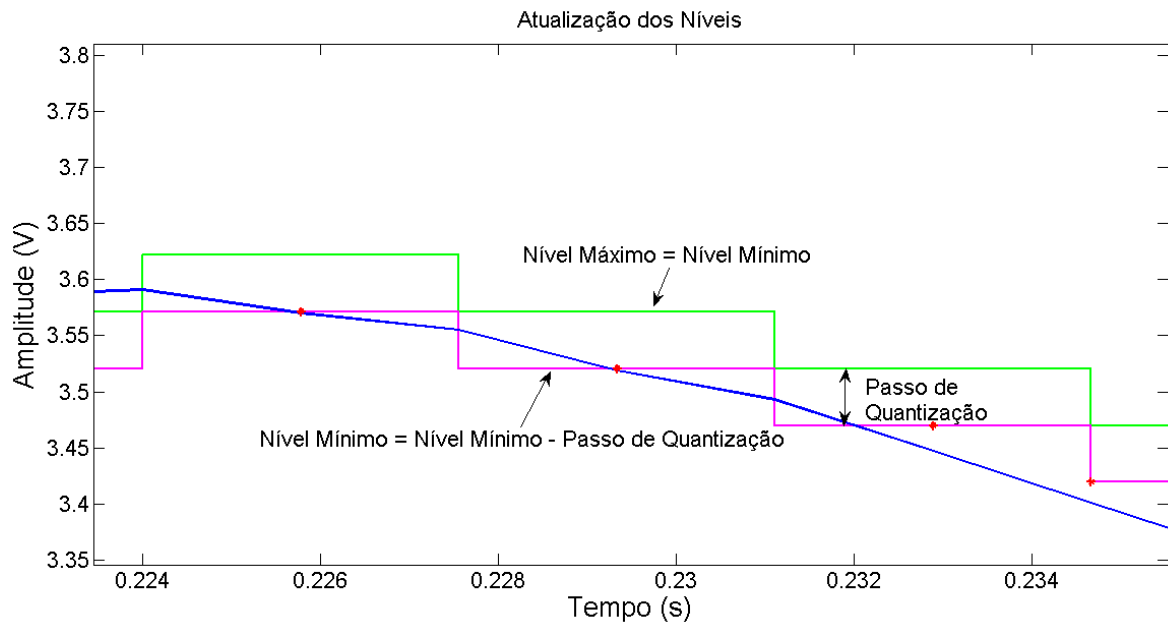


FIGURA 31 – ATUALIZAÇÃO DOS NÍVEIS PARA O ESTADO 2.

Estado 3 - O sinal não está cruzando nenhum nível.

$$\text{Nível Máximo} = \text{Nível Máximo} - \text{Passo de Quantização}/2;$$

$$\text{Nível Mínimo} = \text{Nível Mínimo} + \text{Passo de Quantização}/2; \quad (5)$$

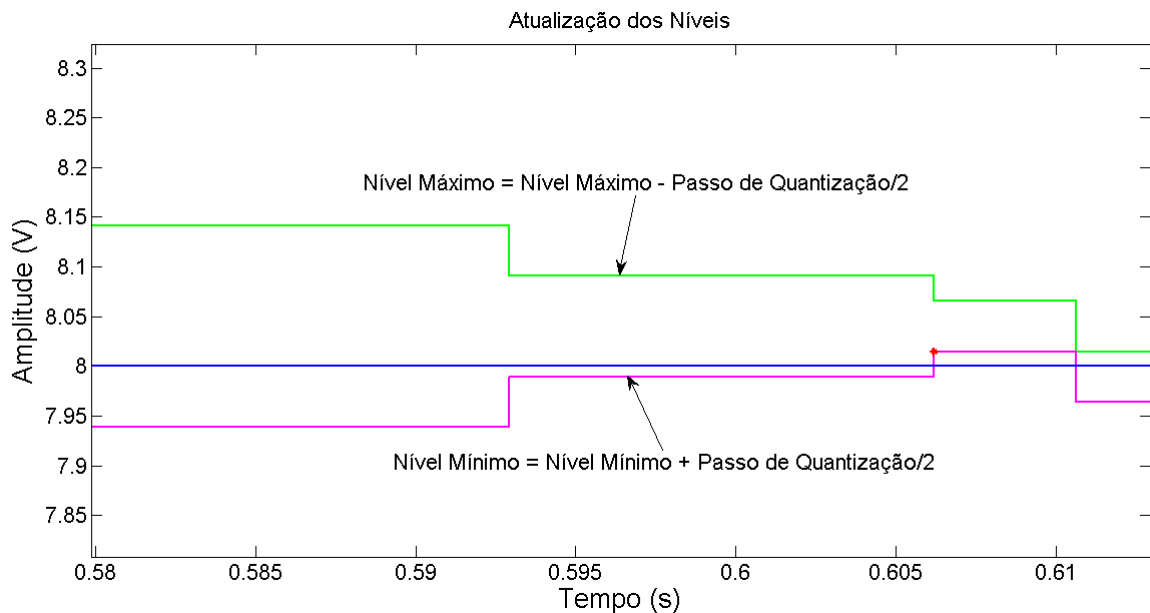


FIGURA 32 – ATUALIZAÇÃO DOS NÍVEIS PARA O ESTADO 3.

Após detalhar o funcionamento da arquitetura proposta neste trabalho, são mostradas no próximo capítulo as ferramentas utilizadas para modelar, verificar e implementar (hardware) a arquitetura proposta.

4 IMPLEMENTAÇÃO E VERIFICAÇÃO FUNCIONAL

4 IMPLEMENTAÇÃO E VERIFICAÇÃO FUNCIONAL

Para a implementação da arquitetura proposta no capítulo 3, foi inicialmente desenvolvido um modelo em alto nível a fim de se avaliar seu comportamento através do processamento (amostragem) de diversos sinais de teste. Após a validação do modelo de referência, implementado em Matlab, a arquitetura foi descrita em SystemVerilog, e seu comportamento foi comparado com aquele do modelo de referência. Cada uma dessas etapas está detalhada nos tópicos seguintes.

4.1 VERSÃO EM ALTO NÍVEL (MATLAB)

O modelo comportamental da arquitetura proposta foi implementado em ambiente MatLab (ver Figura 33), incorporando todas as funcionalidades da arquitetura descritas no capítulo 3: parâmetros configurados pelo usuário, adaptação do passo de quantização e atualização dos níveis de cruzamento.

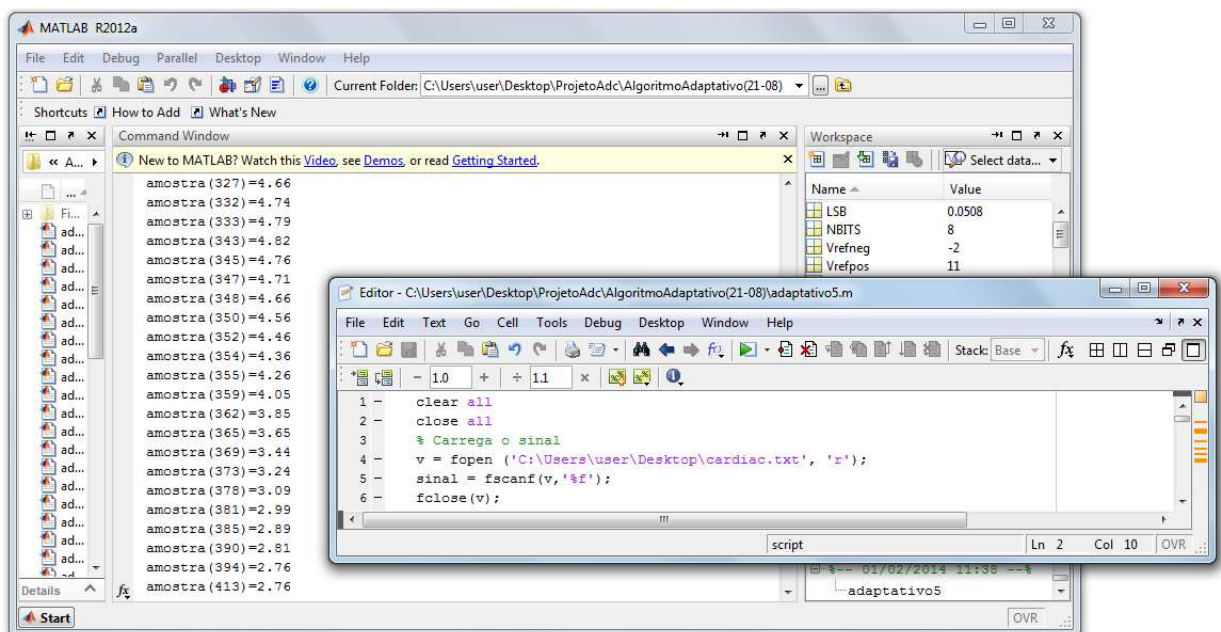


FIGURA 33 – AMBIENTE DE DESENVOLVIMENTO ESCOLHIDO PARA SIMULAR A ARQUITETURA EM ALTO NÍVEL (MATLAB).

O MatLab® é um ambiente interativo e de linguagem de alto nível para computação numérica, visualização e programação. Usando MatLab®, pode-se

analisar dados, desenvolver algoritmos, criar modelos e aplicações. A linguagem, ferramentas, e funções matemáticas permitem que se explorem múltiplas abordagens, e por isso tornam possível que se chegue a uma solução de maneira mais rápida do que com planilhas ou linguagens de programação tradicionais, como C / C++ ou Java™.

Por essa rapidez de implementação é que se deu a escolha pelo MatLab®, pois se queria avaliar de forma eficiente a arquitetura proposta, através de simulação com diferentes sinais de entrada, antes de implementar a arquitetura em hardware, o que é detalhado no próximo tópico.

4.2 IMPLEMENTAÇÃO EM HARDWARE

A implementação da arquitetura em hardware pode ser dividida em duas partes: a lógica digital e a parte analógica (dos níveis de cruzamento e comparadores).

4.2.1 AMBIENTE DE CONCEPÇÃO

A partir do modelo de referência validado no MatLab, implementando a arquitetura proposta neste trabalho, foi desenvolvido um *Intellectual Property core* (IP Core, que consiste na criação de um componente de hardware para um determinado fim (SILVA, 2007)) com a mesma função. Uma visão simplista do IP em bloco com suas entradas e saídas pode ser visto na Figura 34. Este IP Core foi sintetizado em um FPGA da Altera, Cyclone II. Um FPGA é um dispositivo semicondutor que pode ser programado depois de fabricado. Ao invés de ser restrito a uma função pré-determinada, um FPGA permite ao usuário programar funções e características do produto, e reconfigurar seus blocos constituintes para aplicações específicas, mesmo depois do dispositivo já instalado. O FPGA pode ser usado para implementar várias funções lógicas que um circuito integrado de aplicação específica pode realizar, porém com a vantagem de poder alterar sua funcionalidade. Os fatores que influenciaram na escolha deste componente foram a disponibilidade, o fato de ser suportado pelo software de design Quartus® II Web Edition que é

gratuito (sem licença necessária) e ainda possuir a facilidade de kits de desenvolvimento de hardware para permitir a rápida implementação no FPGA.

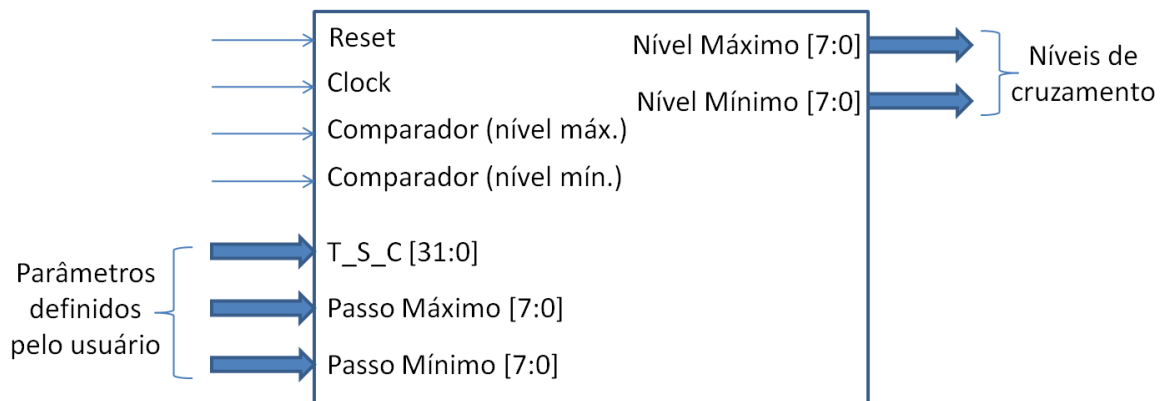


FIGURA 34 – BLOCO COM ENTRADAS E SAÍDAS DO IP DESENVOLVIDO.

O ambiente de programação usado foi o Quartus II Web Edition (versão 8.1), como dito anteriormente, que permite o desenvolvimento e a síntese a partir de códigos em linguagem de descrição de hardware e é gratuito.

A linguagem de descrição de Hardware utilizada foi a SystemVerilog por sua flexibilidade e por ser uma linguagem compacta (gera códigos em tamanhos menores quando comparado a outras linguagem de descrição de hardware como VHDL) (SUREPEDDI, 2008). Na Figura 35, pode ser visto o ambiente Quartus II com um exemplo de código em SystemVerilog.

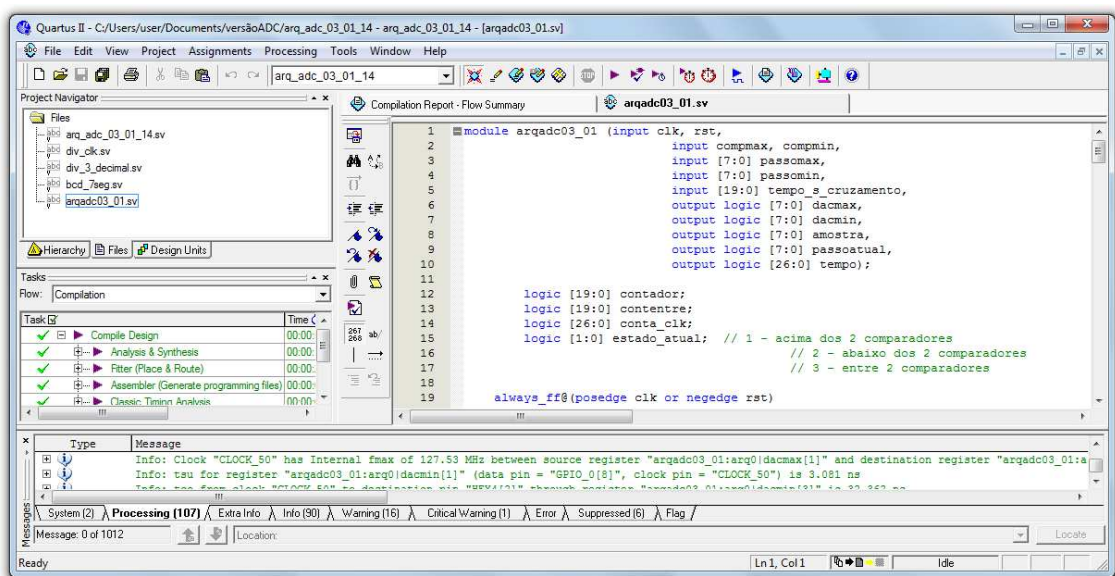


FIGURA 35 – AMBIENTE DE DESENVOLVIMENTO DA ARQUITETURA EM LINGUAGEM DE DESCRIÇÃO DE HARDWARE.

4.2.2 PLATAFORMA PARA IMPLEMENTAÇÃO

O circuito completo para implementação da arquitetura em hardware é formada pela parte digital mencionada no tópico anterior, e uma parte analógica composta pelos seguintes componentes discretos: dois conversores digital-analógico (DAC), os quais convertem os níveis de cruzamento gerados pela lógica digital sintetizada no FPGA em níveis de tensão, e dois comparadores para indicar se o sinal cruzou ou não os níveis de tensão.

Na Figura 36, pode ser vista a plataforma completa para implementação da arquitetura em diagrama de blocos e uma imagem real. O DAC escolhido para ser utilizado foi o DAC 0808 da Texas Instruments, devido seu funcionamento ser em paralelo. E o comparador escolhido para ser utilizado foi o LM324, devido à sua disponibilidade. É importante dizer que a implementação da parte analógica da arquitetura não é o foco principal do trabalho, podendo, portanto ser utilizados outros componentes futuramente em busca de redução do consumo ou de melhores características.

O funcionamento da arquitetura implementada com componentes discretos é descrito da seguinte maneira. Inicialmente a lógica digital gera níveis de cruzamento (estado de reset) e coloca em saídas digitais do FPGA. Essas saídas digitais servem como entrada para os DAC's, que geram os níveis de cruzamento superior e inferior, com os quais o sinal será comparado. As saídas dos comparadores servem como entradas para a lógica digital (retroalimentação). Em seguida, a cada ciclo de clock da lógica digital a saída dos comparadores é verificada e assim o algoritmo calcula o novo passo de quantização como também os novos níveis de cruzamento a serem gerados, de acordo com os algoritmos de adaptação do passo de quantização e de atualização dos níveis detalhados nos tópicos 3.2 e 3.3. O valor da amostra do sinal é sempre o valor de tensão na saída do DAC que o sinal cruzou, ou seja, se o sinal cruza o nível de cruzamento superior, o valor da amostra será a palavra digital entregue ao DAC que gerou o nível superior.

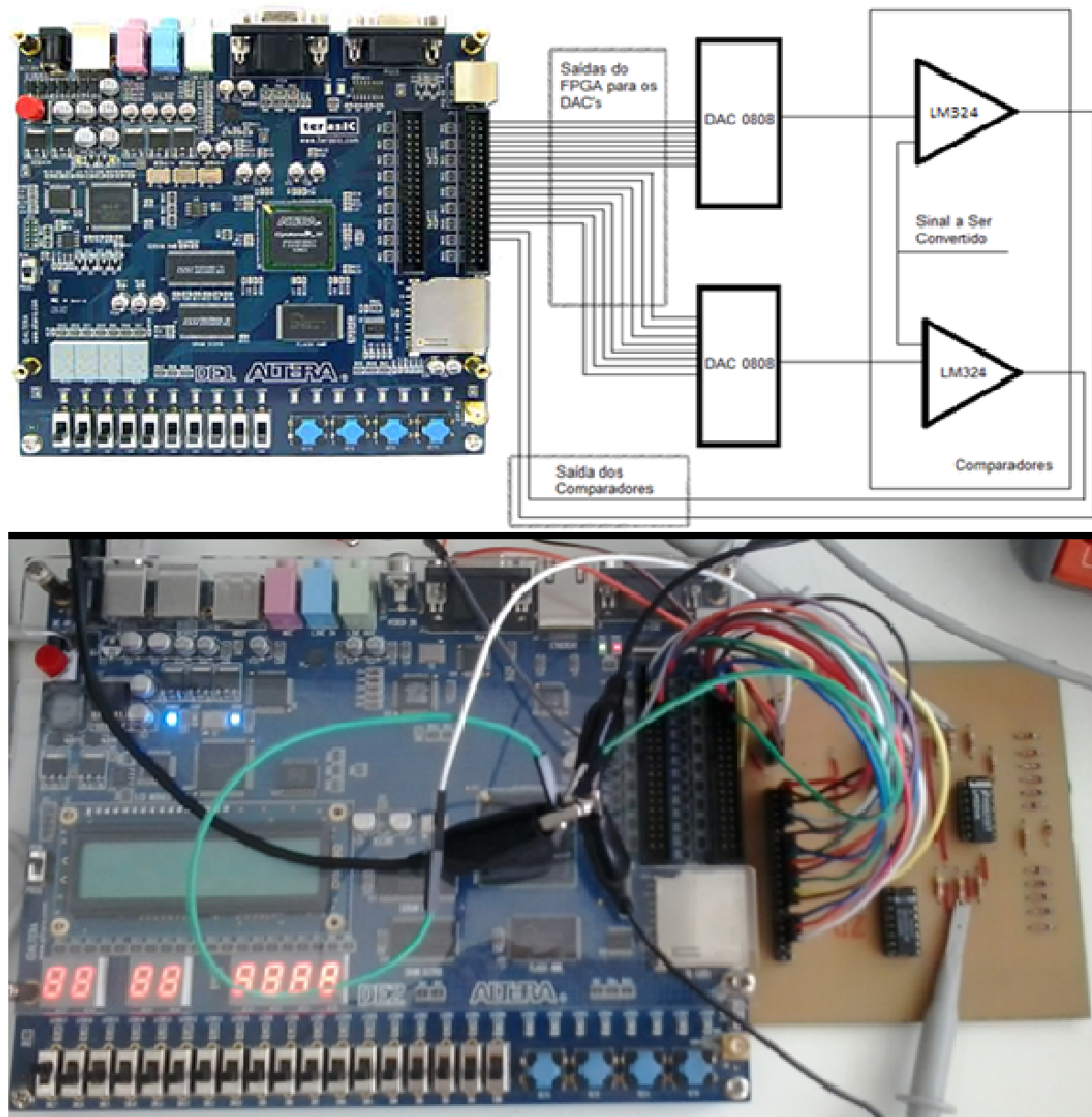


FIGURA 36 – ARQUITETURA IMPLEMENTADA COM COMPONENTES DISCRETOS (DIAGRAMA DE BLOCOS E FOTO).

Antes da plataforma de implementação ser testada com os componentes discretos, procedeu-se à verificação funcional do IP Core desenvolvido, detalhada a seguir.

4.3 VERIFICAÇÃO FUNCIONAL

Segundo (SILVA, 2007), a fase de verificação funcional é bastante importante para validar o hardware, pois nesta fase são documentados aspectos

importantes que devem ser verificados, tais como suas funcionalidades, estímulos que serão utilizados na verificação do projeto, entre outros. A verificação funcional no caso do trabalho aqui relatado consistiu em se comparar as saídas geradas pelo IP Core desenvolvido com as saídas geradas pelo modelo de referência desenvolvido no MatLab, para os mesmos sinais de entrada (sinais de teste).

Os sinais de teste utilizados como entrada para o modelo desenvolvido no MatLab como também para o hardware desenvolvido, e o *testbench* (ambiente através do qual o hardware desenvolvido neste trabalho foi inserido de forma que ele receba estímulos e que as respostas fossem comparadas com o resultado ideal) são detalhados a seguir.

4.3.1 SINAIS DE TESTE

Os sinais de teste escolhidos para servirem como entrada para a arquitetura do conversor desenvolvido foram um sinal de eletrocardiograma, um sinal escada e um sinal escada-senoidal.

4.3.1.1 ELETROCARDIOGRAMA

Conforme mencionando no capítulo 1 e confirmado no tópico 2.3.4, conversores baseados em amostragem não-uniforme oferecem oportunidades na redução de consumo quando utilizados para amostrar sinais com características impulsivas. Como o sinal de eletrocardiograma possui características impulsivas, o mesmo foi escolhido como um dos sinais de teste do conversor.

O sinal de eletrocardiograma aplicado como sinal de entrada para o conversor desenvolvido foi obtido a partir do gerador de funções Agilent 33521A e pode ser visto na Figura 37. O sinal possui 450 amostras. Com o intuito de simular uma pessoa com 75 batimentos por minuto (bpm), o sinal foi associado a um período de 800 ms, onde o tempo entre amostras é de 1,78 ms.

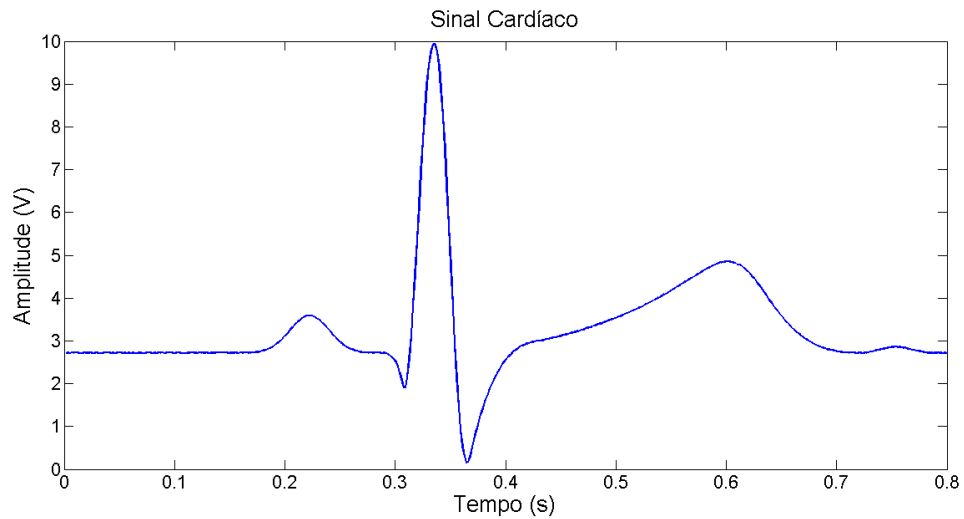


FIGURA 37 – SINAL DE TESTE: ELETROCARDIOGRAMA.

4.3.1.2 ESCADA

O sinal escada foi escolhido como sinal de teste para a arquitetura desenvolvida com o objetivo de se observar como o conversor se comporta para um sinal com variações bruscas seguidas de um longo período de sem variações. O sinal de escada utilizado é mostrado na Figura 38.

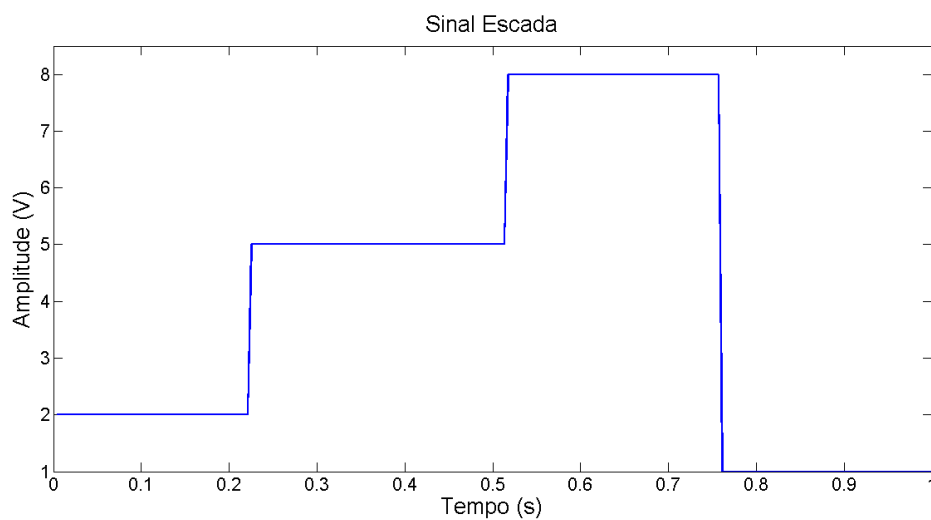


FIGURA 38 – SINAL DE TESTE: ESCADA.

4.3.1.3 ESCADA SENOIDAL

O sinal escada senoidal foi escolhido como sinal de teste com o objetivo de verificar o desempenho da arquitetura para um sinal diferente dos sinais que são

geralmente indicados para a arquitetura deste projeto (que são sinais impulsivos e/ou de baixa frequência), já que o sinal escada senoidal é um sinal que sofre muitas variações ao longo do tempo. O sinal escada senoidal utilizado pode ser visualizado na Figura 39.

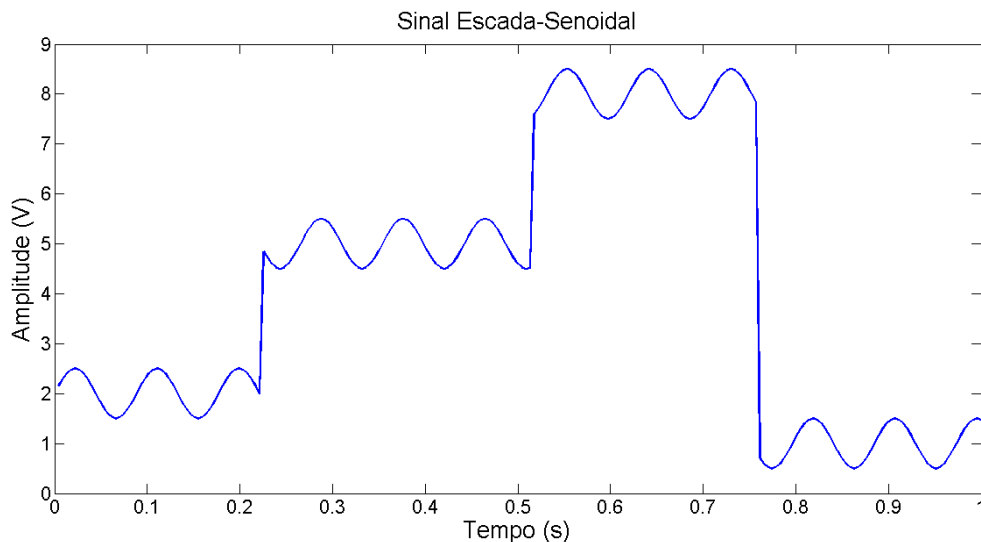


FIGURA 39 – SINAL DE TESTE: ESCADA SENOIDAL.

Depois de vistos os sinais de teste utilizados como entrada para a arquitetura proposta, é visto no próximo tópico como a saída da arquitetura implementada em Matlab e a saída do hardware desenvolvido para estes sinais de testes são comparadas.

4.3.2 TESTBENCH

O *testbench* pode ser definido como o ambiente através do qual o design do hardware a ser verificado será inserido, de forma que ele receba estímulos e que as respostas sejam comparadas com o resultado esperado (SILVA, 2007).

O *testbench* implementado neste trabalho foi escrito em SystemVerilog, e teve como objetivo a comparação do comportamento do hardware descrito em SystemVerilog (visando sua síntese em FPGA) com o modelo de referência em Matlab. O *testbench* foi desenvolvido no ambiente de simulação ModelSim da Altera.

O *testbench* compara as saídas geradas pelo IP desenvolvido (níveis de cruzamento gerados) com as saídas do modelo de referência (Matlab). Porém como as saídas geradas no MatLab são níveis analógicos, foi preciso desenvolver a

arquitetura completa no *testbench*, incluindo um módulo que implementasse um DAC (conversor analógico digital) e um comparador.

Um mesmo sinal de teste é colocado como entrada tanto para o modelo implementado em MatLab como para o hardware descrito em SystemVerilog, e após isso as saídas do hardware e do modelo de referência são comparadas. Se os níveis de cruzamento gerados e as amostras realizadas são as mesmas, então a funcionalidade do hardware está de acordo com o modelo de referência validado anteriormente. Uma visão geral do testbench em blocos pode ser vista na Figura 40, onde DAC Max e DAC Min são instâncias do módulo DAC e Comp. Max e Comp. Min são instâncias do módulo comparador.

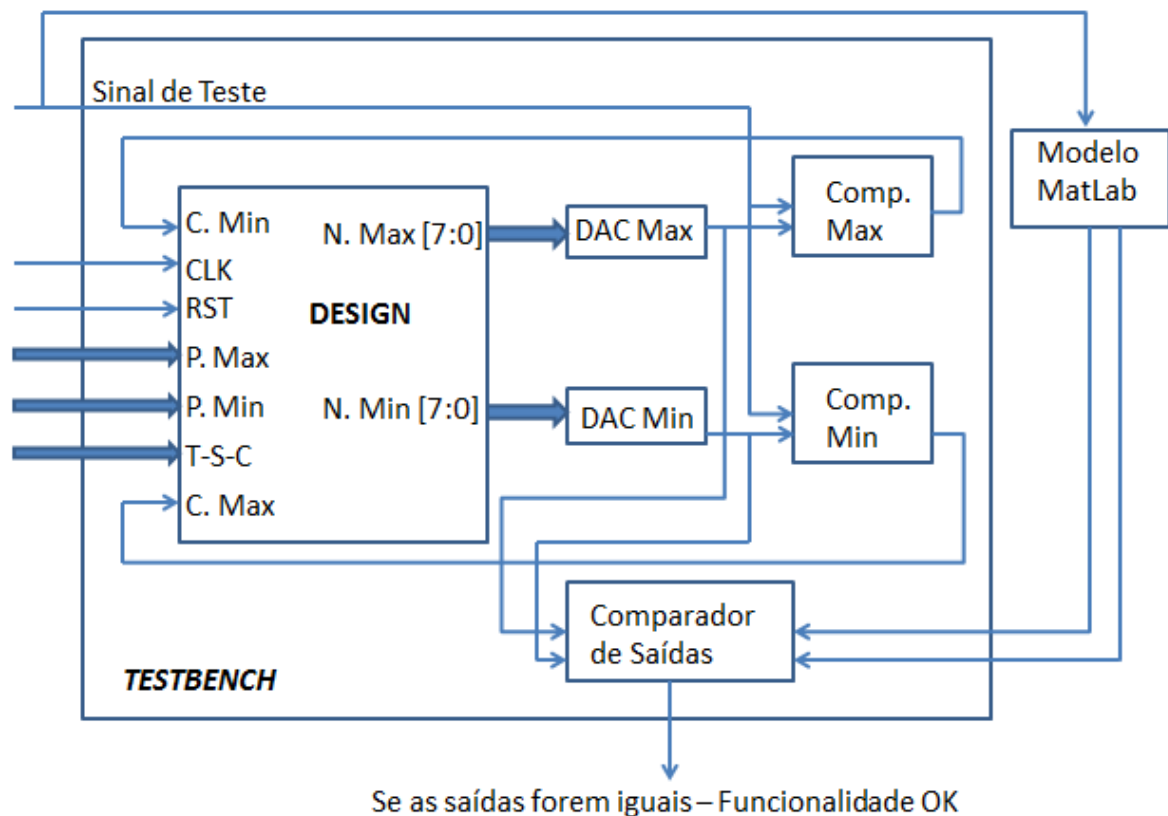


FIGURA 40 – VISÃO GERAL DO *TESTBENCH*.

Uma das configurações dos parâmetros verificadas no *testbench* para o sinal de teste eletrocardiograma no ambiente ModelSim pode ser visualizado na Figura 41.

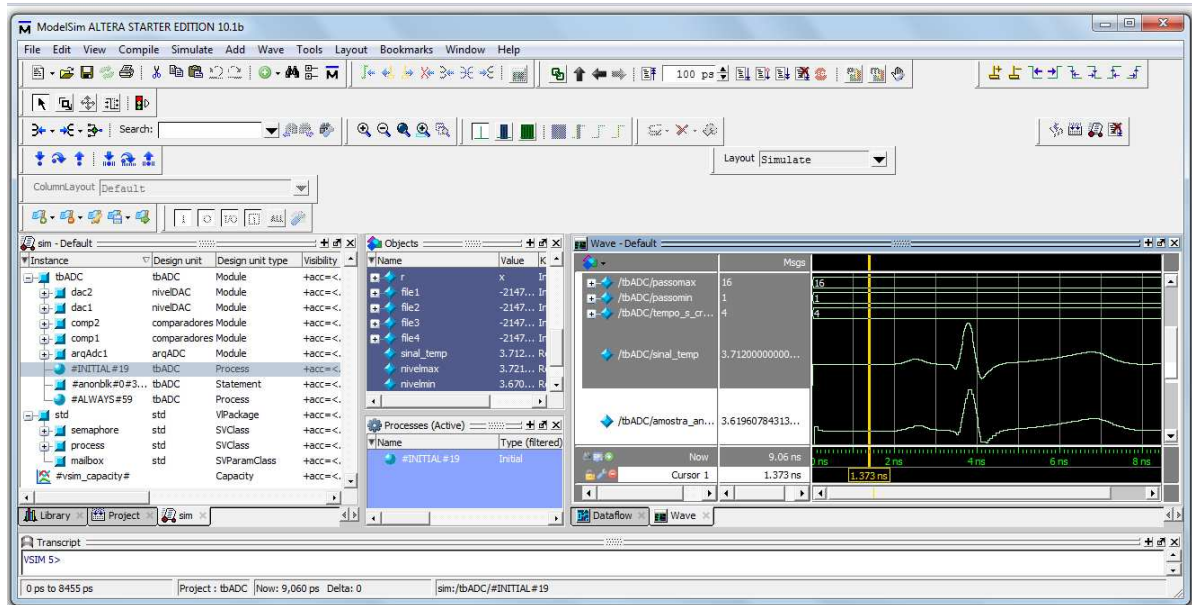


FIGURA 41 – FORMAS DE ONDA DO *TESTBENCH* NO AMBIENTE MODELSIM

O hardware desenvolvido foi validado após inúmeros testes, onde foram variados os parâmetros configuráveis pelo usuário e os sinais de teste. Após a validação, foi feita a implementação prática da arquitetura, assunto tratado no próximo capítulo.

5 RESULTADOS E DISCUSSÕES

5 RESULTADOS E DISCUSSÕES

Neste capítulo, são mostrados os resultados da conversão analógica-digital dos sinais de teste, realizada pela arquitetura proposta para diferentes valores dos parâmetros configuráveis pelo usuário. A arquitetura foi implementada para aceitar uma resolução máxima de 8 bits. A faixa de operação do conversor, ou seja, os valores de referência (V_{ref+} e V_{ref-}) foram variados para cada situação de teste, como será descrito a seguir.

5.1 DIFERENTES VALORES DE PASSO MÁXIMO E PASSO MÍNIMO

Inicialmente, foram aplicados os sinais de teste à arquitetura desenvolvida variando-se apenas os parâmetros de Passo Máximo e Passo Mínimo de Quantização, e mantendo-se o valor de Tempo_sem_cruzamento fixo para todos os sinais de teste.

5.1.1 ELETROCARDIOGRAMA

O sinal de eletrocardiograma usado como sinal de teste foi obtido do gerador de funções Agilent 33521A com 450 amostras e nível DC não nulo. Os primeiros testes da arquitetura foram realizados com o sinal original variando o passo máximo e mínimo de quantização entre LSB e 32LSB, e mantendo o parâmetro Tempo_sem_cruzamento igual a 7,1 ms. A faixa de operação do conversor para estes testes foi de a faixa de amplitude do sinal de ECG (V_{ref+} = máximo valor do sinal, V_{ref-} = mínimo valor do sinal, aproximadamente 10 V). Os resultados podem ser vistos na Figura 42, em azul o sinal de ECG, em vermelho as amostras realizadas pelo conversor, em verde o Nível Máximo de Cruzamento e em rosa o Nível Mínimo de Cruzamento. Porém, quando a análise para o cálculo das métricas da conversão foi realizada, percebeu-se que o nível DC não nulo do sinal original interferia nos resultados, conforme explicação no tópico 5.3. Com isso, os mesmos testes aplicados ao sinal original foram realizados para um sinal gerado a partir do sinal de ECG original, mas desta vez com nível DC nulo e interpolado (resultando em 4500 amostras). A interpolação foi feita com o intuito de aproximar ainda mais o

signal de teste a um sinal real (contínuo no tempo e em amplitude). Os resultados para o sinal interpolado podem ser vistos na Figura 43.

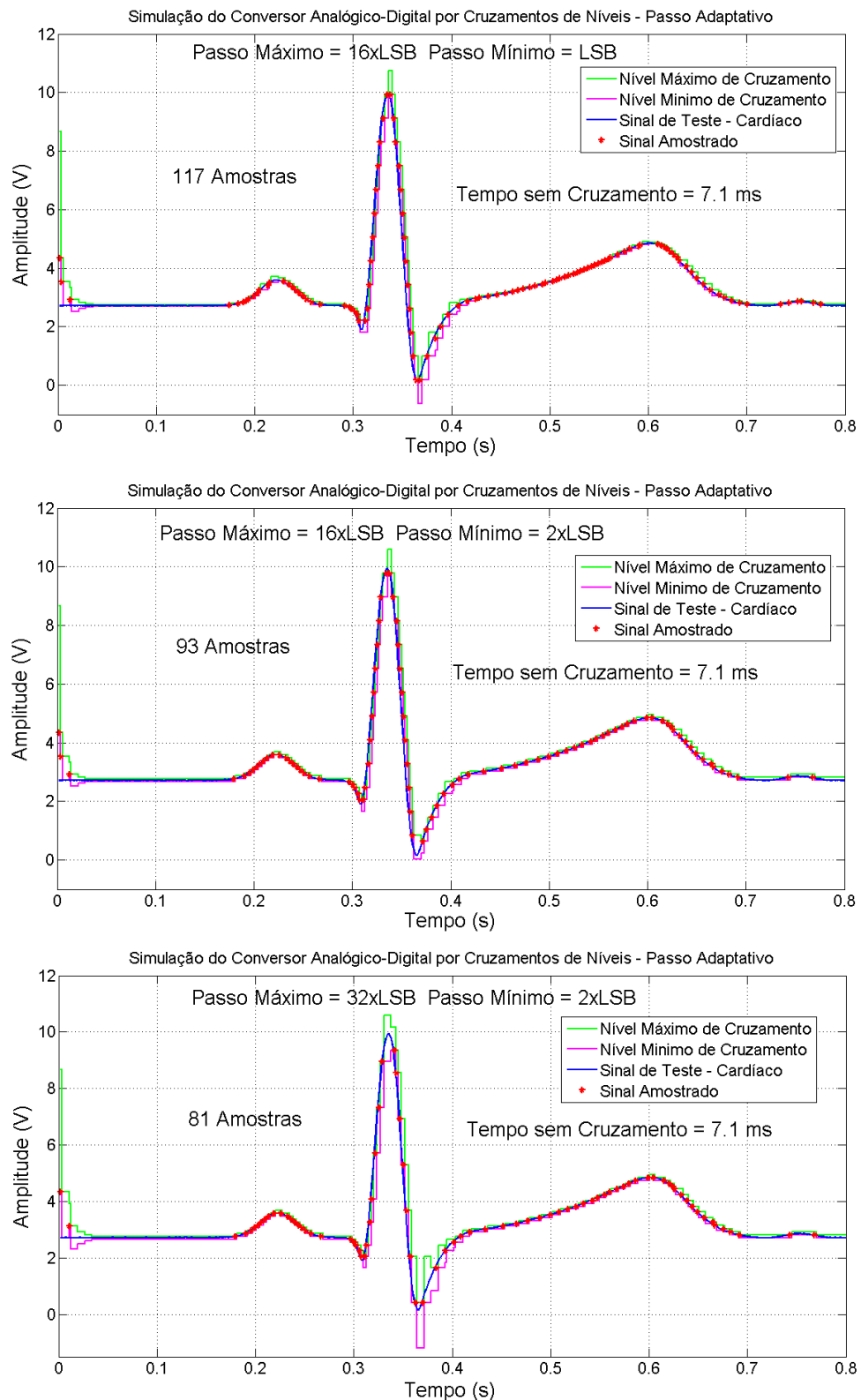


FIGURA 42 – SINAL DE ECG ORIGINAL (450 AMOSTRAS) AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.

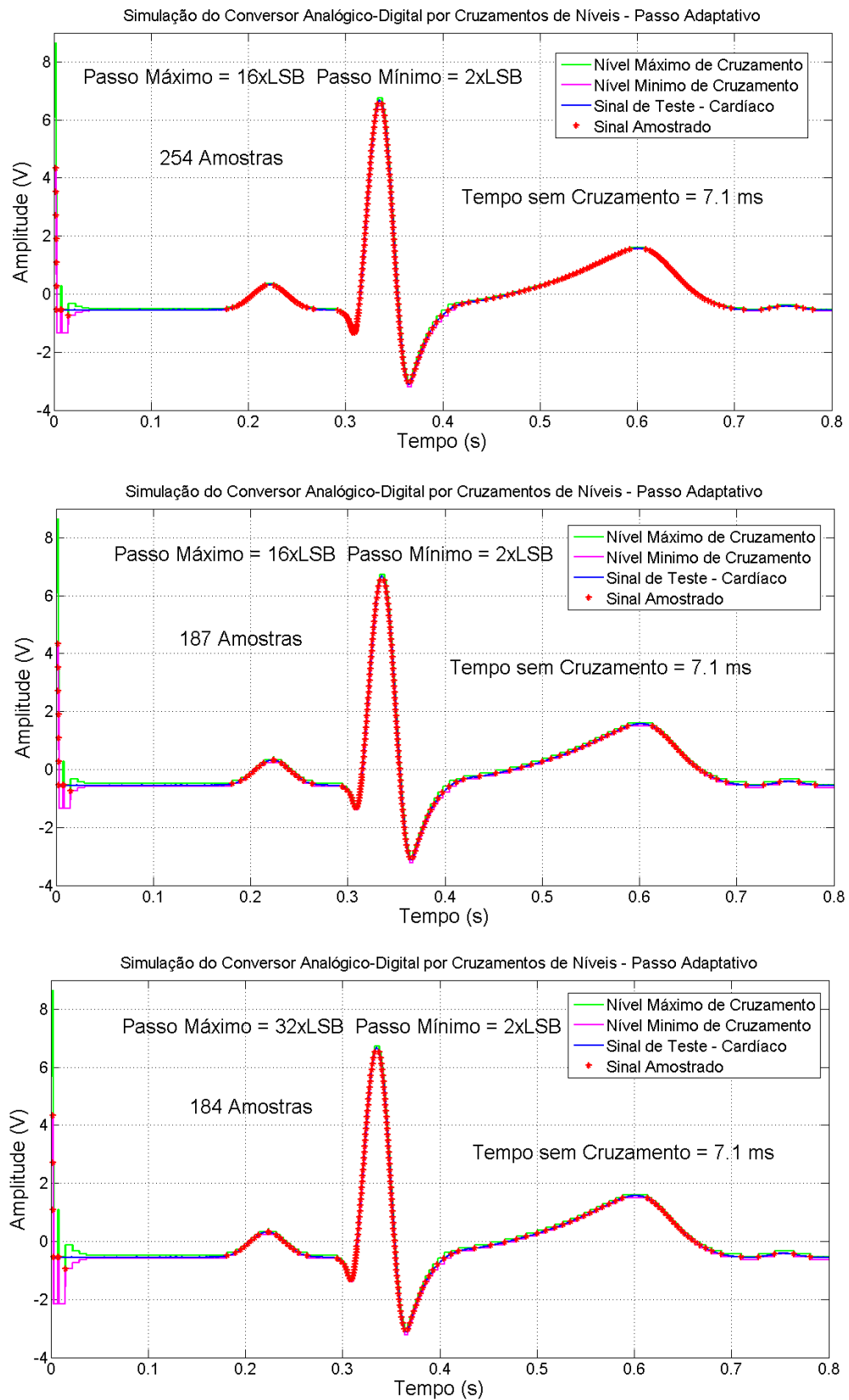


FIGURA 43 – SINAL DE ECG SEM NÍVEL DC (4500 AMOSTRAS) AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.

5.1.2 SINAL ESCADA

Para o sinal de teste escada, também foram feitos os testes variando-se o Passo Máximo e Mínimo de Quantização entre LSB e 32LSB, como é mostrado na Figura 44. Para o sinal escada, a faixa de operação do conversor foi de 0 V a 10 V.

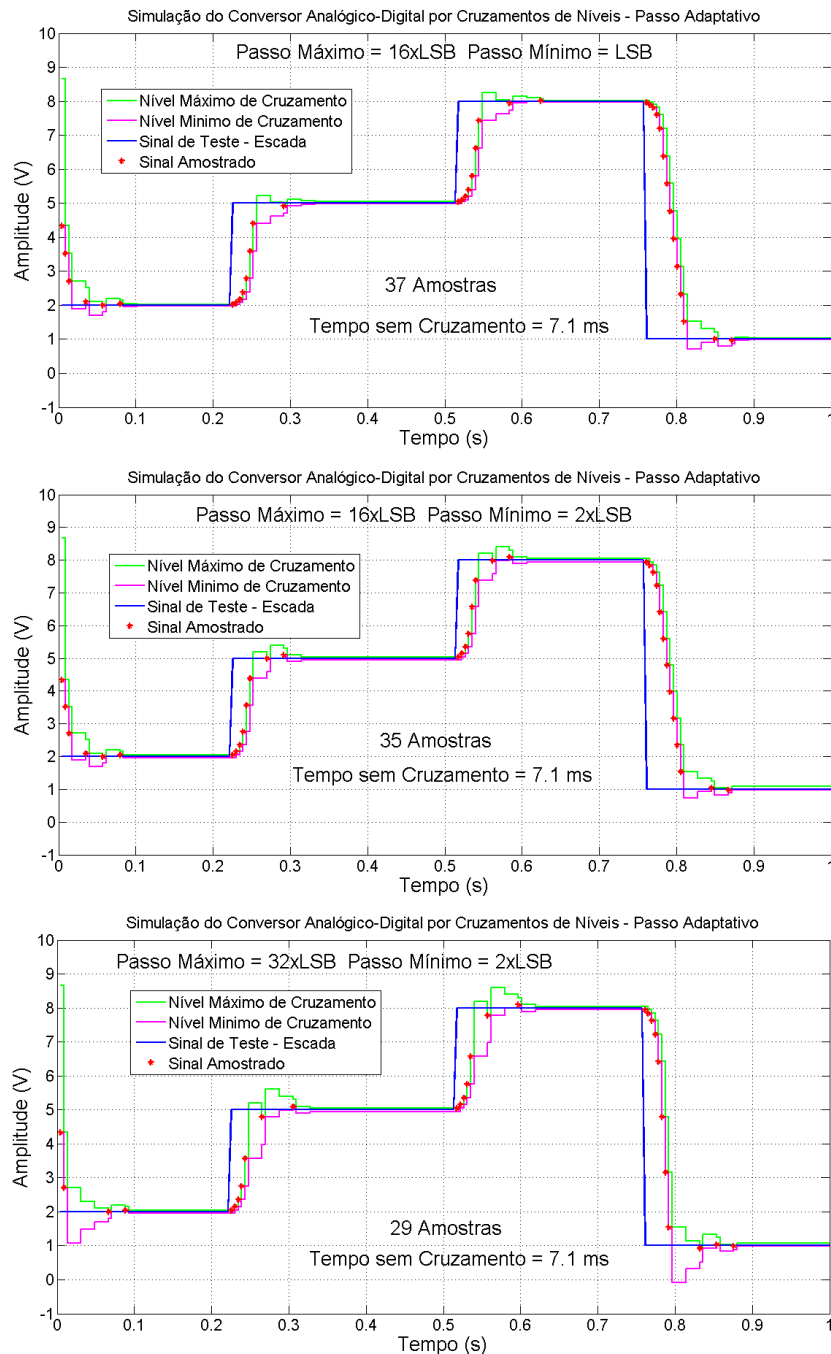


FIGURA 44 – SINAL ESCADA AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.

5.1.3 SINAL ESCADA SENOIDAL

Para o sinal de teste escada senoidal, foram feitos os testes variando-se o Passo Máximo e Mínimo de Quantização entre LSB e 32LSB, como é mostrado na Figura 45. Para este sinal, a faixa de operação do conversor foi de 0 V a 10 V.

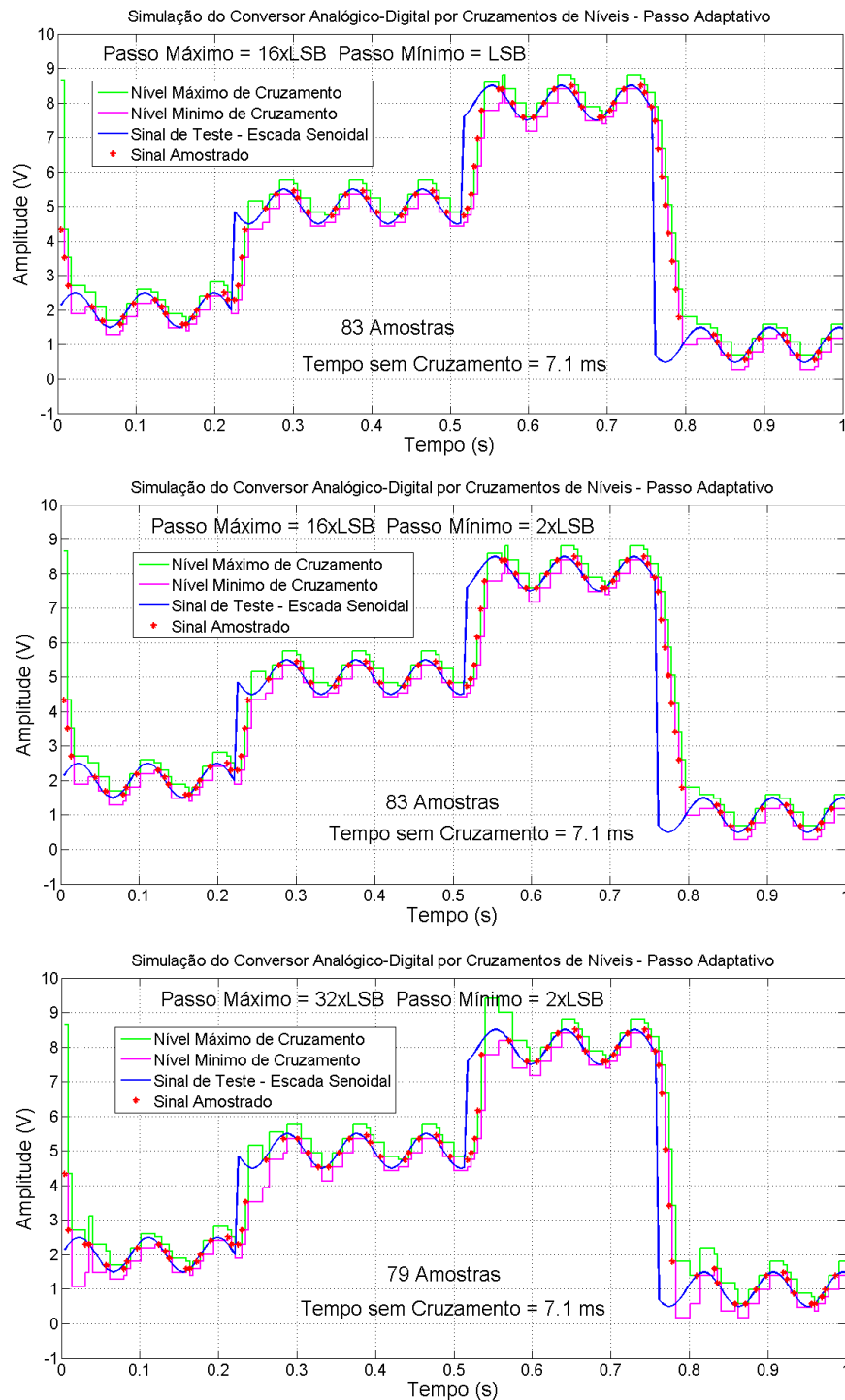


FIGURA 45 – SINAL ESCADA AMOSTRADO COM PASSO MÁXIMO E MÍNIMO ENTRE VARIANDO LSB E 32LSB.

5.2 DIFERENTES VALORES TEMPO_SEM_CRUZAMENTO

Neste tópico, são apresentados os resultados para os sinais de teste variando-se os valores do parâmetro Tempo_sem_cruzamento (T-S-C) entre 1,78 ms e 14,2 ms, e mantendo-se fixos os valores de Passo Máximo e Mínimo em 16LSB e LSB, respectivamente, como pode ser visto nas Figuras 46 a 48.

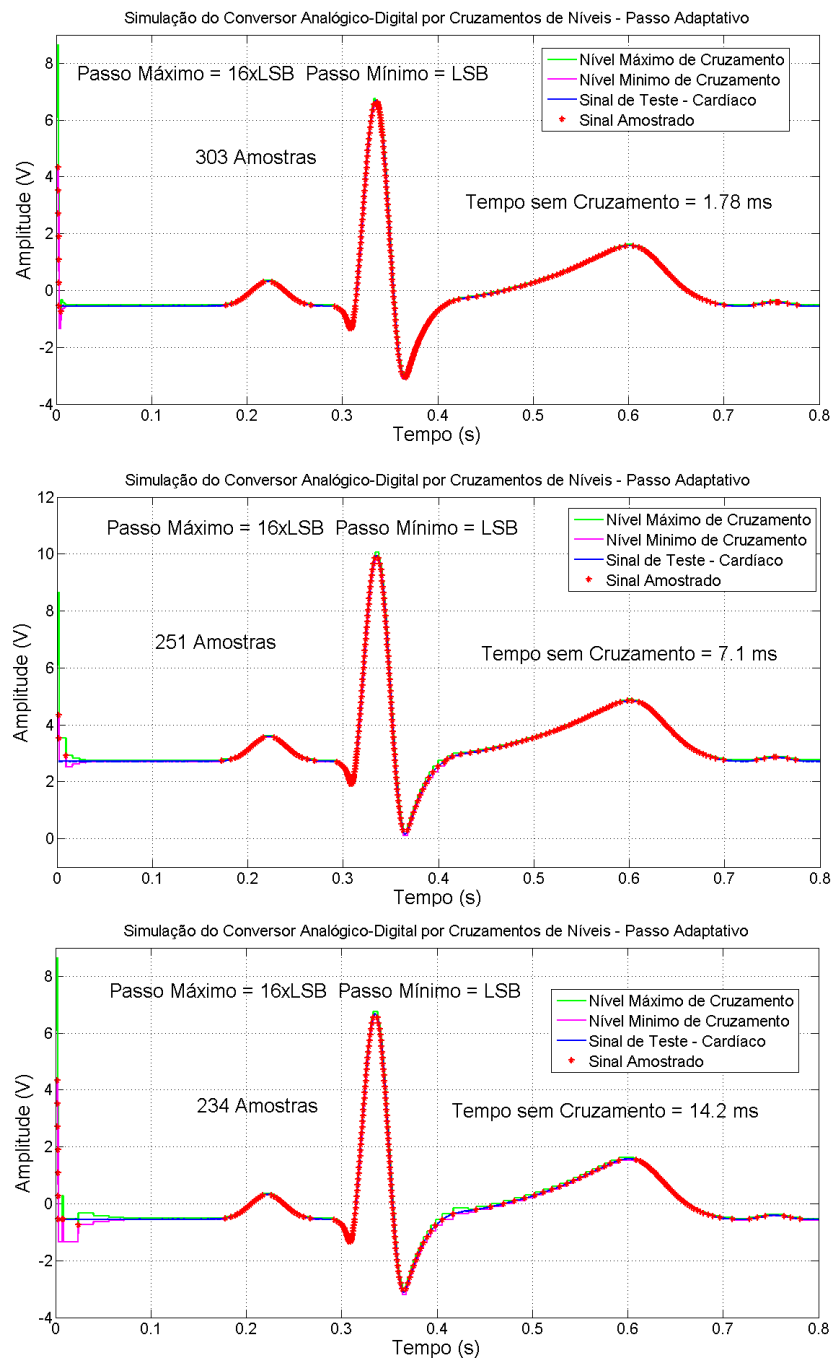


FIGURA 46 – SINAL DE ECG SEM NÍVEL DC (4500 AMOSTRAS) AMOSTRADO COM T-S-C VARIANDO ENTRE 1,78 MS E 14,2 MS.

O resultado para a variação do parâmetro T-S-C para o sinal de teste escada pode ser visto na Figura 47.

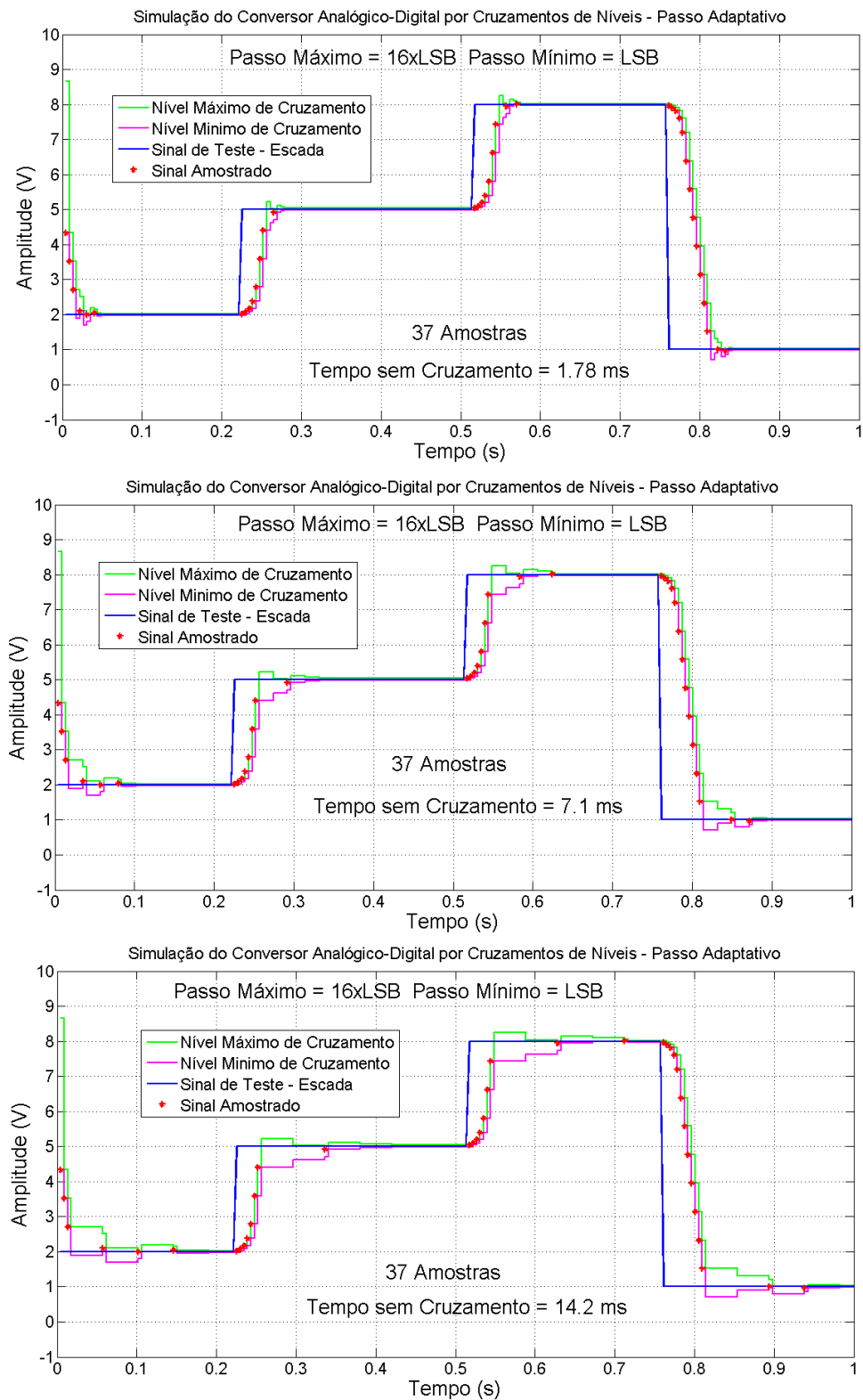


FIGURA 47 – SINAL ESCADA AMOSTRADO COM T-S-C VARIANDO ENTRE 1,78 MS E 14,2 MS.

O resultado para a variação do parâmetro T-S-C para o sinal de teste escada-senoidal pode ser visto na Figura 48.

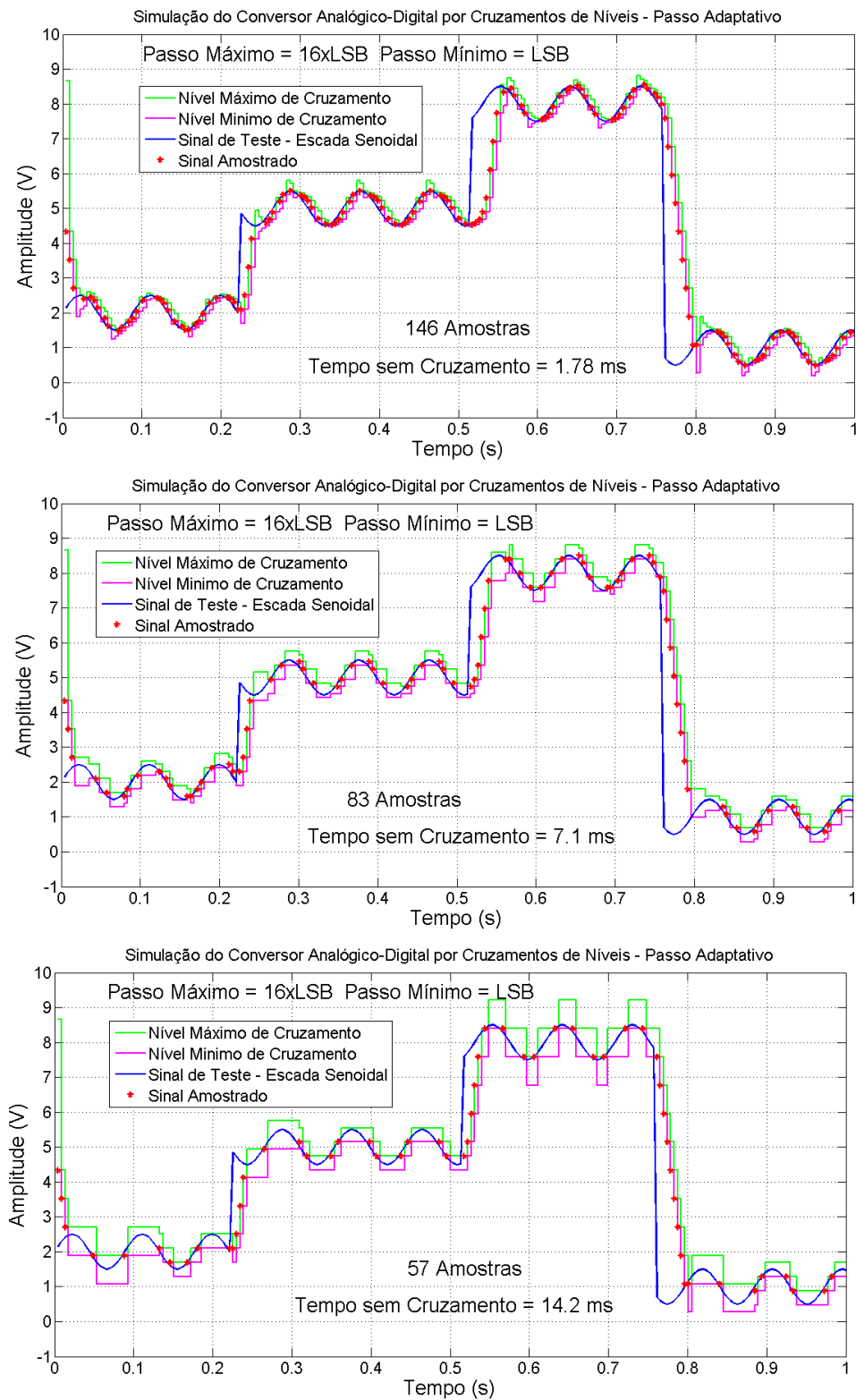


FIGURA 48 – SINAL ESCADA SENOIDAL AMOSTRADO COM T-S-C VARIANDO ENTRE 1,78 MS E 14,2 MS.

5.3 MÉTRICAS DA AMOSTRAGEM

Com o objetivo de avaliar a qualidade da amostragem realizada pela arquitetura proposta neste trabalho, e compará-la com uma amostragem uniforme, foi escolhido o conceito de relação sinal-ruído (SNR), que tem como definição a relação entre a potência do sinal e o ruído sobreposto ao sinal. Para o caso de conversores analógico-digitais, esse ruído é causado pelo erro de quantização.

O primeiro ensaio para estimar a relação sinal-ruído (SNR) do conversor implementado foi feito com o intuito de calcular a relação sinal-ruído (SNR) de um sinal senoidal sem DC com 5 V de amplitude e 1 Hz de frequência, e compará-la com o valor teórico. O objetivo desta comparação inicial foi validar o algoritmo implementado no MatLab para o cálculo da SNR.

É importante ressaltar que o valor teórico da SNR do sinal senoidal foi calculado segundo (MALOBERTI, 2007) a partir da equação $SNR_{seno} = 6,02n + 1,78 \text{ dB}$, onde n é o número de bits de resolução do conversor. Esta equação é derivada a partir de algumas premissas, dentre as quais se pressupõe um elevado número de níveis de quantização (MALOBERTI, 2007).

Já o algoritmo desenvolvido no MatLab para estimar a SNR faz o cálculo por meio da relação entre o quadrado do valor RMS (*root mean square*) do sinal e o quadrado do valor RMS do erro de quantização, como é mostrado na equação (1) abaixo:

$$*SNR = 10 \log \left(\frac{(\text{Valor RMS do Sinal})^2}{(\text{Valor RMS do Erro})^2} \right) = 10 \log \left(\frac{\left(\sqrt{\frac{\sum_{i=1}^N \text{signal}(i)^2}{N}} \right)^2}{\left(\sqrt{\frac{\sum_{i=1}^N \text{errodequantização}(i)^2}{N}} \right)^2} \right) \quad (6)$$

onde N é o número de pontos.

Para o sinal senoidal, foi calculada a SNR teórica e a SNR implementada no MatLab variando-se a resolução do conversor de 3 bits a 12 bits. A tabela 1 condensa e compara os valores obtidos SNR teórica e a SNR calculada no MatLab.

TABELA 1 – VALORES DA SNR DO SINAL SENOIDAL

N bits	SNR Teórica ($6.02n+1.78$)	*SNR Matlab
3 bits	19,84 dB	19,08 dB
4 bits	25,86 dB	25,30 dB
5 bits	31,88 dB	31,47 dB
6 bits	37,90 dB	37,59 dB
7 bits	43,92 dB	43,68 dB
8 bits	49,94 dB	49,78 dB
9 bits	55,96 dB	55,89 dB
10 bits	61,98 dB	61,99 dB
11 bits	68 dB	67,76 dB
12 bits	74,02 dB	74,03 dB

Como pode ser visto obtêve-se um ótimo acordo entre o valor teórico e o valor obtido numericamente. Para tornar mais claro os resultados mostrados na tabela 1, podem ser observados os gráficos do sinal senoidal em função do tempo para três resoluções diferentes nas Figuras 49, 50 e 51 a seguir.

Na Figura 49 é mostrado o sinal senoidal para uma resolução de 4 bits. Observa-se a partir da Figura 49 que para esta resolução existe um erro de quantização considerável.

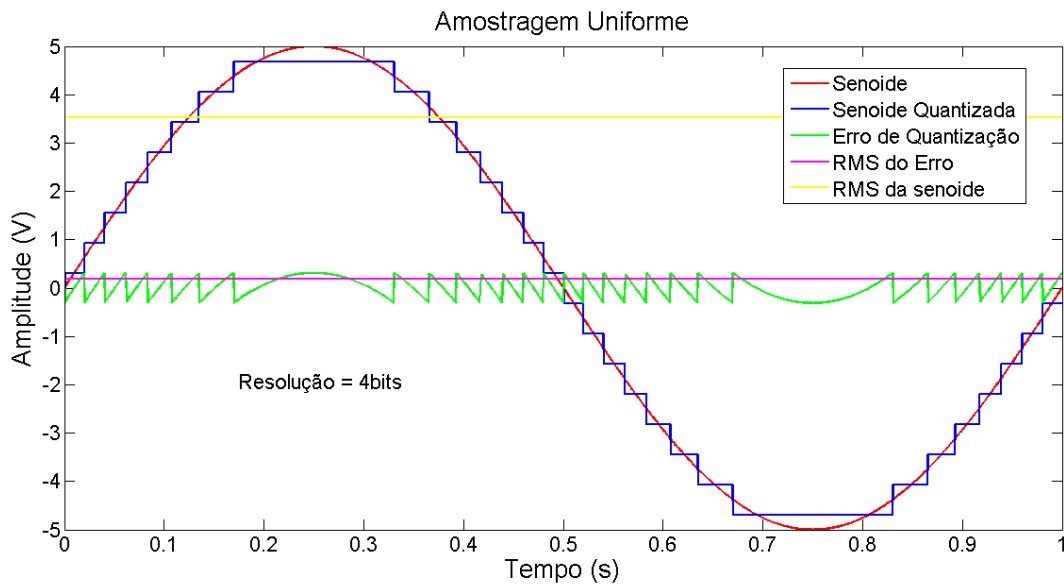


FIGURA 49 – SINAL SENOIDAL QUANTIZADO COM 4 BITS DE RESOLUÇÃO

Na Figura 50, pode-se observar o sinal senoidal quantizado com 6 bits de resolução. Para este caso, como mostrado na figura, o erro de quantização diminuiu, e, por conseguinte, a SNR é melhorada.

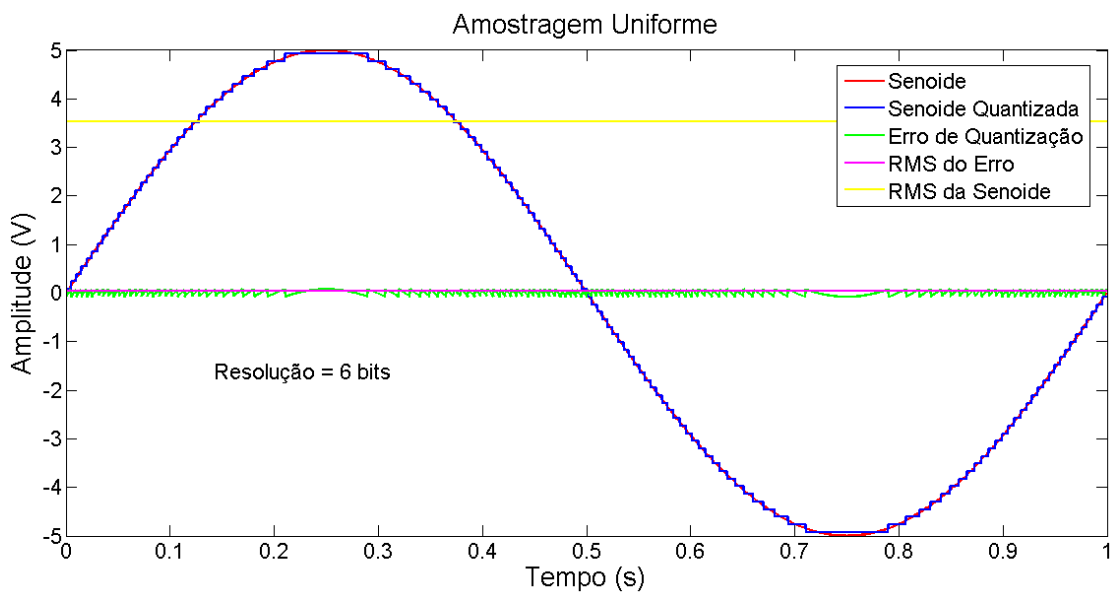


FIGURA 50 – SINAL SENOIDAL QUANTIZADO COM 6 BITS DE RESOLUÇÃO

Por fim na Figura 51 pode-se visualizar o sinal senoidal quantizado com 8 bits de resolução. Como pode ser visto o erro de quantização é ainda menor que as duas figuras anteriores e consequentemente obtemos uma melhor SNR.

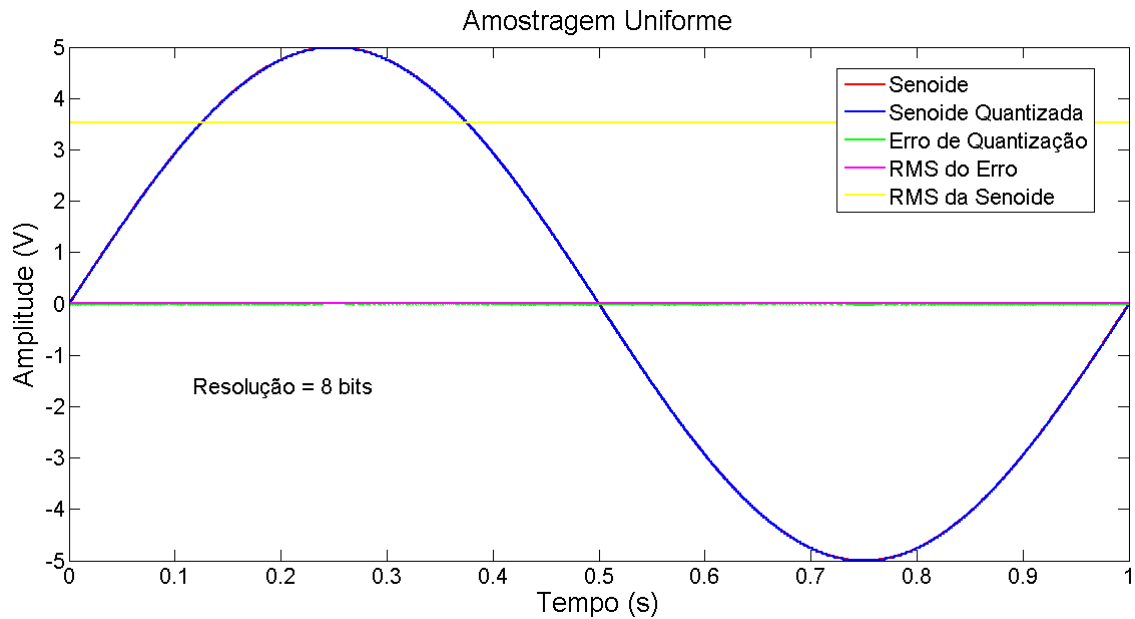


FIGURA 51 – SINAL SENOIDAL QUANTIZADO COM 8 BITS DE RESOLUÇÃO

Após a validação do cálculo da SNR por meio da equação (6) com o sinal senoidal, foi calculada a relação sinal-ruído (SNR) do sinal de ECG sem nível DC amostrado de maneira uniforme, com o intuito de comparar com o cálculo da SNR do sinal de ECG amostrado pelo conversor desenvolvido neste trabalho, ou seja, de maneira não-uniforme com adaptação do passo de quantização. A retirada do nível DC se deu devido à observação em cálculos preliminares utilizando o sinal senoidal que o nível DC poderia mascarar a SNR.

Como mencionado anteriormente, o sinal de ECG usado como sinal de teste foi adquirido com 450 amostras, porém, com o intuito de aproximar esse sinal ainda mais de um sinal contínuo, o mesmo foi interpolado linearmente para a geração de um sinal com 4500 amostras usando a função “interp1” do MatLab.

Depois de interpolado, o sinal foi amostrado de maneira uniforme, variando-se a frequência de amostragem entre 112,5 Hz e 562,5 Hz, quantizado com a resolução de 8 bits, e em seguida foi calculado a SNR segundo a equação (6). Esta faixa de frequência de amostragem foi escolhida, pois segundo (KOSSMANN, 1967; MENZ, 1994) as componentes espectrais de interesse do sinal de ECG encontram-se de 0,5 Hz a 100 Hz o que, de acordo com Nyquist, nos dá a informação que ele deve ser amostrado acima de 200 Hz (e geralmente nos aparelhos médicos de ECG são amostrados com no mínimo a 500 Hz (KOSSMANN, 1967; MENZ, 1994)), então

a escolha por esta faixa de frequência de amostragem foi feita para se amostrar abaixo e acima de Nyquist. A decisão de desrespeitar o critério de Nyquist se deu apenas para fins de comparação de SNR entre a amostragem uniforme e a amostragem com a arquitetura proposta, para valores compatíveis de número de amostras.

É importante lembrar que o sinal de ECG adquirido interpolado e quantizado em 8 bits tem uma SNR teórica de 40,48 dB (equação 6). Este valor pode ser entendido melhor ao se comparar o (quadrado do) valor RMS do sinal de ECG com o (quadrado do) valor RMS de uma senoide com 5 V de amplitude e sem nível DC (tendo portanto a mesma excursão de amplitude do ECG. O sinal senoidal quantizado com 8 bits de resolução possui uma SNR teórica de 49,9 dB. O valor RMS do sinal senoidal é 3,53 V, enquanto o valor RMS do sinal de ECG é de 1,26 V, devido à própria característica impulsiva do sinal. Portanto, a diferença de SNR do sinal de ECG (40,48 dB) para a SNR do sinal senoidal (49,9 dB) se dá por conta dessa diferença de valor RMS dos sinais ($20\log(3,53/1,26)=8,94$ dB).

Os resultados obtidos podem ser visualizados na tabela 2. Em seguida serão mostrados gráficos em função do tempo do ECG amostrado uniformemente para três das frequências de amostragem escolhidas.

TABELA 2 – SNR DO ECG AMOSTRADO UNIFORMEMENTE

Amostragem Uniforme	
Nº de amostras/ Freq. Amostragem	SNR (equação 6)
90/112,5 Hz	8,5360 dB
100/125 Hz	9,4400 dB
112/140,625	10,5050 dB
150/187,5 Hz	12,9336 dB
180/225 Hz	14,5708 dB
225/281,25 Hz	16,5510 dB
300/375 Hz	19,1125 dB
375/468,75 Hz	21,1893 dB
450/562,5Hz	22,8210 dB

900/1.125 kHz	29,3026 dB
1125/1.406 kHz	31,4197 dB
2250/2.812 kHz	37,4219 dB
4500/5.625 kHz	40,48 dB

Na Figura 52, pode-se observar o sinal de ECG amostrado na frequência de 112,5 Hz, a menor frequência de amostragem testada que está abaixo de Nyquist para este sinal. Observa-se que o erro de quantização é bastante elevado, o que leva a uma SNR baixa (8,54 dB).

Na Figura 53, o sinal de ECG é amostrado na frequência de 281,25 Hz, uma frequência já acima de Nyquist, porém ainda observa-se um erro de quantização considerável, como pode ser visto na Figura 53. A SNR para este caso é de 16,55 dB.

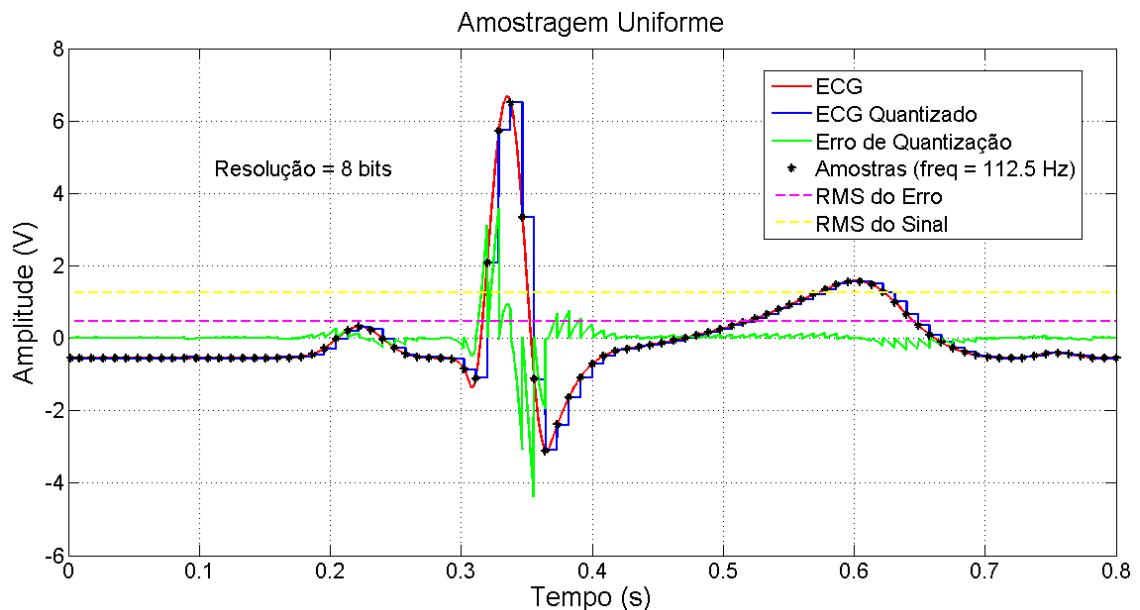


FIGURA 52 – ECG AMOSTRADO UNIFORMEMENTE COM FREQUÊNCIA DE AMOSTRAGEM DE 112,5 HZ E QUANTIZADO COM 8 BITS DE RESOLUÇÃO.

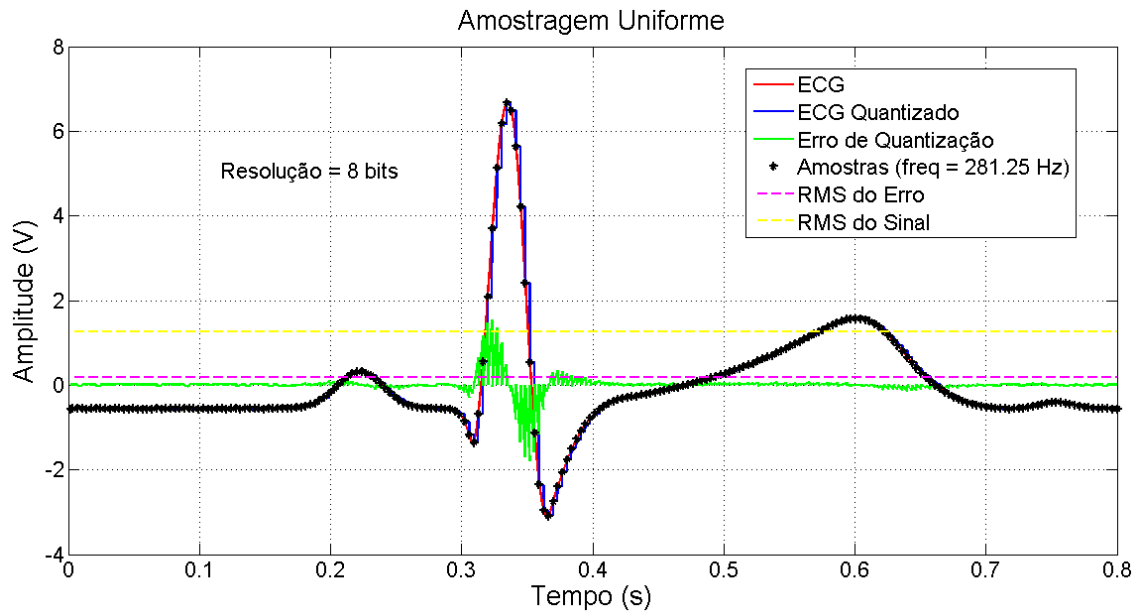


FIGURA 53 – ECG AMOSTRADO UNIFORMEMENTE COM FREQUÊNCIA DE AMOSTRAGEM DE 281,25 HZ E QUANTIZADO COM 8 BITS DE RESOLUÇÃO

Na Figura 54, o sinal de ECG é amostrado na maior frequência de amostragem testada para amostragem uniforme (562,5 Hz), o que resultou na melhor SNR obtida, no valor de 22,82 dB.

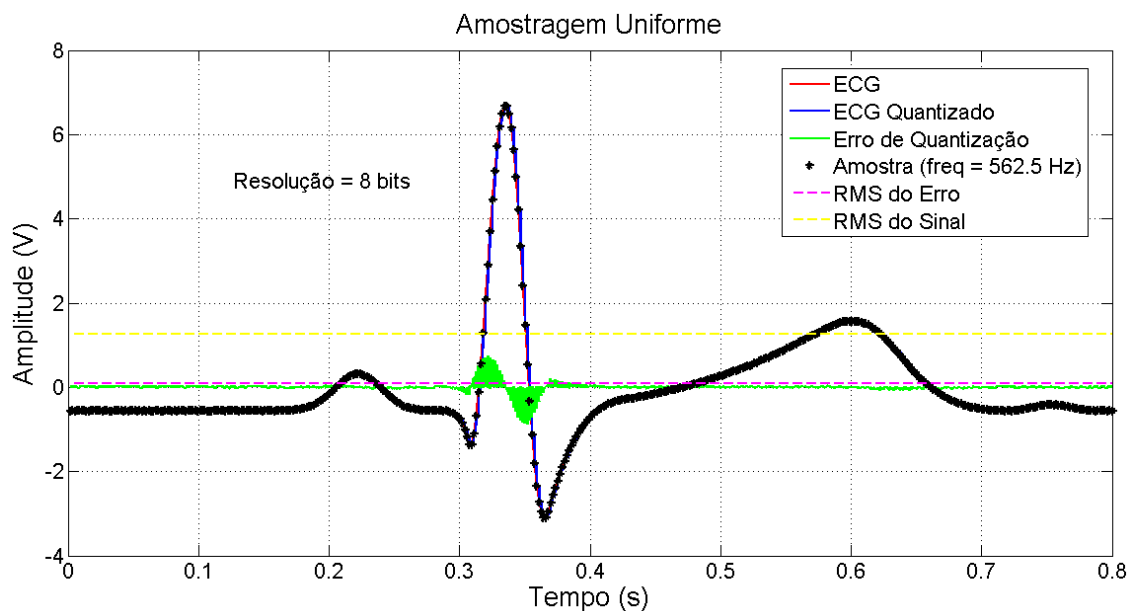


FIGURA 54 – ECG AMOSTRADO UNIFORMEMENTE COM FREQUÊNCIA DE AMOSTRAGEM DE 562,5 HZ E QUANTIZADO COM 8 BITS DE RESOLUÇÃO

Estimada a SNR para a amostragem uniforme, foi calculada a SNR para a amostragem não-uniforme adaptativa, também seguindo a mesma equação (6) e usando o mesmo ECG sem nível DC, interpolado linearmente. Para cálculo do erro de amplitude no caso da amostragem não-uniforme adaptativa, foi considerado que no intervalo entre duas amostras, ou seja, no intervalo entre dois cruzamentos de níveis, o valor da amplitude neste intervalo é o mesmo do último nível cruzado até que aconteça um novo cruzamento.

É importante mencionar que tanto para a amostragem uniforme como para a não-uniforme, só se considera o cálculo a partir da 6ª amostra, com o objetivo de se calcular a SNR da amostragem não-uniforme em regime permanente, ou seja, quando o sinal já foi encontrado pelo conversor.

Para a amostragem não-uniforme, a SNR foi calculada variando-se os parâmetros do conversor flexíveis para o usuário: Passo Máximo de Quantização, Passo Mínimo de Quantização e Tempo Sem Cruzamento.

A tabela 3 resume os resultados obtidos para a SNR do ECG amostrado de maneira não-uniforme e adaptativa.

TABELA 3 – SNR DO ECG AMOSTRADO PELO CONVERSOR

Amostragem Não-Uniforme		
**T_S_C(ms)/Nº de amostras	Adaptação Vref+ = max(sinal) Vref- = min(sinal) LSB = 0.0382 V	SNR (equação 6)
71/94	2xLSB a 32xLSB	16,6030 dB
71/121	2xLSB a 16xLSB	17,6931 dB
17,8/184	2xLSB a 16xLSB	20,0735 dB
17,8/181	2xLSB a 32xLSB	20,7288 dB
7,1/192	2xLSB a 32xLSB	24,8486 dB
7,1/195	2xLSB a 16xLSB	25,2157 dB
7,1/290	LSB a 32xLSB	26,1475 dB
1,78/217	2xLSB a 32xLSB	26,2771 dB
1,78/220	2xLSB a 16xLSB	26,4030 dB

7,1/293	LSB a 16xLSB	26,6501 dB
1,78/327	LSB a 32xLSB	28,0230 dB
1,78/330	LSB a 16xLSB	28,2125 dB

**Parâmetro Tempo Sem Cruzamento (T_S_C) medido em milissegundos

Duas configurações testadas para a amostragem não-uniforme adaptativa podem ser vistas nos gráficos em função do tempo das Figuras 55 e 56. Na Figura 56, pode ser vista a configuração de menor valor de SNR. Na Figura 55 pode ser visualizada a configuração de maior valor de SNR.

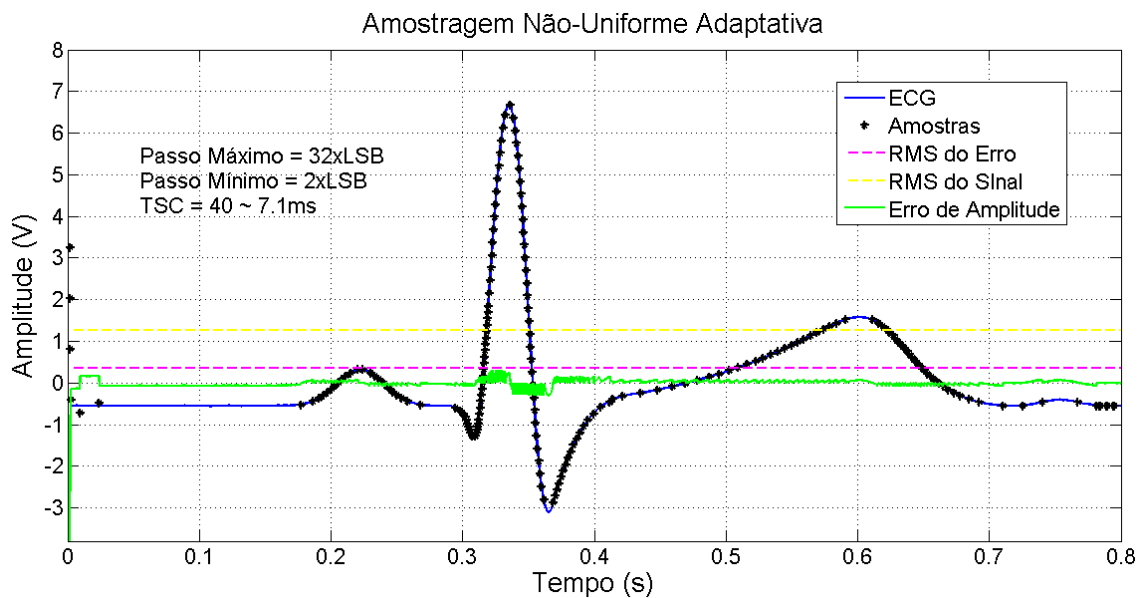


FIGURA 55 – ECG AMOSTRADO DE MANEIRA NÃO-UNIFORME COM A CONFIGURAÇÃO DE PARÂMETROS QUE RESULTOU NA MENOR VALOR SNR (24,84 dB)

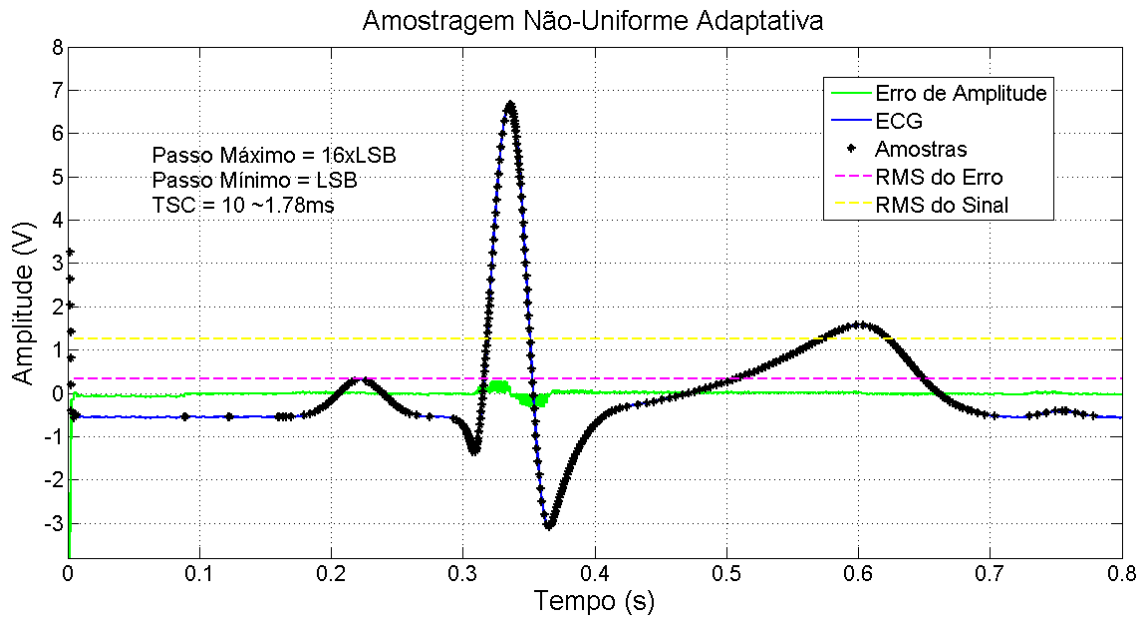


FIGURA 56 – ECG AMOSTRADO DE MANEIRA NÃO-UNIFORME COM A CONFIGURAÇÃO DE PARÂMETROS QUE RESULTOU NO MAIOR VALOR SNR (28,21 dB)

Na tabela 4 são mostrados os valores da amostragem uniforme e não-uniforme adaptativa para melhor comparação. A tabela foi organizada na ordem crescente de SNR para os dois casos (uniforme e não-uniforme).

TABELA 4 – SNR DO ECG AMOSTRADO UNIFORMEMENTE E PELO CONVERSOR

Amostragem Uniforme		Amostragem Não-Uniforme		
Nº de pontos/ Freq. Amostragem	SNR Matlab	**T_S_C(ms)/Nº de amostras	Adaptação Vref+ = max(sinal) Vref- = min(sinal) LSB = 0.0382 V	SNR (equação 6)
90/112,5 Hz	8,5360 dB	71/94	2xLSB a 32xLSB	16,6030 dB
100/125 Hz	9,4400 dB	71/121	2xLSB a 16xLSB	17,6931 dB
112/140,625	1,5050 dB	17,8/184	2xLSB a 16xLSB	20,0735 dB
150/187,5 Hz	12,9336 dB	17,8/181	2xLSB a 32xLSB	20,7288 dB
180/225 Hz	14,5708 dB	7,1/192	2xLSB a 32xLSB	24,8486 dB

225/281,25 Hz	16,5510 dB	7,1/195	2xLSB a 16xLSB	25,2157 dB
300/375 Hz	19,1125 dB	7,1/290	LSB a 32xLSB	26,1475 dB
375/468,75 Hz	21,1893 dB	1,78/217	2xLSB a 32xLSB	26,2771 dB
450/562,5Hz	22,8210 dB	1,78/220	2xLSB a 16xLSB	26,4030 dB
		1,78/293	LSB a 16xLSB	26,6501 dB
		1,78/327	LSB a 32xLSB	28,0230 dB
		1,78/330	LSB a 16xLSB	28,2125 dB

**Parâmetro Tempo Sem Cruzamento (T_S_C) medido em milissegundos

A partir dos valores mostrados na tabela 4, pode-se concluir que na maioria (aproximadamente 66,7 %) das configurações testadas para o sinal de ECG, a SNR da amostragem não-uniforme adaptativa foi melhor do que o caso com melhor SNR da amostragem uniforme (frequência de amostragem 562,5 Hz) e com um menor número de amostras. Ao se comparar os resultados para número de amostras compatíveis, obteve-se ganhos de até 10 dB em relação à amostragem uniforme.

Ainda comparando a SNR da amostragem não-uniforme com outros casos que não sejam o de maior valor, percebe-se que a amostragem não uniforme ganha em (redução do) número de amostras. Como por exemplo, o sinal de ECG amostrado uniformemente com uma frequência de amostragem de 281,25 Hz resultou em uma SNR de 16,5 dB e com um número de amostras igual a 225. Comparando-se este dado com a amostragem não-uniforme na configuração de Passo Máximo e Mínimo de Quantização igual a 32LSB e 2LSB respectivamente e Tempo_sem_cruzamento igual a 71 ms que resultou numa SNR de 16,6 dB, ou seja, próximo do valor da SNR da amostragem uniforme para a frequência de 281,25 Hz, observou-se com a amostragem não-uniforme um ganho de 131 amostras (redução maior que 50%).

5.4 RECONSTRUÇÃO DO SINAL

Ao se amostrar sinais de maneira não-uniforme, um dos questionamentos é de como se daria a reconstrução desse sinal. Como pode ser visto em (GOMES,

2008), existem alguns estudos matemáticos voltados para a reconstrução de sinais amostrados de maneira não-uniforme. Alguns artigos (SHARMA et al., 2012; MOROZOV et al., 2011) apontam o processo de interpolação linear como forma de reconstruir o sinal amostrado de maneira não uniforme.

Baseando-se nestas informações, foi implementado um algoritmo para a reconstrução do sinal amostrado de maneira não-uniforme e adaptativa pelo conversor desenvolvido neste trabalho. O algoritmo desenvolvido tem como entrada a informação dos valores das amostras feitas pelo conversor assim como do tempo em que a amostra foi realizada. A partir dessas informações, foi feita uma interpolação linear simples, ou seja, um polinômio de primeiro grau (reta), no intervalo de tempo entre as amostras realizadas pelo conversor.

Como o foco desta dissertação não é a reconstrução do sinal amostrado de maneira não uniforme, apenas o algoritmo acima foi testado. No entanto, é preciso dizer que já existem diversos estudos com foco apenas na reconstrução de sinais amostrados de maneira não-uniforme utilizando banco de filtros digitais e/ou outros tipos de interpolação (ITAMI et al., 2008; MARGOLIS et al., 2004; CHABERT et al., 2012).

O algoritmo de reconstrução implementado foi testado para o sinal de ECG amostrado pelo conversor em algumas configurações dos parâmetros (Passo Máximo de Quantização, Passo Mínimo de Quantização e Tempo sem Cruzamento).

Na tabela 5 pode ser visto o resumo dos resultados obtidos dos valores de SNR calculados do sinal de ECG reconstruído pelo algoritmo implementado. O cálculo da SNR foi realizado segundo a equação (6), detalhada no tópico de métricas do conversor.

A partir da tabela 5, pode-se concluir que quanto maior a SNR do sinal amostrado melhor foi a reconstrução do sinal, como se pode observar nos valores da SNR do sinal reconstruído. O sinal de ECG reconstruído pode ser visto em gráficos em função do tempo nas Figuras 57 e 58. Na Figura 57 foi escolhido o sinal reconstruído de melhor SNR das configurações testadas, pode ser visto também na figura o erro de amplitude entre o sinal original e o sinal reconstruído.

TABELA 5 – SNR DO SINAL DE ECG RECONSTRUÍDO

Sinal Amostrado					Sinal Reconstruído
Configuração dos Parâmetros			Nº de Amostras	SNR	SNR
TSC(ms)	Passo Máximo	Passo Mínimo			
71	32xLSB	2xLSB	94	16,6030 dB	23,4803 dB
71	16xLSB	2xLSB	121	17,6931 dB	26,8777 dB
17,8	32xLSB	2xLSB	181	20,7288 dB	30,0328 dB
17,8	16xLSB	2xLSB	184	20,0735 dB	30,7152 dB
7,1	32xLSB	2xLSB	192	24,8486 dB	31,0893 dB
7,1	16xLSB	2xLSB	195	25,2157 dB	31,4353 dB
7,1	32xLSB	LSB	290	26,1475 dB	32,8432 dB
1,78	32xLSB	2xLSB	217	26,2771 dB	33,0336 dB
1,78	16xLSB	2xLSB	220	26,4030 dB	33,1970 dB
7,1	16xLSB	LSB	293	26,6501 dB	33,4065 dB
1,78	32xLSB	LSB	327	28,0230 dB	35,9482 dB
1,78	16xLSB	LSB	330	28,2125 dB	36,2863 dB

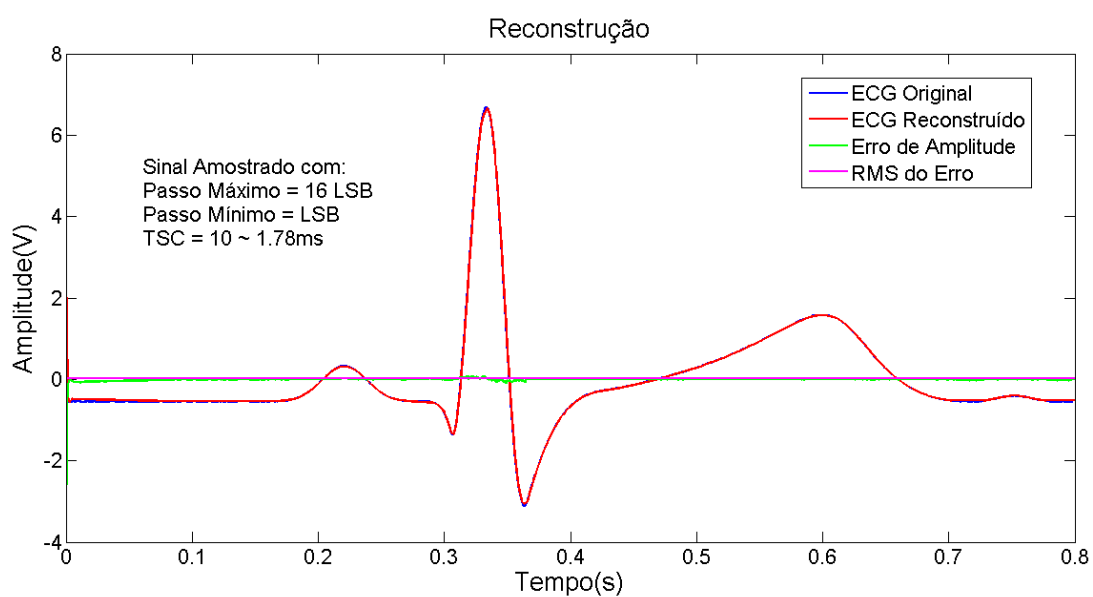


FIGURA 57 – SINAL DE ECG RECONSTRUÍDO COM MAIOR SNR

Na Figura 58, foi escolhido o gráfico em função do tempo do sinal reconstruído de menor SNR, para ser comparado com a Figura 57. Na Figura 58, também pode ser visto o erro de amplitude entre o sinal original e o sinal reconstruído.

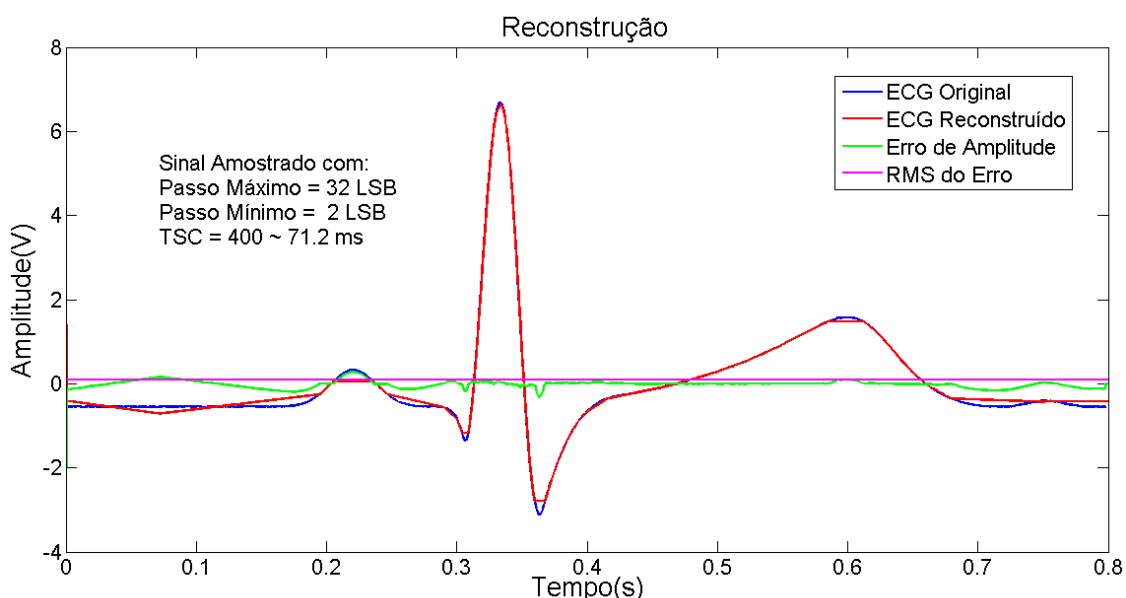


FIGURA 58 – SINAL DE ECG RECONSTRUÍDO COM MENOR SNR

A partir das informações da tabela 5 e dos gráficos em função do tempo de sinal reconstruído nas figuras 57 e 58, é possível concluir que a qualidade da reconstrução do sinal usando o algoritmo sugerido neste trabalho, com interpolação linear usando um polinômio de primeira ordem (reta), depende da configuração de valores dos parâmetros do conversor (passo máximo, mínimo e tempo sem cruzamento) na amostragem do sinal. Estudos mais aprofundados sobre algoritmos de reconstrução do sinal para a arquitetura de conversor desenvolvida neste trabalho podem ser realizados em trabalhos futuros.

5.5 RESULTADOS EXPERIMENTAIS

A arquitetura foi implementada com componentes discretos, conforme mencionado no tópico 4.2.2. Na figura 59, pode ser visto o setup usado para os testes experimentais, no qual o notebook foi utilizado para gravar o FPGA, e o osciloscópio foi usado para observação do sinal na entrada do conversor e dos níveis de cruzamento por ele gerados.

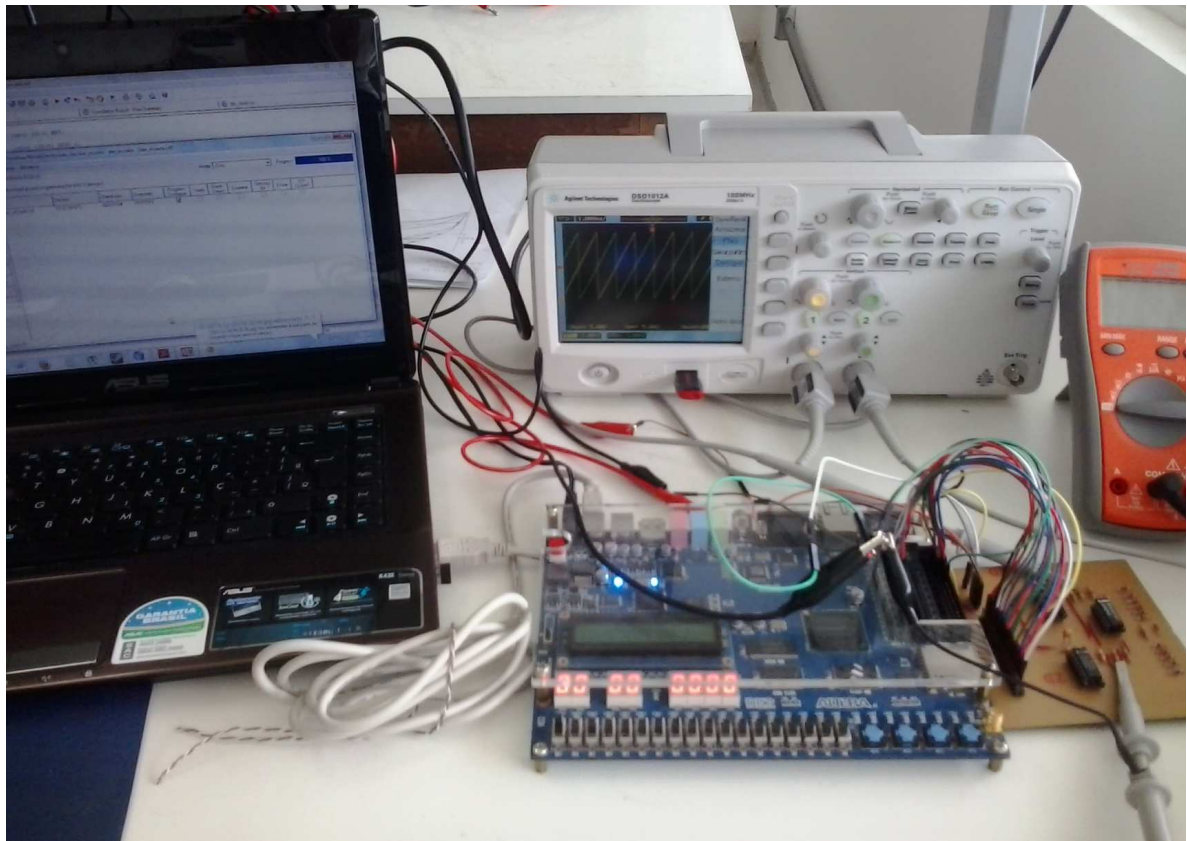


FIGURA 59 – SETUP EXPERIMENTAL.

Primeiramente, foram feitos testes usando um clock de 1 Hz, para que se pudesse avaliar visualmente as atualizações do passo de quantização e dos níveis de cruzamento gerados. Foram utilizados os displays de 7-segmentos para mostrar o passo de quantização e os níveis de cruzamento gerados pela arquitetura. Inicialmente, foi testado o comportamento do protótipo para sinais DC, com a arquitetura configurada com os valores de Passo Máximo de quantização de 16LSB, passo mínimo de quantização de LSB e Tempo_sem_cruzamento de 4 s. Na Figura 60, pode ser visto o resultado medido pelo osciloscópio para o GND da placa (*ground*, 0 V), em verde e amarelo tem os níveis de cruzamento gerados pelo conversor e em azul o sinal de entrada.

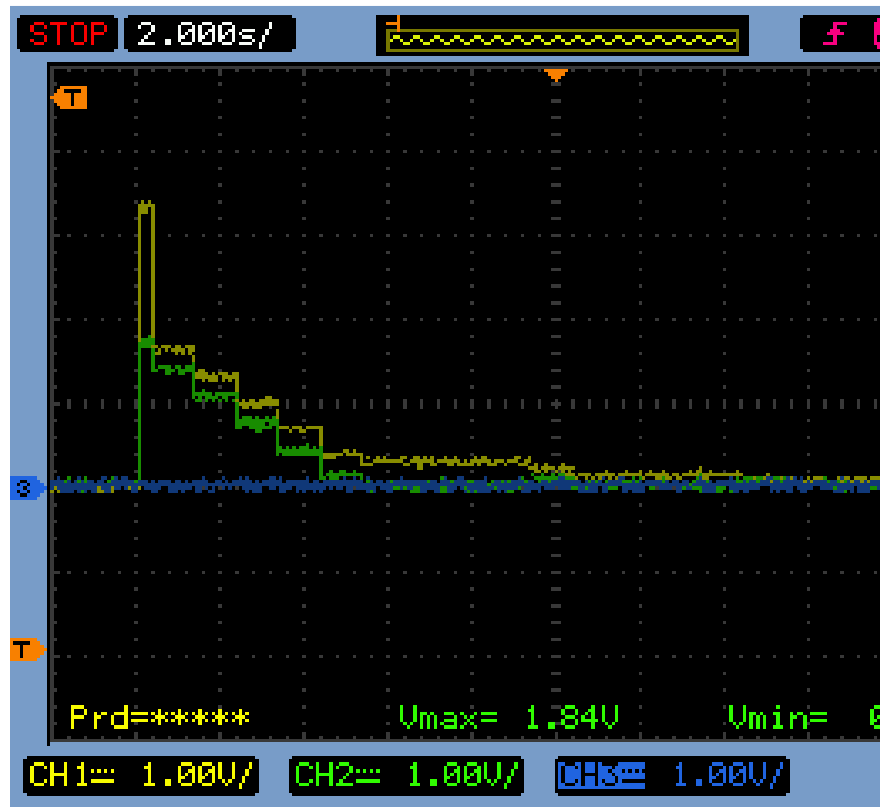


FIGURA 60 – RESULTADO EXPERIMENTAL PARA UM SINAL DC.

Após o teste do sinal DC, utilizou-se um potenciômetro com referência de 5 V para variar dinamicamente o sinal na entrada do conversor, simulando uma situação real. Este teste foi feito ainda usando um clock de 1Hz e com a arquitetura configurada com os valores de Passo Máximo de quantização de 16LSB, passo mínimo de quantização de LSB e Tempo_sem_cruzamento de 4 s. O resultado para este teste pode ser visto na Figura 61. Outro sinal resultante da variação de um potenciômetro foi testado na arquitetura aumentando-se o clock para 10 Hz e mudando-se o parâmetro Tempo_sem_cruzamento para 400 ms. O resultado para este teste pode ser visto na Figura 62.

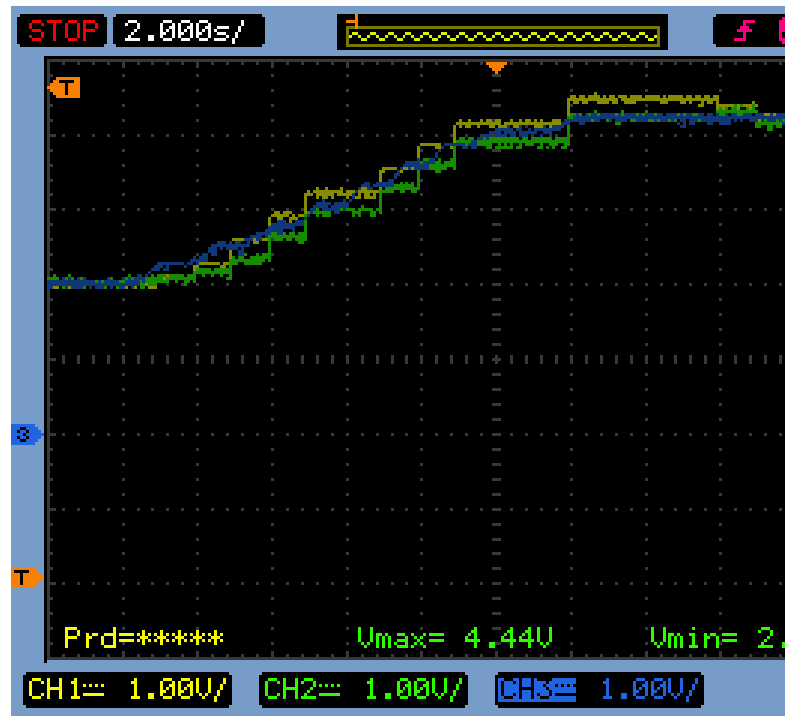


FIGURA 61 – RESULTADO EXPERIMENTAL PARA UM SINAL DE ENTRADA RESULTANTE DA VARIAÇÃO DE UM POTENCIOMÊTRO (CLOCK 1HZ).

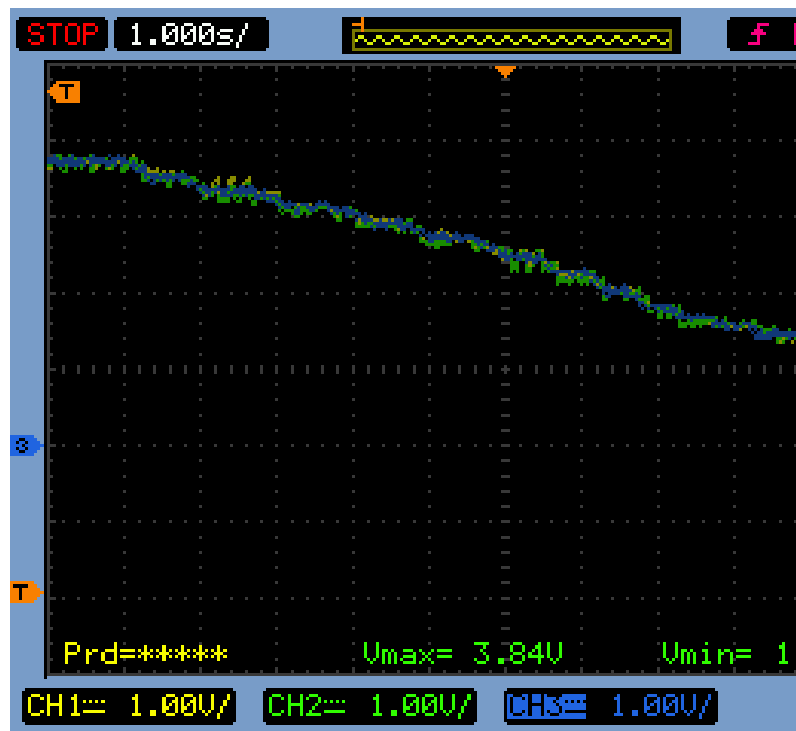


FIGURA 62 – RESULTADO EXPERIMENTAL PARA UM SINAL DE ENTRADA RESULTANTE DA VARIAÇÃO DE UM POTENCIOMÊTRO (CLOCK 10HZ).

Em seguida, o clock do conversor foi aumentado para 100 kHz para que este pudesse processar sinais mais rápidos, e o sinal ECG do gerador de funções da Agilent foi usado como sinal de entrada do conversor. Na Figura 63, pode ser visto o resultado para este teste na janela do osciloscópio.

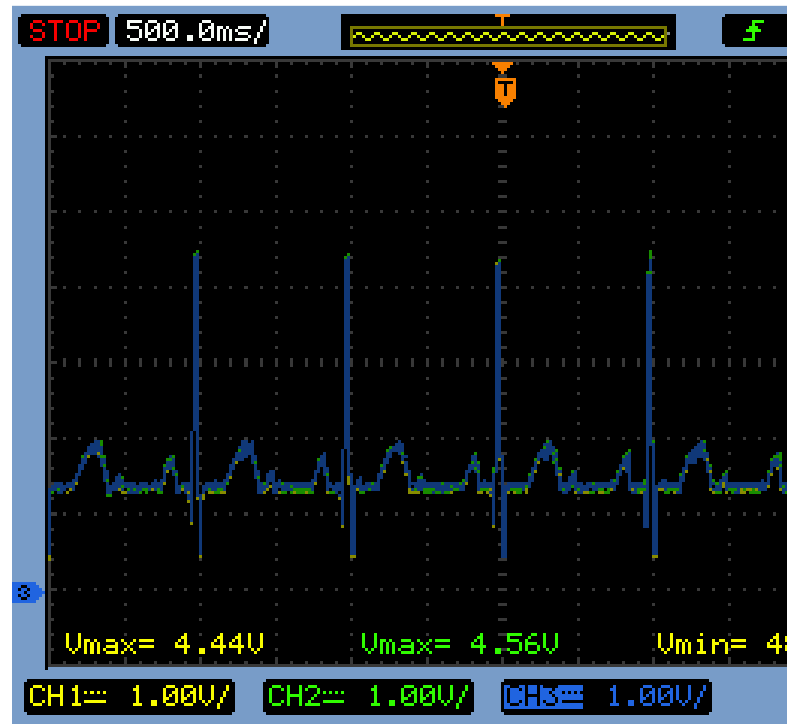


FIGURA 63 – RESULTADO EXPERIMENTAL DO CONVERSOR COM CLOCK DE 100 KHZ PARA O SINAL DE ECG, VISTO NO OSCILOSCÓPIO.

Para uma melhor visualização, o resultado do teste para o sinal de ECG foi adquirido e plotado no MatLab, como pode ser visto na Figura 64.

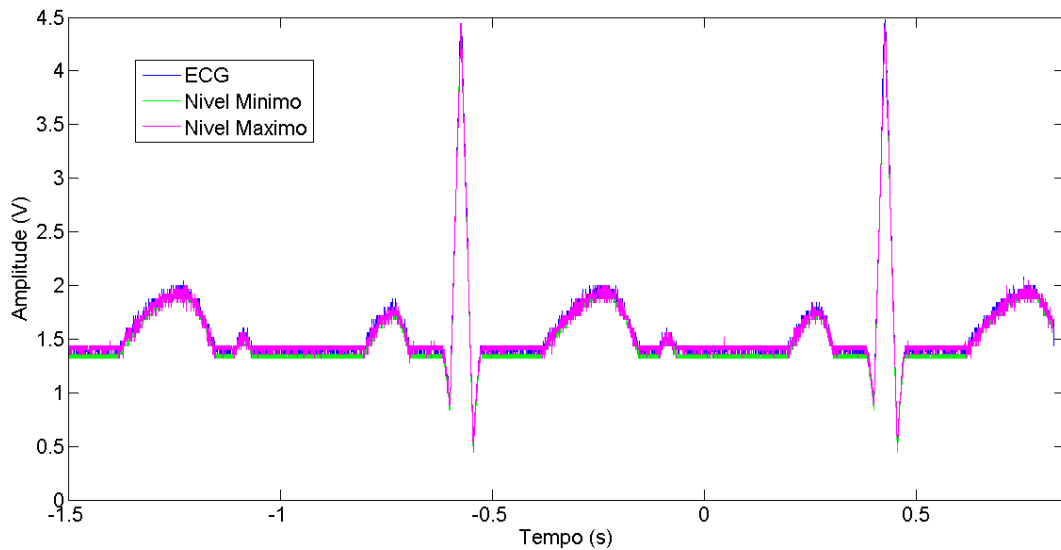


FIGURA 64 – RESULTADO EXPERIMENTAL PARA O SINAL DE ECG PLOTADO NO MATLAB.

Ainda com o clock do conversor em 100 kHz, foi aplicado um sinal degrau do gerador de funções da Agilent, para que o tempo de resposta/processamento do conversor pudesse ser medido. Para um sinal de entrada do tipo degrau com 3.3 V de amplitude e com o conversor configurado para adaptar o passo de quantização entre LSB e 16 LSB (com um valor de referência de 5 V), o tempo de resposta/processamento do conversor foi de aproximadamente 200 μ s, como pode ser visto na Figura 65.

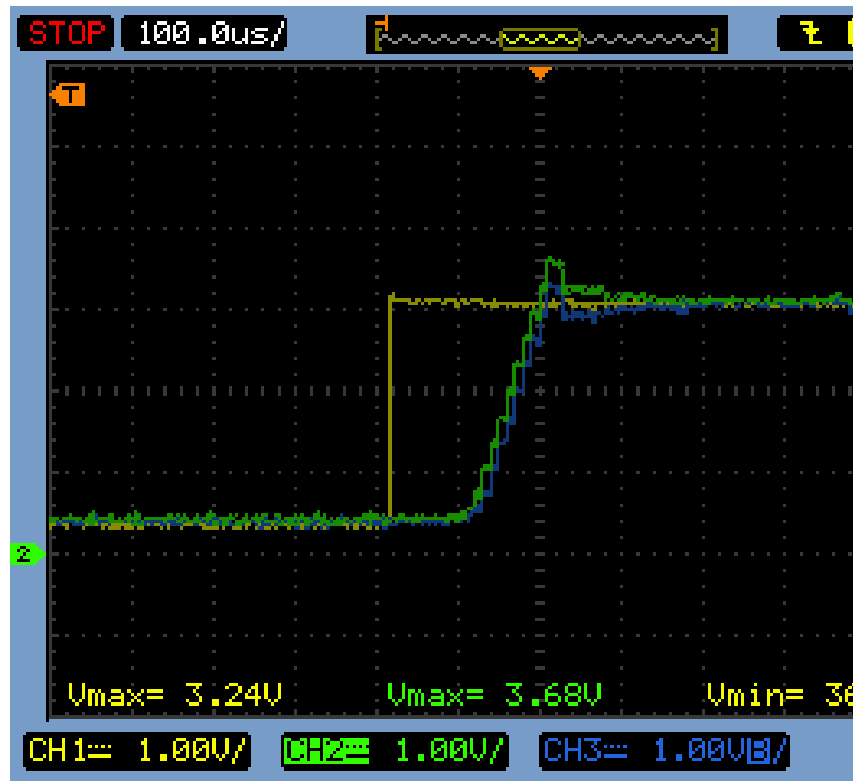


FIGURA 65 – TEMPO DE PROCESSAMENTO DO CONVERSOR

Em seguida, o clock da lógica digital do conversor foi aumentado para 1 MHz, quando se percebeu que a parte analógica do circuito, que utilizou componentes de prateleira não otimizados, começou a não mais responder de maneira satisfatória. Não obstante, a utilização de componentes de alto desempenho ou mesmo uma implementação integrada tornarão possível uma frequência de trabalho mais elevada, se esta for uma necessidade.

6 CONSIDERAÇÕES FINAIS

6 CONSIDERAÇÕES FINAIS

Neste capítulo é feito um resumo do trabalho com ênfase nos objetivos e as dificuldades encontradas, como também sugestões para trabalhos futuros.

6.1 RESUMO DO TRABALHO

Nesta dissertação, foi desenvolvida uma arquitetura de conversão analógico-digital baseada em amostragem não-uniforme por cruzamento de níveis e com adaptação do passo de quantização. A pesquisa bibliográfica realizada sobre conversores analógico-digitais de baixo consumo possibilitou a escolha deste tipo de arquitetura com o objetivo de reduzir o consumo de energia quando aplicados a sinais esparsos no tempo.

O funcionamento da arquitetura pode ser ajustado por três parâmetros configuráveis pelo usuário, com o objetivo de melhorar o desempenho do conversor analógico-digital em termos de eficiência energética, já que os parâmetros são configurados de acordo com as características do sinal a ser convertido, sendo o ajuste destes parâmetros um dos diferenciais da arquitetura quando comparado ao estado da arte (TRAKIMAS et al., 2008; AGARWAL et al., 2009; TRAKIMAS et al., 2011; SULEYMAN et al., 2013; ZAARE et al., 2013; RAVANSHAD et al., 2014). A flexibilidade da arquitetura desenvolvida neste trabalho permite a utilização de um conjunto de outras técnicas (tal como inteligência artificial) para criar conversores adaptativos dinâmicos.

Três sinais de teste com diferentes configurações dos parâmetros da arquitetura foram testados. Foram realizadas comparações da arquitetura desenvolvida com amostragem uniforme, que resultaram em melhores valores de relação sinal-ruído (SNR) da conversão, com ganhos de até 10 dB e/ou redução do número de amostras.

A arquitetura desenvolvida é bastante adequada para microcontroladores e transceptores de ultra-baixo consumo, no qual as saídas dos comparadores podem ser usadas para gerar interrupções assíncronas para acordar o *chip*. Principalmente em aplicações em que o consumo envolvido na transmissão de dados predomina, o uso da arquitetura desenvolvida neste trabalho poderia resultar em uma redução de

consumo maior do que a redução apenas do funcionamento da arquitetura do conversor.

6.2 SUGESTÕES DE TRABALHOS FUTUROS

A arquitetura desenvolvida e implementada com componentes discretos pode ser melhorada com o intuito de se projetar um circuito integrado do conversor desenvolvido. Um dos problemas que podem ser estudados para melhorar o desempenho da arquitetura é a situação de um sinal ruidoso com valor próximo de um dos níveis de cruzamento. A situação mostrada na Figura 66. Neste caso o conversor ficará oscilando na geração de níveis em torno do sinal, e fará amostras redundantes. É provável que este problema possa ser resolvido incorporando-se mais estados na máquina de estados do algoritmo da lógica digital da arquitetura embarcada no FPGA.

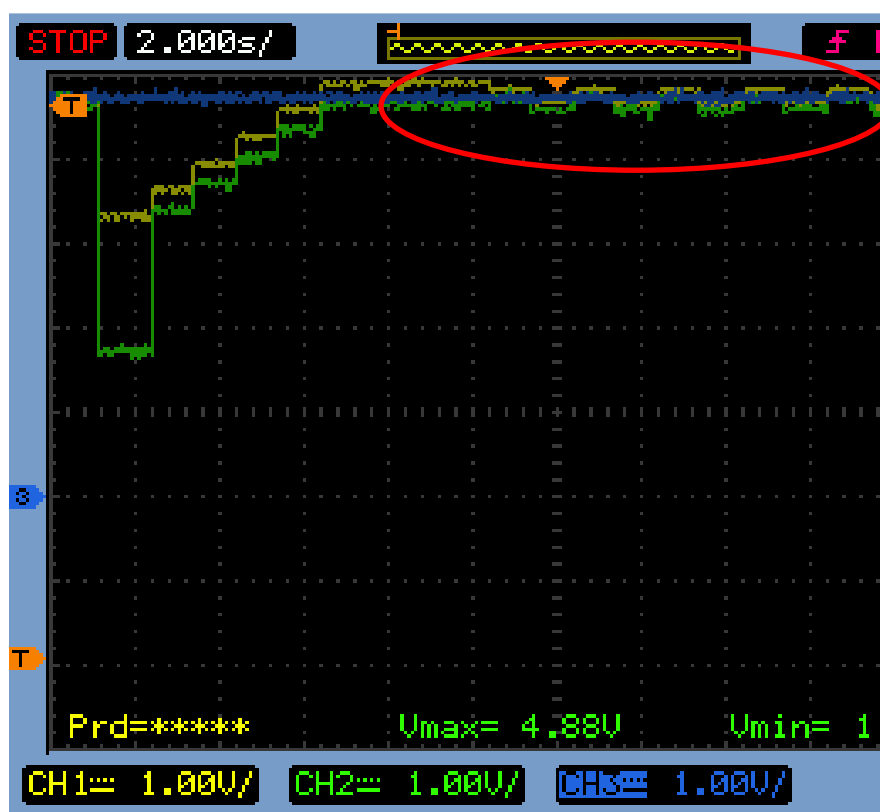


FIGURA 66 – SITUAÇÃO EM QUE O SINAL DE ENTRADA VARIA MUITO POUCO EM TORNO DE UM NÍVEL DE CRUZAMENTO.

Uma análise completa relacionada à previsão da economia total de consumo de energia em um sistema completo com conversão e transmissão em que a arquitetura desenvolvida é aplicada pode ser investigada em trabalhos futuros para diferentes tipos de aplicações.

Com relação à reconstrução do sinal, outros algoritmos de reconstrução do sinal utilizando diferentes tipos de interpolação (spline, cúbica, com polinômios com grau acima de três) podem ser testados e comparados com o sugerido neste trabalho e/ou outros como (SHARMA et al., 2012; MOROZOV et al., 2011; ITAMI et al., 2008; MARGOLIS et al., 2004; CHABERT et al., 2012) .

6.3 ARTIGO PUBLICADO RELATIVO A ESTE TRABALHO

Os resultados deste trabalho foram objeto do artigo “*Flexible A/D Converter Architecture Targetting Sparse Signals*”, que foi aceito para publicação e apresentação oral na *International Instrumentation and Measurement Technology Conference* (IEEE I2MTC 2014).

REFERÊNCIAS

- AGARWAL, R.; TRAKIMAS, M.; SONKUSALE, S., "Adaptive asynchronous analog to digital conversion for compressed biomedical sensing," *Biomedical Circuits and Systems Conference, 2009. BioCAS 2009. IEEE* , vol., no., pp.69,72, 26-28 Nov. 2009.
- AGNES, A.; BONIZZONI, E. ; MALCOVATI, P.; MALOBERTI, F. "An ultra-low power successive approximation A/D converter with time-domain comparator," *Analog Integrated Circuits and Signal Processing*, vol. 64, pp. 183-190, 2010. .
- ALLIER, E.. "Asynchronous Analog to Digital Interface: a New Class of Converters Based on Time Quantization".PhD. Thesis,Institut National Polytechnique de Grenoble, France, Nov 2003.
- ALLIER, E.; SICARD, G.; FESQUET, L.; RENAUDIN, M., "A new class of asynchronous A/D converters based on time quantization," *Asynchronous Circuits and Systems, 2003. Proceedings. Ninth International Symposium on* , vol., no., pp.196,205, 12-15 May 2003
- BELLASI, D.E.; BETTINI, L.; BENKESER, C.; BURGER, T.; Qiuting Huang; Studer, C., "VLSI Design of a Monolithic Compressive-Sensing Wideband Analog-to-Information Converter," *Emerging and Selected Topics in Circuits and Systems, IEEE Journal on* , vol.3, no.4, pp.552,565, Dec. 2013.
- BOSE, R.; SIRCAR, P., "On implementation of a nonuniform sampling strategy," *TENCON '98. 1998 IEEE Region 10 International Conference on Global Connectivity in Energy, Computer, Communication and Control* , vol.2, no., pp.328,331 vol.2, 1998.
- CHABERT, M.; LACAZE, B., "Non uniform sampling for remote sensing images," *Geoscience and Remote Sensing Symposium (IGARSS), 2012 IEEE International* , vol., no., pp.4718,4721, 22-27 July 2012.
- DAI ZHANG; BHIDE, A.; ALVANDPOUR, A., "A 53-nW 9.12-ENOB 1-kS/s SAR ADC in 0.13- μ m CMOS for medical implant devices," *ESSCIRC (ESSCIRC), 2011 Proceedings of the* , vol., no., pp.467,470, 12-16 Sept. 2011.
- GOMES, N. R. "Amostragem uniforme e não-uniforme." Dissertação de Mestrado, Universidade de Aveiro, Portugal, 2008.
- ITAMI, F.; WATANABE, E.; NISHIHARA, A., "A realization of digital filter banks for reconstruction of uniformly sampled signals from nonuniform samples," *Circuits and Systems, 2008. APCCAS 2008. IEEE Asia Pacific Conference on* , vol., no., pp.870,873, Nov. 30 2008-Dec. 3 2008.
- KESTER, W. *The Data Conversion Handbook*, 2005 :Newnes.

KOSSMANN, C. F. "Recommendations for standardization of leads and of specifications for instruments in electrocardiography and vectorcardiography: Report of committee on electrocardiography, American Heart Association," *Circulation*, vol. 35, pp. 583-602, 1967.

LE, H.P.; SINGH, J.; HIREMATH, L.; MALLAPUR, V.; STOJCEVSKI, A., "Ultra-low-power variable-resolution successive approximation ADC for biomedical application," *Electronics Letters*, vol.41, no.11, pp.634,635, 26 May 2005.

MALMIR CHEGINI, M.; MARVASTI, F., "Performance improvement of level-crossing A/D converters," *Telecommunications and Malaysia International Conference on Communications, 2007. ICT-MICC 2007. IEEE International Conference on*, vol., no., pp.438,441, 14-17 May 2007.

MALOBERTI, F. *Data Converters*, 2007 :Springer-Verlag

MARGOLIS, E.; ELDAR, Y.C., "Reconstruction of nonuniformly sampled periodic signals: algorithms and stability analysis," *Electronics, Circuits and Systems*, 2004. ICECS 2004. Proceedings of the 2004 11th IEEE International Conference on , vol., no., pp.555,558, 13-15 Dec. 2004.

MARK, JON W.; TODD, T.D., "A Nonuniform Sampling Approach to Data Compression," *Communications, IEEE Transactions on*, vol.29, no.1, pp.24,32, Jan 1981.

MENZ, M. D. "Minimum Sampling Rate in Electrocardiology", *Journal of Clinical Engineering*, vol. 19, no. 5, September/October 1994.

MOROZOV, O.; UNSER, M.; HUNZIKER, P., "Reconstruction of Large, Irregularly Sampled Multidimensional Images. A Tensor-Based Approach," *Medical Imaging, IEEE Transactions on*, vol.30, no.2, pp.366,374, Feb. 2011.

NYQUIST, H., "Certain Topics in Telegraph Transmission Theory," *American Institute of Electrical Engineers, Transactions of the*, vol.47, no.2, pp.617,644, April 1928.

O'DRISCOLL, S.; SHENOY, K.V.; MENG, T.H., "Adaptive Resolution ADC Array for an Implantable Neural Sensor," *Biomedical Circuits and Systems, IEEE Transactions on*, vol.5, no.2, pp.120,130, April 2011.

RAVANSHAD, N.; REZAEI-DEHSORKH, H.; LOTFI, R.; YONG LIAN, "A Level-Crossing Based QRS-Detection Algorithm for Wearable ECG Sensors," *Biomedical and Health Informatics, IEEE Journal of*, vol.18, no.1, pp.183,192, Jan. 2014.

RODRIGUES, S. A. ; FREIRE, R. C. S. ; ABOUSHADY, H. ; LOUËRAT, M.-M. ; Accioly, J. I. C. Clock-less Analog-to-Digital Converter. In: 8th International Seminar on Electrical Metrology (VIII SEMETRO), 2009.

SAYINER, N.; SORENSEN, H.V.; VISWANATHAN, T. R., "A level-crossing sampling scheme for A/D conversion," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol.43, no.4, pp.335,339, Apr 1996.

SAYINER, N.; SORENSEN, H.V.; VISWANATHAN, T. R., "A non-uniform sampling technique for A/D conversion," *Circuits and Systems*, 1993., *ISCAS '93, 1993 IEEE International Symposium on* , vol., no., pp.1220,1223 vol.2, 3-6 May 1993.

SHARMA, N.; SREENIVAS, T.V., "Sparse signal reconstruction based on signal dependent non-uniform samples," *Acoustics, Speech and Signal Processing (ICASSP)*, 2012 IEEE International Conference on , vol., no., pp.3453,3456, 25-30 March 2012.

SILVA, K. R. G. "Uma metodologia de Verificação Funcional para circuitos digitais", PhD thesis, Universidade Federal de Campina Grande, Av. Aprigio Veloso, Campina Grande, 2007.

SRIKANTH REDDY, D.S.; TAMBOLI, R.R.; JANA, S., "Universal nonuniform sampling of ECG signals: Opportunities and obstacles," *Biomedical Engineering International Conference (BMEiCON)*, 2012 , vol., no., pp.1,5, 5-7 Dec. 2012.

SULEYMAN S.; KOZAT, KAREN M.; GUAN, ANDREW C. SINGER, "Tracking the best level set in a level-crossing analog-to-digital converter ", *Digital Signal Processing*, Volume 23, Issue 1, January 2013, Pages 478-487, ISSN 1051-2004.

SUREPEDDI, R., "System Verilog for Quality of Results (QoR)," *Quality Electronic Design*, 2008. *ISQED 2008. 9th International Symposium on* , vol., no., pp.460,464, 17-19 March 2008.

TRAKIMAS, M.; SONKUSALE, S., "A 0.8 V asynchronous ADC for energy constrained sensing applications," *Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE* , vol., no., pp.173,176, 21-24 Sept. 2008.

TRAKIMAS, M.; SONKUSALE, S.R., "An Adaptive Resolution Asynchronous ADC Architecture for Data Compression in Energy Constrained Sensing Applications," *Circuits and Systems I: Regular Papers, IEEE Transactions on* , vol.58, no.5, pp.921,934, May 2011.

VERMA, N.; CHANDRAKASAN, A.P., "A 25/spl mu/W 100kS/s 12b ADC for wireless micro-sensor applications," *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International* , vol., no., pp.822,831, 6-9 Feb. 2006.

VERMA, N.; CHANDRAKASAN, A.P., "An Ultra Low Energy 12-bit Rate-Resolution Scalable SAR ADC for Wireless Sensor Nodes," *Solid-State Circuits, IEEE Journal of* , vol.42, no.6, pp.1196,1205, June 2007.

ZAARE, M.; MAYMANDI-NEJAD, M., "A new power efficient wireless non-uniform adaptive-sampling ECG recording system," *Electrical Engineering (ICEE), 2013 21st Iranian Conference on* , vol., no., pp.1,5, 14-16 May 2013.