

UNIVERSIDADE FEDERAL DA PARAÍBA
CENTRO DE ENERGIAS ALTERNATIVAS E RENOVÁVEIS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Dissertação de Mestrado

Estudo de Técnica Utilizando a Modulação
PWM Baseada em Portadora Aplicada aos
Inversores Monofásicos Assimétricos com
Diodos de Grampeamento



Francisco Hércules de Oliveira

João Pessoa-PB, Brasil

Maio – 2017

UNIVERSIDADE FEDERAL DA PARAÍBA
CENTRO DE ENERGIAS ALTERNATIVAS E RENOVÁVEIS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Francisco Hércules de Oliveira

Estudo de Técnica Utilizando a Modulação PWM Baseada
em Portadora Aplicada aos Inversores Monofásicos
Assimétricos com Diodos de Grampeamento

Dissertação de Mestrado apresentada ao
Programa de Pós-Graduação em Engenharia
Elétrica, da Universidade Federal da Paraíba,
Área de Concentração: Sistemas de Energia,
como requisito para obtenção do título de
Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Isaac Soares de Freitas

João Pessoa-PB

MAIO/2017

O48e Oliveira, Francisco Hércules de.
Estudo de técnica utilizando a modulação PWM baseada em portadora aplicada aos inversores monofásicos assimétricos com diodos de grampeamento / Francisco Hércules de Oliveira.- João Pessoa, 2017.
151 f. : il.-

Orientador: Isaac Soares de Freitas.
Dissertação (Mestrado) – UFPB/CEAR

1. Engenharia Elétrica. 2. Modulação – Largura de Pulso. 3. Inversores Monofásicos Assimétricos. 4. Diodos de Grampeamento. I. Título.

UFPB/BC

CDU – 621(043)

UNIVERSIDADE FEDERAL DA PARAÍBA – UFPB
CENTRO DE ENERGIAS ALTERNATIVAS E RENOVÁVEIS – CEAR
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA - PPGE

A Comissão Examinadora, abaixo assinada, aprova a Dissertação

**ESTUDO DE TÉCNICA UTILIZANDO A MODULAÇÃO PWM BASEADA EM
PORTADORA APLICADA AOS INVERSORES MONOFÁSICOS ASSIMÉTRICOS
COM DIODOS DE GRAMPEAMENTO**

Elaborado por

FRANCISCO HÉRCULES DE OLIVEIRA

como requisito parcial para obtenção do grau de
Mestre em Engenharia Elétrica.

COMISSÃO EXAMINADORA


PROF. DR. ISAAC SOARES DE FREITAS (Presidente)


PROF. DR. EDISON ROBERTO CABRAL DA SILVA


PROF. DR. EDGARD LUIZ LOPES FABRICIO

João Pessoa/PB, 25 de maio de 2017.

À minha esposa Alessandra, pelo incentivo, amor, compreensão e imprescindível ajuda durante a formatação do texto; a meu filho Vinícius pela compreensão nas minhas ausências durante este período e a minha querida mãe, professora Elizabete, uma incansável defensora da educação como instrumento fundamental de transformação de um povo.

Agradecimentos

A Deus, que está sempre ao meu lado, principalmente nos momentos de dificuldades, me guiando para superar as adversidades surgidas ao longo desta caminhada.

A minha esposa Alessandra, a meu filho Vinícius, a minha mãe Elizabete e aos meus seis irmãos: Fátima, Paulo, Edinete, Valéria, Harison e Suzyanne, pelo incentivo e compreensão durante longos períodos de convivência familiar que estive ausente.

Ao meu orientador, professor Dr. Isaac Soares de Freitas, meus sinceros muito obrigado. Pelas valiosas sugestões, opiniões e apoio constante, que foram fundamentais, durante todas as etapas deste trabalho.

Aos professores membros da banca examinadora, Dr. Edison Roberto Cabral da Silva e Dr. Edgard Luiz Lopes Fabricio, pelas sugestões importantes que serviram para dar mais qualidade ao meu trabalho.

Ao meu amigo e colega de trabalho, professor Marcos Cavalcanti Meira, pelo incentivo e sugestões ao texto e também por ter indicado o meu orientador.

A Universidade Federal da Paraíba (UFPB) e ao Programa de Pós-Graduação em Engenharia Elétrica (PPGEE) pela oportunidade que me foi concedida no ingresso ao mestrado da instituição.

Ao Instituto Federal de Educação, Ciência e Tecnologia da Paraíba (IFPB) pela disponibilidade da estrutura física, no apoio as montagens experimentais.

A Companhia Brasileira de Trens Urbanos (CBTU) pela flexibilização do horário de trabalho, tornando possível a presença nas aulas curriculares obrigatórias.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pelo incentivo financeiro.

Finalmente, a todos que direta ou indiretamente, contribuíram para que este trabalho fosse possível, meu muito obrigado.

Resumo

Este trabalho apresenta uma técnica utilizando a modulação por largura de pulso (PWM) baseada em portadora, aplicada aos inversores multiníveis monofásicos assimétricos com diodos de grampeamento, com o objetivo de elevar a quantidade de níveis na tensão de saída, para melhorar a qualidade do sinal, reduzindo a taxa de distorção harmônica total (THD). A técnica foi empregada em inversores de três, quatro e cinco níveis por braço, fornecendo um sinal de saída com sete, treze e dezenove níveis respectivamente, apresentando dois, seis e dez níveis a mais que os inversores multiníveis simétricos equivalentes. A técnica foi descrita com um conjunto de equações e procedimentos que pode ser generalizada para inversores de qualquer número de níveis. Para comprovar o funcionamento, foram realizadas simulações utilizando o programa PSIM e efetuada montagem experimental de um inversor multinível assimétrico de três níveis, utilizando na implementação do modulador PWM um dispositivo em matriz de porta programável em campo (FPGA). Por fim, são apresentados e comparados os resultados de simulações e experimentais que comprovam a eficácia da estratégia de modulação empregada neste trabalho.

Palavras-chaves: modulação por largura de pulso, inversores multiníveis assimétricos, diodos de grampeamento, distorção harmônica total, matriz de porta programável em campo.

Abstract

This work presents a technique using carrier-based pulse width modulation (PWM) applied to single-phase asymmetrical multilevel inverters with diodes clamped, aiming to increase the amount of output voltage levels to improve signal quality, reducing the total harmonic distortion rate (THD). The technique was used in inverters of three, four and five levels per arm, providing an output signal with seven, thirteen and nineteen levels respectively, presenting two, six and ten levels higher than the equivalent symmetrical multilevel inverters. The technique was described with a set of equations and procedures that can be generalized for inverters of any number of levels. To verify the operation, simulations were performed using the PSIM program and an experimental assembly of an asymmetrical multilevel inverter of three levels was performed, using a field programmable gate array device (FPGA) in the implementation of the PWM modulator. Finally, the simulation and experimental results that prove the effectiveness of the modulation strategy employed in this work are presented and compared.

Keywords: pulse width modulation, asymmetric multilevel inverters, diodes clamped, total harmonic distortion, field programmable gate array.

Sumário

Agradecimentos	v
Resumo	vi
Abstract	vii
Sumário	viii
Lista de Figuras	xii
Lista de Tabelas	xvii
Lista de Abreviaturas e Siglas	xx
Lista de Símbolos	xxiv
1 Introdução Geral	1
1.1 Introdução	1
1.2 Motivação	3
1.3 Objetivos do trabalho	3
1.4 Estrutura do trabalho	4
2 Inversores Multiníveis e Estado da Arte	5
2.1 Introdução	5
2.2 Vantagens e desvantagens dos inversores multiníveis	9
2.3 Principais topologias de inversores multiníveis	9
2.3.1 Inversor multinível com diodos de grampeamento	10
2.3.2 Inversor multinível com capacitor flutuante	15
2.3.3 Inversor multinível com ponte monofásica em cascata	19
2.4 Outras topologias de inversores multiníveis	22
2.4.1 Inversor com ponto neutro grampeado ativo	22
2.4.2 Inversor multinível generalizado	23
2.4.3 Inversor multinível assimétrico	24
2.4.4 Inversor multinível modular com meia ponte em cascata	25

2.5	Modulação multinível	26
2.5.1	Modulação por largura de pulso baseada em portadoras	28
2.5.1.1	Modulação PWM com portadoras deslocadas em fase	29
2.5.1.2	Modulação PWM com portadoras deslocadas em nível	30
2.5.1.2.1	Modulação PWM com portadoras dispostas em fase ..	30
2.5.1.2.2	Modulação PWM com portadoras em oposição de fase	30
2.5.1.2.3	Modulação PWM com portadoras em oposição de fase alternada	31
2.5.2	Modulação por largura de pulso no espaço vetorial	32
2.5.3	Modulação multinível híbrida	34
2.5.4	Modulação por controle vetorial	36
2.5.5	Modulação com eliminação seletiva de harmônicos	37
2.6	Parâmetro de desempenho.....	39
2.7	Configurações sugeridas na literatura de inversores NPC assimétricos	40
2.8	Conclusão	42
3	Inversor NPC Assimétrico e Técnica de Modulação Empregada	44
3.1	Introdução	44
3.2	Inversor NPC monofásico simétrico de três níveis	44
3.2.1	Princípio de funcionamento	45
3.2.2	Modulador PWM para o inversor NPC simétrico de três níveis	46
3.2.3	Sinais elétricos do modulador e na saída do inversor	48
3.3	Inversor NPC monofásico assimétrico de três níveis	49
3.3.1	Princípio de funcionamento	49
3.3.2	Sinais elétricos na saída do inversor	50
3.4	Inversor simétrico com diodos de grampeamento de quatro níveis	51
3.4.1	Princípio de funcionamento	52
3.4.2	Modulador PWM para inversor simétrico de quatro níveis	53
3.4.3	Sinais elétricos da modulador e na saída do inversor	54
3.5	Inversor assimétrico com diodos de grampeamento de quatro níveis	55
3.5.1	Princípio de funcionamento	56
3.5.2	Sinais elétricos na saída do inversor	57
3.6	Inversor NPC monofásico simétrico de cinco níveis	57

3.6.1	Princípio de funcionamento	58
3.6.2	Modulador PWM para o inversor NPC simétrico de cinco níveis	59
3.6.3	Sinais elétricos do modulador e na saída do inversor	60
3.7	Inversor NPC monofásico assimétrico de cinco níveis	61
3.7.1	Princípio de funcionamento	62
3.7.2	Sinais elétricos na saída do inversor	63
3.8	Comparação entre os inversores simétricos e assimétricos	63
3.9	Técnica de modulação empregada para os inversores NPC assimétricos	65
3.9.1	Disposição dos níveis do inversor NPC assimétrico	65
3.9.2	Quantidade de níveis de saída para o inversor NPC assimétrico	67
3.9.3	Generalizando a seleção dos níveis por braço	68
3.9.4	Determinação dos níveis que compõem o barramento CC	69
3.9.5	Determinação das fontes de tensão que compõem o barramento CC	70
3.9.6	Modulador PWM para os inversores NPC assimétricos	71
3.9.6.1	Circuito gerador dos sinais PWM	72
3.9.6.2	Circuito de obtenção dos setores	74
3.9.6.3	Circuito de acionamento dos gates das chaves de potência	76
3.10	Conclusão	79
4	Resultados de Simulação	80
4.1	Introdução	80
4.2	Parâmetros utilizados nas simulações	81
4.3	Simulação para os inversores simétrico e assimétrico de três níveis	81
4.3.1	Principais sinais elétricos	81
4.3.2	Valores das grandezas medidas nas simulações	85
4.4	Simulação para os inversores simétrico e assimétrico de quatro níveis	86
4.4.1	Principais sinais elétricos	86
4.4.2	Valores das grandezas medidas nas simulações	90
4.5	Simulação para os inversores simétrico e assimétrico de cinco níveis	92
4.5.1	Principais sinais elétricos	92
4.5.2	Valores das grandezas medidas nas simulações	96
4.6	Conclusão	97

5	Resultados Experimentais	99
5.1	Introdução	99
5.2	Descrição do protótipo implementado	99
5.3	Resultados experimentais e de simulações do protótipo	105
5.3.1	Sinais para comando das chaves de potência	105
5.3.2	Sinais de tensão na saída dos braços	107
5.3.3	Sinal de tensão na saída do inversor	108
5.3.4	Sinal de corrente na saída do inversor	109
5.3.5	Sinais de tensão nas chaves de potência	110
5.3.6	Sinais de corrente nas chaves de potência	112
5.3.7	Sinais de tensão nos diodos de grampeamento	114
5.3.8	Sinais de corrente nos diodos de grampeamento	115
5.4	Comparação entre os resultados experimentais e simulados	116
5.5	Conclusão	117
6	Conclusões Gerais e Trabalhos Futuros	118
6.1	Conclusões gerais	118
6.2	Sugestões para trabalhos futuros	119
	Bibliografia	120

Lista de Figuras

2.1	Braço de inversor convencional de dois níveis	6
2.2	Braço de inversor multinível de três níveis	6
2.3	Braço de inversor multinível de quatro níveis	6
2.4	Braço de inversor multinível de cinco níveis	6
2.5	Inversor multinível simétrico de três níveis	7
2.6	Braço de inversor NPC de três níveis	10
2.7	Sinal na saída do braço para inversor NPC de três níveis	11
2.8	Braço de inversor com diodos de grampeamento de quatro níveis	12
2.9	Braço de inversor NPC de cinco níveis	12
2.10	Sinal na saída de braço NPC com cinco níveis	13
2.11	Braço de inversor FCC de três níveis	15
2.12	Sinal de saída de um braço de inversor FCC de três níveis	16
2.13	Braço de inversor FCC de quatro níveis	17
2.14	Braço de inversor FCC de cinco níveis	17
2.15	Braço de inversor CHB de cinco níveis	19
2.16	Inversor CHB trifásico de cinco níveis por braço	19
2.17	Sinal de saída no braço de inversor CHB com cinco níveis	21
2.18	Tensão de linha com nove níveis do inversor CHB de cinco níveis por fase	21
2.19	Braço de inversor ANPC de três níveis	23
2.20	Inversor na topologia generalizado com cinco níveis	23
2.21	Módulo básico para expansão do inversor multinível generalizado	24
2.22	Inversor ANPC monofásico assimétrico de sete níveis na saída	24
2.23	Inversor CHB monofásico assimétrico de sete níveis na saída	25
2.24	Célula básica de meia ponte	25
2.25	Inversor MMC monofásico de três níveis por braço	26
2.26	Métodos de modulação aplicadas aos inversores multiníveis	27

2.27	Sinais de entrada e saída do modulador PWM básico	28
2.28	Modulador PWM básico	29
2.29	Sinais de portadoras e referência na modulação PSPWM	29
2.30	Sinais de portadoras e referência na modulação PD-PWM	30
2.31	Sinais de portadoras e referência na modulação POD-PWM	31
2.32	Sinais de portadoras e referência na modulação APOD-PWM	31
2.33	Inversor convencional trifásico de dois níveis	32
2.34	Diagrama de estados para inversor trifásico convencional	32
2.35	Diagrama dos vetores de estado para inversor de três níveis	34
2.36	Inversor de sete níveis com pontes CHB empregando modulação híbrida	35
2.37	Saída da ponte H1 com três níveis comutada em alta frequência	35
2.38	Saída da ponte H2 com três níveis comutada em baixa frequência	35
2.39	Saída do inversor CHB com sete níveis em modulação híbrida	36
2.40	Diagrama de vetores de estado para inversor trifásico de três níveis	36
2.41	Sinal de saída e de referência para inversor com cinco níveis	37
2.42	Ponte H monofásica	38
2.43	Sinal de saída da ponte H monofásica	38
2.44	Espectro do sinal de saída para inversor empregando modulação PWM	39
2.45	Inversor NPC assimétrico de quatro níveis com conversor MOB	40
2.46	Inversor NPC assimétrico de quatro níveis alimentado por Boost-3OVS	41
2.47	Inversor monofásico assimétrico de cinco níveis	41
2.48	Inversor ANPC cascadeado com ponte H	42
3.1	Inversor NPC monofásico simétrico três níveis por braço	45
3.2	Aspecto do sinal de saída para o inversor NPC de três níveis	46
3.3	Modulador PWM para inversor NPC simétrico de três níveis	46
3.4	Sinais de portadoras e referências do modulador PWM para inversor NPC simétrico com três níveis	48
3.5	Tensão dos braços e da saída do inversor NPC simétrico de três níveis	48
3.6	Inversor NPC monofásico assimétrico de três níveis por braço	49
3.7	Aspecto do sinal de saída para inversor NPC assimétrico de três níveis	50
3.8	Tensão dos braços e da saída do inversor NPC assimétrico de três níveis	51
3.9	Inversor monofásico simétrico de quatro níveis por braço	51
3.10	Aspecto do sinal de saída para o inversor simétrico de quatro níveis	52

3.11	Modulador PWM para inversor simétrico de quatro níveis	53
3.12	Sinais de portadoras e referências do modulador PWM para o inversor simétrico de quatro níveis	54
3.13	Tensão nos braços e saída do inversor simétrico de quatro níveis	55
3.14	Inversor assimétrico com diodos de grampeamento quatro níveis por braço	55
3.15	Tensão nos braços e saída do inversor assimétrico de quatro níveis	57
3.16	Inversor NPC monofásico simétrico de cinco níveis por braço	57
3.17	Aspecto do sinal do inversor NPC com nove níveis na saída	58
3.18	Modulador PWM para inversor NPC simétrico de cinco níveis	59
3.19	Sinais de portadoras e referências para o modulador PWM do inversor NPC simétrico com cinco níveis	60
3.20	Tensão dos braços e saída do inversor NPC simétrico de cinco níveis	61
3.21	Inversor NPC assimétrico de cinco níveis por braço	61
3.22	Tensão dos braços e saída do inversor NPC assimétrico de cinco níveis	63
3.23	Diagrama em blocos do modulador PWM proposto para o inversor NPC assimétrico de três níveis	71
3.24	Gerador PWM do modulador do inversor NPC assimétrico de três níveis	72
3.25	Sinais de referência e de entradas do gerador PWM do modulador para o inversor NPC assimétrico de três níveis	73
3.26	Sinais de saída do gerador PWM do modulador para o inversor NPC assimétrico de três níveis	74
3.27	Localização dos setores no sinal de referência	74
3.28	Circuito de obtenção dos setores que determinam os intervalos de tempo em função do sinal de referência	75
3.29	Intervalos de tempo dos setores S_1 , S_2 , S_3 , S_4 , S_5 e S_6	76
3.30	Circuito do modulador PWM de acionamento das chaves de potência para o inversor NPC assimétrico de três níveis	77
3.31	Sinais de comando dos gates das chaves do inversor assimétrico de três níveis	77
3.32	Circuito completo do modulador PWM para o inversor NPC monofásico assimétrico de três níveis simulado no PSIM	78
4.1	Simulação da tensão de saída para o inversor NPC simétrico de três níveis	81
4.2	Simulação da tensão de saída para o inversor NPC assimétrico de três níveis	81
4.3	Simulação da corrente de saída do inversor NPC simétrico de três níveis	82

4.4	Simulação da corrente de saída do inversor NPC assimétrico de três níveis	82
4.5	Simulação da tensão nas chaves do inversor NPC simétrico de três níveis	83
4.6	Simulação da tensão nas chaves do inversor NPC assimétrico de três níveis	83
4.7	Simulação da tensão nos diodos do inversor NPC simétrico de três níveis	84
4.8	Simulação da tensão nos diodos do inversor NPC assimétrico de três níveis	84
4.9	Simulação da corrente nas chaves do inversor NPC simétrico de três níveis	84
4.10	Simulação da corrente nas chaves do inversor NPC assimétrico de três níveis	84
4.11	Simulação da corrente nos diodos do inversor NPC simétrico de três níveis	85
4.12	Simulação da corrente nos diodos do inversor NPC assimétrico de três níveis	85
4.13	Simulação da tensão de saída para o inversor simétrico de quatro níveis	87
4.14	Simulação da tensão de saída de para o inversor assimétrico de quatro níveis	87
4.15	Simulação da corrente de saída para o inversor simétrico de quatro níveis	87
4.16	Simulação da corrente de saída do inversor assimétrico de quatro níveis	87
4.17	Simulação da tensão nas chaves do inversor simétrico de quatro níveis	88
4.18	Simulação da tensão nas chaves do inversor assimétrico de quatro níveis	88
4.19	Simulação da tensão nos diodos do inversor simétrico de quatro níveis	89
4.20	Simulação da tensão nos diodos do inversor assimétrico de quatro níveis	89
4.21	Simulação da corrente das chaves do inversor simétrico de quatro níveis	89
4.22	Simulação da corrente das chaves do inversor assimétrico de quatro níveis	89
4.23	Simulação da corrente nos diodos do inversor simétrico de quatro níveis	90
4.24	Simulação da corrente nos diodos do inversor assimétrico de quatro níveis	90
4.25	Simulação da tensão de saída para o inversor NPC simétrico de cinco níveis	92
4.26	Simulação da tensão para o inversor NPC assimétrico de cinco níveis	92
4.27	Simulação da corrente de saída do inversor NPC simétrico de cinco níveis	93
4.28	Simulação da corrente de saída do inversor NPC assimétrico de cinco níveis	93
4.29	Simulação da tensão nas chaves do inversor NPC simétrico de cinco níveis	93
4.30	Simulação da tensão nas chaves do inversor NPC assimétrico de cinco níveis	93
4.31	Simulação da tensão nos diodos do inversor NPC simétrico de cinco níveis	94
4.32	Simulação da tensão nos diodos do inversor NPC assimétrico de cinco níveis	94
4.33	Simulação da corrente das chaves do inversor NPC simétrico de cinco níveis	95
4.34	Simulação da corrente das chaves do inversor NPC assimétrico de cinco níveis	95
4.35	Simulação da corrente nos diodos do inversor NPC simétrico de cinco níveis	96
4.36	Simulação da corrente nos diodos do inversor NPC assimétrico de cinco níveis	96

5.1	Plataforma utilizada na montagem do protótipo	100
5.2	Diagrama de interligação dos braços das chaves de potência configurado como inversor NPC monofásico assimétrico de três níveis	101
5.3	Circuito de obtenção das fontes de tensão que compõem o barramento CC	102
5.4	Diagrama de interligação entre o FPGA e os drivers de acionamento das chaves de potência do inversor	103
5.5	Kit de desenvolvimento que contém o FPGA Cyclone V da Altera	103
5.6	Diagrama em blocos da configuração do FPGA em VHDL como modulador PWM para o inversor NPC monofásico assimétrico de três níveis	104
5.7	Formas de onda dos pulsos do FPGA para comando das chaves do braço (a)	105
5.8	Simulação para os sinais dos pulsos de comando das chaves do braço (a)	105
5.9	Formas de onda dos pulsos do FPGA para comando das chaves do braço (b)	106
5.10	Simulação para os sinais dos pulsos de comando das chaves do braço (b)	106
5.11	Formas de onda da tensão na saída dos braços	107
5.12	Simulação para os sinais de tensão na saída dos braços	107
5.13	Forma de onda da tensão na saída do inversor	108
5.14	Simulação para o sinal da tensão na saída do inversor	108
5.15	Forma de onda da corrente e tensão de saída	109
5.16	Simulação para o sinal da corrente e tensão de saída	109
5.17	Formas de onda da tensão nas chaves de potência Q_1 e Q_2 do braço (a)	110
5.18	Simulação para os sinais de tensão nas chaves de potência Q_1 e Q_2 do braço (a)	110
5.19	Formas de onda da tensão nas chaves de potência Q_3 e Q_4 do braço (a)	111
5.20	Simulação para os sinais de tensão nas chaves de potência Q_3 e Q_4 do braço (a)	111
5.21	Formas de onda da corrente nas chaves de potência Q_1 e Q_2 do braço (a)	112
5.22	Simulação para os sinais de corrente nas chaves de potência Q_1 e Q_2 do braço (a)	112
5.23	Formas de onda da corrente nas chaves de potência Q_3 e Q_4 do braço (a)	113
5.24	Simulação para os sinais de corrente nas chaves de potência Q_3 e Q_4 do braço (a)	113
5.25	Formas de onda da tensão nos diodos de grampeamento do braço (a)	114
5.26	Simulação para os sinais de tensão nos diodos de grampeamento do braço (a)	114
5.27	Formas de onda da corrente nos diodos de grampeamento do braço (a)	115
5.28	Simulação para os sinais de corrente nos diodos de grampeamento do braço (a)	115

Lista de Tabelas

2.1	Estado das chaves e tensão na saída do braço de inversor NPC de três níveis	11
2.2	Estado das chaves e tensão na saída do braço de inversor com diodos de grampeamento de quatro níveis	12
2.3	Estado das chaves e tensão na saída do braço de inversor NPC de cinco níveis	13
2.4	Estado das chaves e tensão na saída do braço de inversor FCC de três níveis	16
2.5	Estado das chaves de potência e tensão de saída para uma ponte H monofásica.....	20
2.6	Estado das chaves no setor S_1 empregando a modulação PWM Vetorial	33
3.1	Estado das chaves e tensões nos braços e saída para o inversor NPC simétrico de três níveis	45
3.2	Estado das chaves e tensão do braço (a) em função das saídas dos comparadores do modulador PWM para o inversor NPC simétrico de três níveis	47
3.3	Estado das chaves e tensão do braço (b) em função das saídas dos comparadores do modulador PWM para o inversor NPC simétrico de três níveis	47
3.4	Estado das chaves e tensões nos braços e saída para o inversor NPC assimétrico de três níveis	50
3.5	Estado das chaves e tensões nos braços e saída para o inversor simétrico com diodos de grampeamento de quatro níveis	52
3.6	Estado das chaves e tensão do braço (a) em função das saídas dos comparadores do modulador PWM para inversor simétrico de quatro níveis	53
3.7	Estado das chaves e tensão do braço (b) em função das saídas dos comparadores do modulador PWM para inversor simétrico de quatro níveis	54
3.8	Estado das chaves e tensões nos braços e saída para o inversor assimétrico com diodos de grampeamento de quatro níveis	56
3.9	Estado das chaves e tensões de saída para o inversor NPC simétrico de cinco níveis	58

3.10	Estado das chaves e tensão do braço (a) em função das saídas dos comparadores do modulador PWM para o inversor NPC simétrico de cinco níveis	59
3.11	Estado das chaves e tensão do braço (b) em função das saídas dos comparadores do modulador PWM para o inversor NPC simétrico de cinco níveis	60
3.12	Estado das chaves e tensões de saída do inversor NPC assimétrico de cinco níveis	62
3.13	Composição das estruturas dos inversores simétricos e assimétricos com diodos de grameamento de três níveis	63
3.14	Composição das estruturas dos inversores simétricos e assimétricos com diodos de grameamento de quatro níveis	64
3.15	Composição das estruturas dos inversores simétricos e assimétricos com diodos de grameamento de cinco níveis	64
3.16	Disposição dos níveis selecionados e obtidos para o inversor NPC assimétrico com três níveis por braço	65
3.17	Disposição dos níveis selecionados e obtidos para o inversor assimétrico com quatro níveis por braço	66
3.18	Disposição dos níveis selecionados e obtidos para o inversor NPC assimétrico com cinco níveis por braço	67
3.19	Disposição generalizada dos níveis na saída para os inversores NPC assimétricos de n níveis por braço	68
4.1	Parâmetros utilizados nas simulações dos inversores	81
4.2	Grandezas medidas em simulação na saída dos inversores NPC simétrico e assimétrico de três níveis	85
4.3	Grandezas medidas em simulação nas chaves de potência e nos diodos de grameamento dos inversores NPC simétrico e assimétrico de três níveis	86
4.4	Grandezas medidas em simulação na saída dos inversores simétrico e assimétrico com diodos de grameamento de quatro níveis	91
4.5	Grandezas medidas em simulação nas chaves de potência e nos diodos de grameamento dos inversores simétrico e assimétrico de quatro níveis	91
4.6	Grandezas medidas em simulação na saída dos inversores NPC simétrico e assimétrico de cinco níveis	96

4.7	Grandezas medidas em simulação nas chaves de potência e nos diodos de grampeamento dos inversores simétrico e assimétrico de cinco níveis	97
5.1	Especificação do protótipo	100
5.2	Principais componentes utilizados no protótipo	101
5.3	Comparação entre as grandezas medidas por simulação e experimental para o inversor NPC monofásico assimétrico do protótipo	116

Lista de Abreviaturas e Siglas

AC	<i>Alternating Current</i> (Corrente alternada)
AND	<i>And Gate</i> (Porta lógica E)
ANEEL	Agência Nacional de Energia Elétrica
ANPC	<i>Active Neutral Point Clamped</i> (Ponto neutro grampeado ativo)
APOD-PWM	<i>Alternate Phase Opposition Disposition Pulse Width Modulation</i> (Modulação PWM com portadoras em oposição defase alternada)
BJT	<i>Bipolar Junction Transistor</i> (Transistor bipolar de junção)
Boost-3OVS	<i>Boost 3 Output Voltage Sharing</i> (Conversor elevador de tensão com três saídas compartilhadas)
CA	Corrente Alternada
CBPWM	<i>Carrier Based Pulse Width Modulation</i> (Modulação por largura de pulso baseada em portadora)
CC	Corrente Contínua
CEAR	Centro de Energias Alternativas e Renováveis
CHB	<i>Cascaded H-Bridge</i> (Ponte H em cascata)
CP	Comparador de tensão com amplificador operacional
DC	<i>Direct Current</i> (Corrente contínua)

DDP	Diferença de potencial
Driver	Circuito de acionamento das chaves de potência
EMI	EletroMagnetic Interference (Interferência eletromagnética)
FCC	<i>Flying Capacitor Converter</i> (Conversor com capacitor flutuante)
FPGA	<i>Field Programmable Gate Array</i> (Matriz de porta programável em Campo)
GTO	<i>Gate Turn Off Thyristor</i> (Tiristor liga desliga pela porta)
IAS	<i>Industrial Applications Society</i> (Sociedade de aplicações industriais do IEEE)
IEC	<i>International Electrotechnical Commission</i> (Comissão Internacional de Eletrotécnica)
IEEE	<i>Institute of Electrical and Electronics Engineers</i> (Instituto de engenheiros eletricitas e eletrônicos)
IGBT	<i>Insulated Gate Bipolar Transistor</i> (Transistor bipolar de porta isolada)
IGCT	<i>Integrated Gate Commutated Thyristor</i> (Tiristor Comutado com porta integrada)
LSPWM	<i>Level Shifted Pulse Width Modulation</i> (Modulação PWM por deslocamento de nível)
MCT	<i>MOS Controlled Thyristor</i> (Tiristor controlado por MOS)
MMC	<i>Modular Multilevel Converter</i> (Conversor multinível modular)
MOB	<i>Multi Output Boost</i> (Conversor elevador de múltiplas saídas)

MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> (Transistor de efeito de campo de metal óxido semiconductor)
NL	Nível lógico
NOT	<i>Not Gate</i> (Porta lógica inversora)
NPC	<i>Neutral Point Clamped</i> (Ponto neutro grampeado)
ONS	Operador nacional do sistema elétrico
OR	<i>Or Gate</i> (Porta lógica OU)
PD-PWM	<i>Phase Disposition Pulse Width Modulation</i> (Modulação PWM com portadoras dispostas em fase)
PEDG	<i>Symposium on Power Electronics for Distributed Generation Systems</i> (Simpósio de eletrônica de potência para sistemas de geração distribuída)
PEMC	<i>Power Electronics and Motion Control</i> (Conferência de eletrônica de potência e controle de movimento)
PESC	<i>Power Electronics Specialists Conference</i> (Conferência de especialistas em eletrônica de potência)
POD-PWM	<i>Phase Opposition Disposition Pulse Width Modulation</i> (Modulação PWM com portadoras dispostas em oposição de fase)
PPGEE	Programa de Pós-Graduação em Engenharia Elétrica
PSIM	<i>PowerSim</i> (Simulador de eletrônica de potência)
PSPWM	<i>Phase Shifted Pulse Width Modulation</i> (Modulação PWM por deslocamento de fase)
PWM	<i>Pulse Width Modulation</i> (Modulação por largura de pulso)
SCR	<i>Silicon Controlled Rectifier</i> (Retificador controlado de silício)

SHE	<i>Selective Harmonic Elimination</i> (Modulação por eliminação seletiva de harmônicos)
SPWM	<i>Sine Pulse Width Modulation</i> (Modulação por largura de pulso senoidal)
SVPWM	<i>Space Vector Pulse Width Modulation</i> (Modulação por largura de pulso no espaço vetorial)
THD	<i>Total Harmonic Distortion</i> (Distorção harmônica total)
UFPB	Universidade Federal da Paraíba
UFPE	Universidade Federal de Pernambuco
UFSM	Universidade Federal de Santa Maria
USA	<i>United States of America</i> (Estados Unidos da América)
VARIAC	<i>Alternate Current Variable Transformer</i> (Transformador variável de corrente alternada)
VHDL	<i>VHSIC Hardware Description Language</i> (Linguagem de descrição de hardware VHSIC)
VHSIC	<i>Very High Speed Integrated Circuits</i> (Circuitos integrados de velocidade muito elevada)
VSI	<i>Voltage Source Inverter</i> (Inversor de fonte de tensão)

Lista de Símbolos

A	Ampere
a	Polo do inversor
b	Polo do inversor
$C_1, C_2, C_3, \dots$	Capacitor do barramento CC
$D_1, D_2, D_3, \dots$	Diodo de grampeamento
$F_{c(\text{med})}$	Frequência média de comutação das chaves de potência
f_m	Frequência do sinal de referência
f_s	Frequência de chaveamento
Hz	Hertz
i_D	Sinal de corrente nos diodos de grampeamento
$I_{D(\text{max})}$	Corrente máxima nos diodos de grampeamento
$I_{D(\text{rms})}$	Corrente eficaz nos diodos de grampeamento
i_o	Sinal de corrente na saída do inversor
$I_{o(\text{max})}$	Corrente máxima na saída do inversor
$I_{o(\text{rms})}$	Corrente eficaz de saída do inversor
i_Q	Sinal de corrente das chaves de potência

$I_{Q(max)}$	Corrente máxima das chaves de potência
$I_{Q(rms)}$	Corrente eficaz das chaves de potência
k	Quantidade de níveis de saída do inversor simétrico
L	Indutor
m_a	Índice de modulação
n	Negativo do barramento CC
n	Quantidade de níveis por braço do inversor NPC
n_a	Níveis adjacentes no inversor NPC assimétrico
n_C	Quantidade de capacitores do barramento CC
n_{CF}	Quantidade de capacitores flutuante por braço
n_D	Diodos de grampeamento por braço
n_F	Quantidade de fontes no barramento do inversor NPC assimétrico
n_i	Nível intermediário do inversor assimétrico
n_n	Níveis do semiciclo negativo do inversor assimétrico
n_p	Níveis do semiciclo positivo do inversor assimétrico
n_Q	Chaves de potência por braço
n_s	Setores por período do sinal de referência
n_T	Portadoras triangulares para o inversor assimétrico
n_u	Posição do último nível na saída para o inversor assimétrico

$Q_1, Q_2, Q_3, \dots$	Chave de potência do inversor
R	Resistor
S	Potência aparente de saída dos inversores
$S_1, S_2, S_3, S_4, S_5, S_6$	Setores do hexágono na modulação vetorial
T_0, T_1 e T_2	Tempos de aplicação dos vetores na modulação vetorial
T_s	Período de chaveamento
V	Volt
V_1	Amplitude da fundamental para o sinal de saída
$V_1, V_2, V_3, \dots$	Vetores de estado na modulação vetorial
VA	Volt-Ampere
v_{a0}	Tensão de polo (a)
v_{an}	Tensão na saída do braço (a)
v_{b0}	Tensão de polo (b)
v_{bn}	Tensão na saída do braço (b)
V_C	Tensão no capacitor do barramento
V_{cc}	Tensão do barramento CC
$V_{cc1}, V_{cc2}, \dots$	Fontes do barramento CC nos inversores assimétricos
$V_{C(max)}$	Tensão máxima dos capacitores do barramento CC
v_D	Sinal de tensão nos diodos de grampeamento
$V_{D(max)}$	Tensão máxima nos diodos de grampeamento

v_G	Sinal de tensão nos gatilhos das chaves de potência
V_n	Amplitude da n -ésima componente harmônica do sinal de saída
v_o	Sinal de tensão na saída do inversor
$v_{o1}, v_{o2}, \dots$	Sinal de saída das pontes monofásicas no inversor CHB
$V_{o(rms)}$	Tensão eficaz de saída do inversor
v_{pwm}	Sinal na saída do modulador PWM
v_Q	Sinal de tensão nas chaves de potência
$V_{Q(max)}$	Tensão máxima nas chaves de potência
v_{ref}	Sinal de referência do modulador
v_{ret}	Sinal de referência retificado do modulador assimétrico
v_{tri}	Sinal de portadora triangular
W	Watt
w	Níveis de saída do inversor assimétrico
Ω	Ohm
μF	Microfarad
$\emptyset$	Ângulo de fase entre portadoras na modulação PSPWM
Δ	Gradiente de tensão entre níveis consecutivos na saída do inversor

Capítulo 1

Introdução Geral

1.1 Introdução

O crescimento da queima de combustíveis tem causado o aquecimento global que pode levar como consequência, grandes desastres ao meio ambiente [1]. Contudo, este crescimento no consumo, tem levado a escassez destes combustíveis e tem provocado um aumento na produção de energia obtidas de fontes limpas renováveis, como por exemplo, a energia solar e a eólica [1].

Em um sistema renovável, normalmente, a energia é gerada inicialmente na forma de tensão e corrente contínua (CC) ou alternada (CA) de frequência variável, mas para ser entregue ao consumidor final, precisa ser convertida para a forma de tensão e corrente alternada (CA) de frequência fixa, sendo o conversor CC-CA (Inversor) o equipamento responsável pela conversão. Os inversores podem desempenhar papel essencial na produção de energia, especialmente na zona rural, onde mais de dois bilhões de pessoas no mundo ainda não têm acesso a eletricidade [2].

Modernas estruturas na eletrônica de potência vêm sendo desenvolvidas e aplicadas nas indústrias de forma geral e ampla, principalmente devido ao avanço tecnológico das modernas chaves semicondutoras de potência, que tem possibilitado um significativo aumento na sua capacidade de tensão, corrente e velocidade de comutação [3]. Inicialmente, a grande maioria dos equipamentos e máquinas eram acionadas exclusivamente de forma mecânica ou eletromecânica e portanto, de baixa eficiência. Com o advento da eletrônica de potência e seus novos dispositivos, os equipamentos e máquinas da indústria se tornaram mais eficientes, do ponto de vista energético.

A indústria e a comunidade científica efetuaram várias pesquisas utilizando componentes semicondutores capazes de suportar altas tensões, altas correntes e com controle

de forma mais eficaz, surgindo desta forma, acionamento de máquinas com controle de velocidade variável, de partida suave e com melhor desempenho, sendo o inversor de frequência um dos principais equipamentos utilizados neste processo.

A economia de energia é cada vez mais exigida na sociedade moderna na qual vivemos pois energia mal aproveitada representa uma elevação nos custos de produção e também uma degradação maior do meio ambiente, principalmente porque o petróleo e carvão mineral continuam como as principais fontes de energia no mundo. Por outro lado, os dispositivos semicondutores de potência são os elementos mais importantes na aplicação de conversão de energia [4]. Os dispositivos de potência são principalmente usados como chaves nos conversores, transformando uma grandeza CC em CA ou o contrário[4].

Os principais tipos de dispositivos semicondutores usados como chaves em circuitos de eletrônica de potência, mostrados em [5] são: IGBT, MOSFET, BJT, MCT, IGCT, GTO e SCR. Estes componentes trabalham com tensões e correntes cada vez maiores porém, em aplicações que requerem tensões e correntes de trabalho acima das suportadas por estes, ocorre uma limitação quanto ao uso direto e isolado destas chaves de potência.

Uma forma de tornar possível o uso destes dispositivos em estruturas que exigem tensões e correntes maiores do que as que eles suportam, seria através da associação em série ou paralelo dos mesmos, diminuindo as tensões e correntes de trabalho nestes componentes. Porém, a dificuldade em se obter um equilíbrio dinâmico, devido as diferenças existentes entre as chaves de potência, que pode levar a queima em alguns destes semicondutores de potência durante o funcionamento [38].

A saída encontrada pela indústria para resolver as limitações de tensão e corrente das chaves de potência, foi através do emprego dos chamados inversores multiníveis, que são inversores que apresentam a tensão de saída da carga, com diversos níveis ou degraus.

Dentre as principais vantagens dos inversores multiníveis pode-se citar: melhor qualidade na tensão de saída, capacidade de trabalhar com tensões e correntes mais elevadas, maior processamento de potência, baixas perdas por comutação, boa compatibilidade magnética e redução na distorção harmônica, conforme revisão sobre inversores multiníveis realizada em [6].

Com relação às desvantagens dos inversores multiníveis tem-se: maior número de chaves de potência empregadas, maior número de capacitores do barramento CC ou maior número de fontes contínuas isoladas para obtenção dos diversos níveis.

Conforme relato acima, pode-se concluir que os inversores multiníveis apresentam diversas vantagens com relação aos inversores convencionais que justificam o avanço de

estudos nesta área. Portanto, estes inversores são objeto de estudo deste trabalho, mais especificamente, os chamados inversores multiníveis assimétricos, que são inversores que apresentam várias tensões distintas na composição do barramento CC, fornecendo mais níveis na tensão de saída que os inversores simétricos, sendo detalhado ao longo deste trabalho.

1.2 Motivação

O inversor convencional de dois níveis, conhecido por inversor ponte H é o mais utilizado e também, apresenta baixo custo de produção. Porém, com o advento dos inversores multiníveis simétricos que apresentam várias vantagens com relação aos inversores convencionais de dois níveis, dentre as quais: menor tensão de trabalho das chaves, menor perda nas chaves e menor taxa de distorção harmônica total, conhecida por THD (*Total Harmonic Distortion*) da tensão de saída. Estas vantagens fazem com os inversores multiníveis sejam cada vez mais utilizados em substituição aos inversores convencionais, inclusive na geração de energia por fontes renováveis.

Implementar inversores multiníveis monofásicos assimétricos com a mesma estrutura do circuito de potência dos inversores multiníveis monofásicos simétricos, para obter um sinal de saída com mais níveis e portanto, uma THD ainda menor, é o fator de motivação para a pesquisa e elaboração deste trabalho.

1.3 Objetivos do Trabalho

O objetivo principal deste trabalho é desenvolver uma técnica de modulação por largura de pulso baseada em portadora, para ser aplicada aos inversores multiníveis monofásicos assimétricos com diodos de grampeamento.

A estratégia consiste em utilizar a mesma estrutura do circuito de potência de um inversor multinível monofásico simétrico com diodos de grampeamento e através da escolha adequada das fontes de tensão que compõem o barramento CC e da técnica de modulação empregada, conseguir obter na tensão de saída mais níveis, reduzindo desta forma a THD do sinal.

Para que o objetivo principal seja alcançado, os seguintes objetivos específicos são necessários:

- Efetuar revisão bibliográfica abordando os conversores multiníveis e suas aplicações;
- Apresentar os circuitos dos inversores multiníveis monofásicos assimétricos com diodos de grampeamento para três, quatro e cinco níveis;

- Generalizar a estratégia de modulação utilizada para os inversores assimétricos, aplicada para qualquer número de níveis por braço;
- Efetuar comparações entre os inversores multiníveis simétricos e os inversores multiníveis assimétricos;
- Efetuar simulações e analisar os resultados, utilizando o programa específico para eletrônica de potência, PSIM (*PowerSim*);
- Montar um inversor multinível monofásico assimétrico com diodos de grampeamento de três níveis, realizar testes e obter resultados experimentais, utilizando para implementar a técnica de modulação proposta, um dispositivo em matriz de porta programável em campo ou FPGA (*Field Programmable Gate Array*);
- Comparar os resultados simulados com os resultados experimentais;
- Apresentar conclusões e propor sugestões para trabalhos futuros.

1.4 Estrutura do Trabalho

Este trabalho está dividido em seis capítulos, com o primeiro abordando a introdução geral. No capítulo dois é feita uma revisão bibliográfica sobre os inversores multiníveis e suas aplicações, mostrando as diversas estruturas existentes, bem como um resumo comparativo entre as principais topologias.

No capítulo três é apresentado o inversor multinível monofásico assimétrico com diodos de grampeamento, implementado nas versões com três, quatro e cinco níveis por braço. Neste capítulo é apresentada a estratégia de modulação utilizada para estes inversores. Ainda neste capítulo é feita uma comparação entre os inversores multiníveis simétricos e os inversores multiníveis assimétricos, mostrando as vantagens e desvantagens existente entre eles.

Para o capítulo quatro são apresentados os resultados obtidos durante as simulações, realizadas com o software PSIM, com o objetivo de comprovar a eficácia da técnica de modulação aplicada aos inversores assimétricos.

Enquanto no capítulo cinco são apresentados os resultados experimentais para os inversores simétricos e assimétricos de três níveis, ainda neste capítulo é feita uma análise e comparação entre os resultados obtidos de simulação e os experimentais.

No final dos capítulos: dois, três, quatro e cinco são apresentadas as conclusões referentes ao capítulo e finalmente, no capítulo seis são apresentadas as conclusões gerais e sugestões para trabalhos futuros.

Capítulo 2

Inversores Multiníveis e Estado da Arte

2.1 Introdução

Os conversores estáticos são equipamentos da eletrônica de potência constituídos basicamente por chaves semicondutoras e pelos componentes passivos: resistores, capacitores, indutores e transformadores. Os conversores conforme [2], podem ser classificados em CC-CC, CC-CA, CA-CC e CA-CA. Os inversores na topologia convencional apresentam apenas dois níveis de tensão por braço, como mostrado na Figura 2.1. Por sua vez, os inversores multiníveis apresentam três ou mais níveis de tensão por braço.

Nas próximas quatro figuras abaixo, são mostrados a representação geral de um braço para inversores multiníveis, que podem ser expandidos para n níveis. Na Figura 2.2 é mostrado o circuito de um braço para o inversor multinível com três níveis, onde se verifica que a tensão de saída do braço, pode apresentar três possíveis valores: o nível 0 com $v_{an} = 0V$, o nível 1 para $v_{an} = 1/2V_{cc}$ e o nível 2 que na saída do braço apresenta $v_{an} = V_{cc}$. A Figura 2.3 apresenta o esquema de um braço para o inversor multinível com quatro níveis, podendo a tensão de saída do braço, apresentar quatro possíveis níveis: nível 0 para $v_{an} = 0V$, o nível 1 com $v_{an} = 1/3V_{cc}$, o nível 2 com $v_{an} = 2/3V_{cc}$ e o nível 3 que na saída do braço tem-se $v_{an} = V_{cc}$. Finalmente, na Figura 2.4 o diagrama elétrico de um braço para o inversor multinível com cinco níveis é apresentado, sendo observado que a tensão de saída do braço, pode assumir cinco possíveis níveis: o nível 0 sendo $v_{an} = 0V$, o nível 1 com $v_{an} = 1/4V_{cc}$, o nível 2 onde $v_{an} = 2/4V_{cc}$, o nível 3 com $v_{an} = 3/4V_{cc}$ e o nível 4 com a saída do braço $v_{an} = V_{cc}$. Onde se verifica em todos os casos, que sempre o primeiro nível ou nível 0, apresenta na saída do braço $v_{an} = 0V$ e o último nível na saída do braço, apresenta o valor total da tensão do barramento, ou seja, $v_{an} = V_{cc}$.

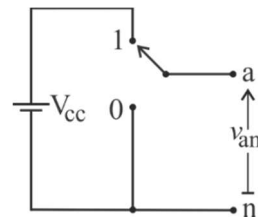


Figura 2.1 - Braço de inversor convencional de dois níveis.

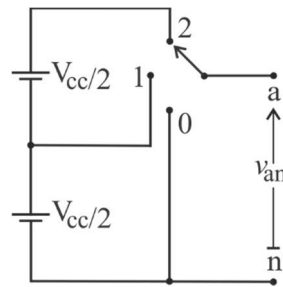


Figura 2.2 – Braço de inversor multinível de três níveis.

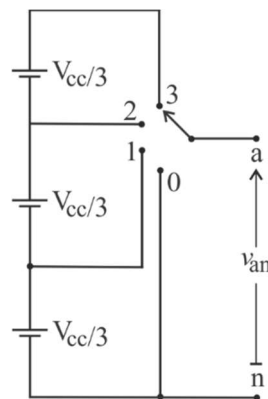


Figura 2.3 - Braço de inversor multinível de quatro níveis.

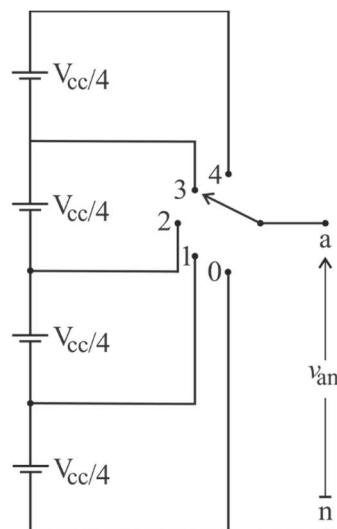


Figura 2.4 - Braço de inversor multinível de cinco níveis.

Conforme comentado, os diagramas anteriores representam apenas um braço, para que se tenha um inversor monofásico, são necessários um ou dois braços e para o inversor trifásico são necessários três braços. A título de exemplo, a Figura 2.5 contempla o diagrama genérico de um inversor multinível monofásico simétrico de dois braços com três níveis. Entende-se por inversores simétricos, os inversores multiníveis que apresentam a mesma diferença de potencial (ddp) entre todos os níveis adjacentes que compõem o barramento CC.

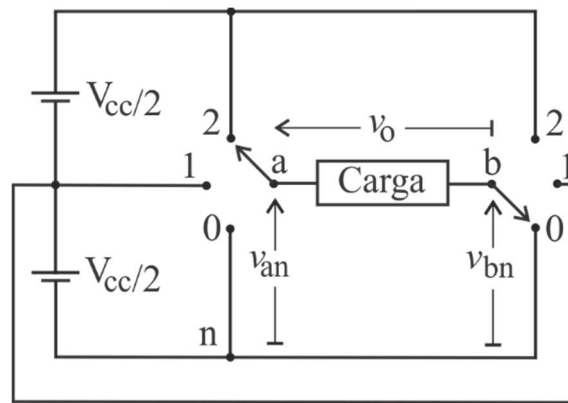


Figura 2.5 – Inversor multinível simétrico de três níveis.

Observando a Figura 2.5, a tensão de saída do inversor é dada por:

$$v_o = v_{an} - v_{bn} \quad (2.1)$$

Para os inversores multiníveis simétricos, sendo a relação entre o número de níveis da tensão de saída k e o número de níveis por braço n , obtida por:

$$k = 2n - 1 \quad (2.2)$$

Por exemplo, no caso do inversor da Figura 2.5 que possui três níveis no braço, existem cinco níveis na tensão de saída.

Os inversores multiníveis são cada vez mais utilizados no acionamento elétrico de cargas de média e alta potência, em substituição aos tradicionais inversores de dois níveis. Os inversores multiníveis são indicados na interligação de fonte de energia renovável, como por exemplo, a fotovoltaica ligada à rede elétrica convencional, sem a necessidade do uso de transformadores [2]. Eles foram também desenvolvidos para suprir as deficiências dos dispositivos semicondutores de potência com relação à tensão máxima suportável. Estas topologias usam dispositivos semicondutores conectados em série para bloquear as mais altas tensões envolvidas nos níveis [7]. Os conversores multiníveis têm tido grande aceitação em várias aplicações, pela sua capacidade de operar em alta tensão com alta eficiência [8].

As vantagens dos inversores multiníveis em comparação com os inversores convencionais de dois níveis são a alta qualidade do sinal com baixa distorção e a baixa tensão de bloqueio dos dispositivos de chaveamento [8]. Ainda, com relação às vantagens dos inversores multiníveis, acrescenta-se o uso de chaves semicondutoras de potência em série permitindo operar com tensões mais altas. A presença de vários níveis na entrada para obter altas tensões de saída com distorção harmônica reduzida. Em algumas aplicações são possíveis fazer o acoplamento direto a rede elétrica sem uso de transformadores e com redução no estresse por dv/dt na carga. Porém, o acréscimo do número de níveis resulta em uma maior complexidade na implementação dos circuitos [8], bem como problemas de desbalanceamento das tensões nos capacitores do barramento CC e também, aumento no número de componentes de potência utilizados [9, 10].

Os esforços em aperfeiçoar as topologias de inversores multiníveis se concentram em diminuir a distorção harmônica total ou THD (*Total Harmonic Distortion*), em obter tensões mais alta na saída e também em diminuir o número de componentes necessários na implementação. Neste sentido, cada vez mais pesquisas e novas tecnologias de fabricação de dispositivos semicondutores de chaveamento que permitem operação com tensões e correntes nominais mais elevadas são realizadas e paralelamente, novas topologias de inversores multiníveis, com diversas associações de chaves semicondutoras são apresentadas [11]. Portanto, é de grande importância à busca de alternativas que visem à melhoria dos inversores multiníveis, principalmente quando se investiga o aumento do número de níveis intermediários da tensão de saída, para topologias aplicáveis aos sistemas de médias e altas tensões [12].

O estudo dos conversores multiníveis foi introduzido com uma patente americana por [21] e as três principais topologias para os inversores multiníveis são: inversor com diodos de grameamento, cascata de ponte H e capacitor flutuante [15]. Uma pesquisa inicial sobre inversores multiníveis é apresentada em [16]. O número de níveis da configuração com diodos grameamento pode ser aumentado tanto quanto seja necessário, sendo limitado pela complexidade do controle e pelo aumento no preço, devido o acréscimo no número de dispositivos semicondutores [17].

A principal desvantagem do inversor na topologia NPC simétrica de três níveis por braço, é a necessidade de um controle adicional para manter as tensões dos capacitores do barramento CC equilibrada [10].

Existem várias outras topologias obtidas a partir das topologias básicas tais como: inversor com ponto neutro ativo, inversor multinível híbrido, cascata de meia ponte, etc.

A seguir, as principais vantagens e desvantagens dos inversores multiníveis com relação aos inversores convencionais são apresentadas e na sequência é feita uma revisão bibliográfica contemplando as principais topologias de inversores multiníveis, as topologias derivadas das principais e os tipos de modulação utilizadas nos multiníveis.

2.2 Vantagens e desvantagens do inversor multinível

Abaixo, segue um resumo com as principais vantagens e desvantagens dos inversores multiníveis com relação aos inversores convencionais de dois níveis, apresentados em [9].

Vantagens:

- Maior tensão de trabalho;
- Maior capacidade de potência;
- Taxa de distorção harmônica total (THD) menor;
- Operam com frequência de chaveamento mais baixa;
- Uso de filtros bem reduzidos;
- Perdas nas chaves menores;
- Reduzido transitório na tensão de saída;
- Resposta dinâmica mais rápida;
- Menor interferência eletromagnética ou EMI (*EletroMagnetic Interference*).

Desvantagens:

- Maior número de chaves de potência;
- Uso de várias fontes no lado CC (Corrente Contínua);
- Uso de vários capacitores no lado CC;
- Lógica de controle mais complexa;
- Custo ainda mais elevado.

2.3 Principais topologias de inversores multiníveis

Nos últimos anos vem surgindo uma vasta quantidade de estruturas multiníveis. Como mencionado anteriormente, as três principais topologias de inversores multiníveis são: inversor multinível com diodos de grampeamento, conhecido por inversor NPC (*Neutral Point Clamped*), inversor multinível com capacitor flutuante, conhecida também por conversor FCC (*Flying Capacitor Converter*) e inversor multinível com ponte monofásica em cascata ou

inversor CHB (*Cascaded H-Bridge*), que são as mais conhecidas na eletrônica de potência. Além destas três topologias existem várias outras, derivadas das principais, que visam aperfeiçoar alguma característica específica ou melhoria de requisitos.

A seguir são analisadas cada uma das topologias principais: abordando a estrutura, princípio de funcionamento, equacionamento, vantagens e desvantagens.

2.3.1 Inversor multinível com diodos de grampeamento

O inversor multinível com diodos de grampeamento foi introduzido por [13] e na versão de três níveis, chamado de NPC por [14]. Nesta topologia, a tensão do barramento CC é dividida em vários níveis através de capacitores conectados em série, não sendo necessário o uso de fontes extras. A Figura 2.6 apresenta um braço para este inversor com três níveis. O ponto médio dos capacitores, corresponde ao ponto neutro do barramento (*neutral point*). Nesta estrutura, os diodos ligados ao ponto neutro, transferem o potencial deste ponto para a saída do braço, quando os transistores Q_2 e Q_3 estão em condução, ou seja, a saída é grampeada neste valor. Por isto, a topologia recebe o nome de inversor com ponto neutro grampeado ou NPC.

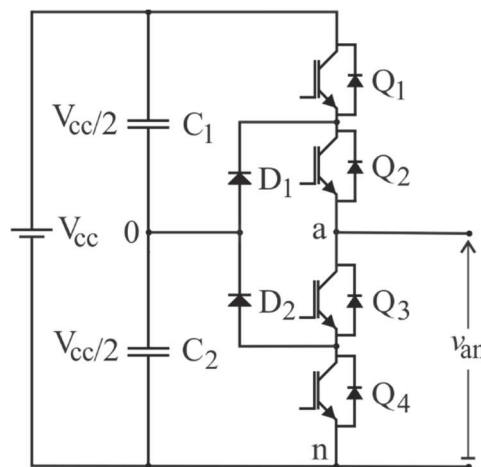


Figura 2.6 – Braço de inversor NPC de três níveis.

Funcionamento

Acompanhando a Figura 2.6 verifica-se que a tensão de saída do braço com relação ao ponto neutro v_{a0} pode assumir três valores ($-1/2V_{cc}$, 0 e $1/2V_{cc}$), ou com relação ao negativo do barramento CC v_{an} , também apresenta três valores (0 , $1/2V_{cc}$ e V_{cc}), razão pela qual este inversor é dito de três níveis. Os níveis obtidos na saída dependem do estado das chaves de potência (Q_1 , Q_2 , Q_3 e Q_4). Pela concepção do braço NPC, as chaves Q_1 e Q_3 devem ser

complementares, bem como as chaves Q_2 e Q_4 . A Tabela 2.1 mostra a tensão de saída para o braço do inversor NPC de três níveis, em função dos estados das chaves de potência.

Tabela 2.1 – Estado das chaves e tensão na saída do braço de inversor NPC de três níveis.

Estado das Chaves de Potência				Tensão de Saída	
Q_1	Q_2	Q_3	Q_4	v_{a0}	v_{an}
0	0	1	1	$-1/2V_{cc}$	0
0	1	1	0	0	$1/2V_{cc}$
1	1	0	0	$1/2V_{cc}$	V_{cc}

Na Tabela 2.1 acima, bem como em todas apresentadas neste trabalho, o nível lógico zero (NL=0) significa que a chave correspondente está aberta e o nível lógico um (NL=1) significa que a chave está fechada, portanto, consultando a Tabela 2.1 e observando a Figura 2.6, verifica-se que com as chaves Q_1 e Q_2 abertas, que leva as chaves Q_3 e Q_4 a fecharem por serem complementares, a saída v_{a0} vai para $-1/2V_{cc}$, para Q_1 aberta e Q_2 fechada, a saída v_{a0} assume o valor do ponto neutro, ou seja, v_{a0} vai para 0V e quando as chaves Q_1 e Q_2 são fechadas, a saída v_{a0} vai para $1/2V_{cc}$.

Na Figura 2.7 a forma de onda da saída para o braço de um inversor NPC de três níveis é apresentada, mostrando as chaves que são fechadas em função do nível de saída.

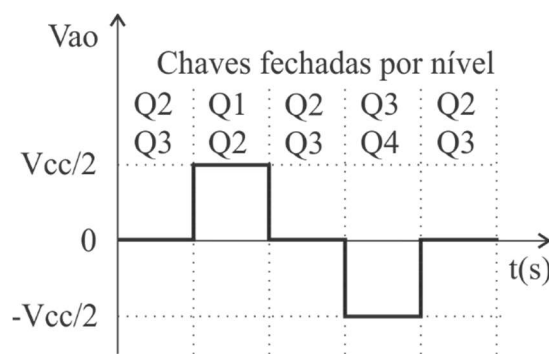


Figura 2.7 – Sinal na saída do braço para inversor NPC de três níveis.

A estrutura do inversor NPC pode ser implementada para vários níveis, a Figura 2.8 mostra o braço de um inversor com diodos de grampeamento para quatro níveis e na Tabela 2.2 a tensão de saída do braço em função do estado das chaves de potência é apresentada. Onde se verifica os seguintes pares complementares: (Q_1 e Q_4), (Q_2 e Q_5) e (Q_3 e Q_6).

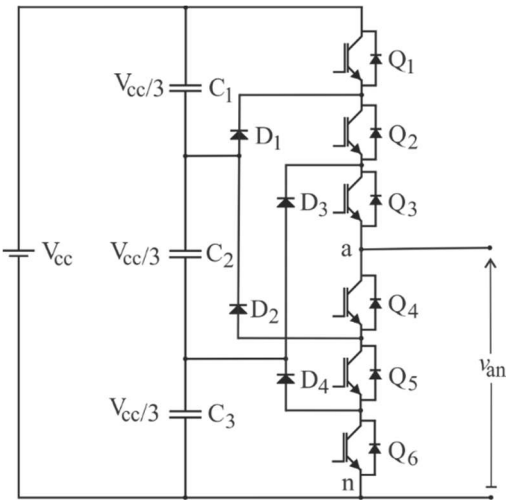


Figura 2.8 – Braço de inversor com diodos de grampeamento de quatro níveis.

Tabela 2.2 – Estado das chaves e tensão na saída do braço de inversor com diodos de grampeamento de quatro níveis.

Estado das Chaves de Potência						Saída
Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	v _{an}
0	0	0	1	1	1	0
0	0	1	1	1	0	1/3V _{cc}
0	1	1	1	0	0	2/3V _{cc}
1	1	1	0	0	0	V _{cc}

A Figura 2.9 apresenta a estrutura do braço de um inversor NPC de cinco níveis e na Tabela 2.3 a tensão de saída do braço em função dos estados das chaves de potência.

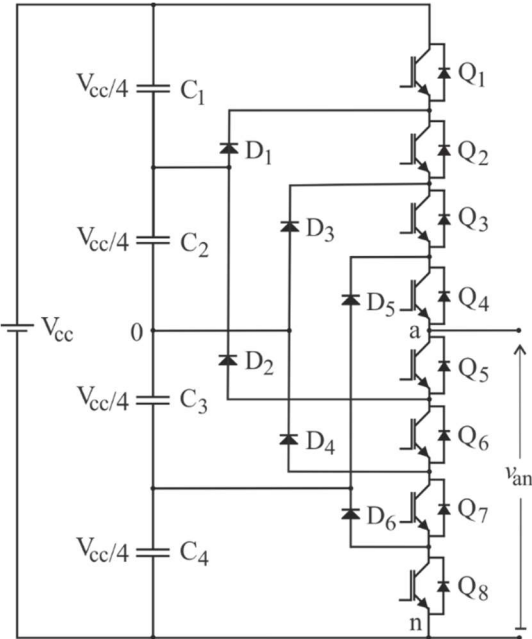


Figura 2.9 – Braço de inversor NPC de cinco níveis.

Tabela 2.3 – Estado das chaves e tensão na saída do braço de inversor NPC de cinco níveis.

Estado das Chaves de Potência								Tensão de Saída	
Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	v_{a0}	v_{an}
0	0	0	0	1	1	1	1	$-1/4V_{cc}$	0
0	0	0	1	1	1	1	0	$-1/2V_{cc}$	$1/4V_{cc}$
0	0	1	1	1	1	0	0	0	$2/4V_{cc}$
0	1	1	1	1	0	0	0	$1/4V_{cc}$	$3/4V_{cc}$
1	1	1	1	0	0	0	0	$1/2V_{cc}$	V_{cc}

Na Figura 2.10 a forma de onda da tensão de saída para o braço de um inversor NPC de cinco níveis é mostrada, onde se identifica os cinco níveis da saída v_{a0} ($-1/2V_{cc}$, $-1/4V_{cc}$, 0, $1/4V_{cc}$ e $1/2V_{cc}$).

A medida que aumenta o número de níveis, o sinal de saída se aproxima cada vez mais de um sinal senoidal, caso esteja sendo usado um sinal modulador do tipo senoidal e consequentemente, ocorre uma redução cada vez maior no conteúdo harmônico de saída, sendo esta uma das maiores vantagens dos inversores de elevados níveis por braço. Para o inversor NPC com cinco níveis por braço, os pares de chaves complementares são: (Q_1/Q_5), (Q_2/Q_6), (Q_3/Q_7) e (Q_4/Q_8).

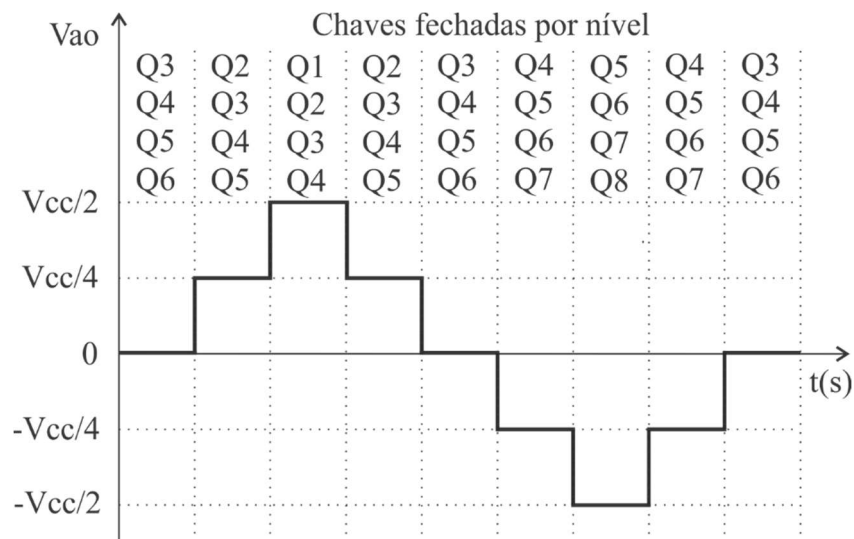


Figura 2.10 – Sinal na saída de braço NPC com cinco níveis.

Observando as estruturas dos braços dos inversores NPC de 3, 4 e 5 níveis, pode-se generalizar para um inversor NPC de vários níveis por braço, a aplicação das expressões abaixo, citadas em [39].

Seja n o número de níveis por braço, então a quantidade de capacitores do barramento CC é dado por:

$$n_C = n - 1 \quad (2.3)$$

Para a quantidade de chaves de potência por braço temos:

$$n_Q = 2(n - 1) \quad (2.4)$$

O número de diodos de grampeamento por braço é:

$$n_D = 2(n - 2) \quad (2.5)$$

A tensão máxima em todos os capacitores conectados ao barramento CC, é dada pela equação (2.6), sendo as topologias simétricas.

$$V_{C(\max)} = V_{cc}/(n - 1) \quad (2.6)$$

A tensão máxima aplicada nas chaves é dada por:

$$V_{Q(\max)} = V_{cc}/(n - 1) \quad (2.7)$$

E a tensão máxima nos diodos de grampeamento é calculada por:

$$V_{D(\max)} = \left(\frac{n - 2}{n - 1} \right) V_{cc} \quad (2.8)$$

Com relação aos valores máximos das correntes dos diodos e das chaves de potência, em ambos os casos, a corrente máxima é igual ao valor da corrente de pico da carga, para a topologia NPC.

A seguir, as principais vantagens e desvantagens dos inversores multiníveis com diodos de grampeamento são apresentadas, conforme descritas em [42].

Vantagens:

- Utiliza apenas uma fonte de tensão na formação do barramento CC;
- Possui menos capacitores que outras topologias multiníveis;
- A mudança entre níveis consecutivos na saída é feita, comutando apenas uma chave de potência, diminuindo as perdas;
- A estrutura pode ser generalizada para qualquer número de níveis;
- Os harmônicos significativos, localizam-se em torno do dobro da frequência de chaveamento;
- A distorção harmônica total ou THD, diminui com o aumento dos níveis da saída.
- Podem ser utilizados em estruturas bidirecionais do tipo CA/CC/CA.

Desvantagens:

- Os diodos conectados ao ponto neutro, devem ser de alta velocidade, com baixo tempo de recuperação da corrente reversa;
- A tensão dos diodos conectados ao ponto neutro, aumenta para estruturas com mais níveis;
- Os diodos ligados ao ponto neutro, devem suportar a mesma corrente da carga;
- Pode ocorrer o desbalanceamento da tensão dos capacitores do barramento CC, afetando a qualidade do sinal de saída;
- O controle das tensões dos capacitores do barramento CC, exige uma lógica adicional para o circuito de controle.

2.3.2 Inversor multinível com capacitor flutuante

Esta topologia surgiu inicialmente com [18] em 1992, sendo conhecida por conversor FCC (*Flying Capacitor Converter*). A Figura 2.11 apresenta a estrutura de um braço de três níveis para este inversor, que possui quatro chaves por braço e um capacitor no lugar dos diodos para grampear o nível central.

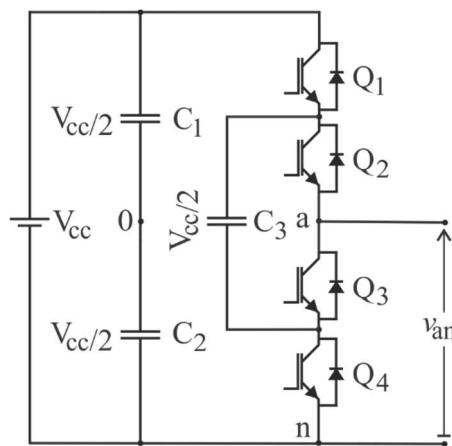


Figura 2.11 – Braço de inversor FCC de três níveis.

A tensão no capacitor flutuante deve ser de $1/2V_{cc}$, para que seja possível obter os três níveis na saída com simetria. No barramento CC, se verifica que existem dois capacitores, isto ocorre para que todos os capacitores, estejam submetidos a mesma tensão do capacitor flutuante do braço. Para evitar que ocorra o curto-circuito de braço, as chaves de potência (Q_2 e Q_3) devem ser acionadas de forma complementar.

Funcionamento

Para a tensão de saída em v_{a0} , obtém-se os níveis $(-1/2V_{cc}, 0 \text{ e } 1/2V_{cc})$ ou para a tensão de saída em v_{an} , os níveis são $(0, 1/2V_{cc} \text{ e } V_{cc})$. Estes níveis são obtidos em função dos estados das chaves de potência: Q_1, Q_2, Q_3 e Q_4 . A Tabela 2.4 mostra a tensão de saída do braço de um inversor FCC de três níveis em função do estado das chaves de potência.

Tabela 2.4 – Estado das chaves e tensão na saída do braço de inversor FCC de três níveis.

Estado das Chaves de Potência				Tensão de Saída	
Q_1	Q_2	Q_3	Q_4	v_{a0}	v_{an}
0	0	1	1	$-1/2V_{cc}$	0
0	1	0	1	0	$1/2V_{cc}$
1	0	1	0	0	$1/2V_{cc}$
1	1	0	0	$1/2V_{cc}$	V_{cc}

Como mostrado na Tabela 2.4, existem dois estados das chaves que fornecem o nível zero na saída, permitindo um grau de liberdade que não existe no inversor NPC. Este estado redundante, pode ser usado para o balanceamento da tensão do capacitor flutuante e também para uma otimização, reduzindo as perdas, pela seleção das chaves que reduzem as comutações. Na Figura 2.12 tem-se a forma de onda do sinal de saída, mostrando as chaves de potência que são acionadas por nível.

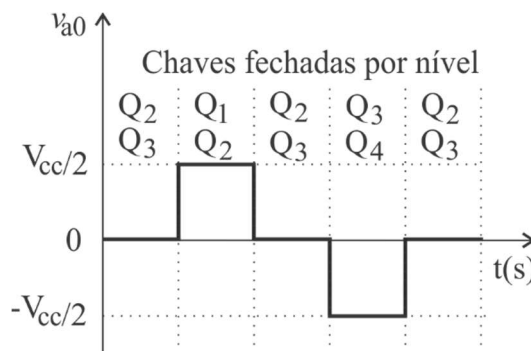


Figura 2.12 – Sinal de saída de um braço de inversor FCC de três níveis.

Tal como ocorreu com o inversor NPC, a estrutura do inversor FCC de três níveis pode ser expandida para mais níveis, como se observa nas Figuras 2.13 e 2.14, onde são apresentadas as estruturas do braço, para os inversores FCC de quatro e cinco níveis respectivamente, sendo a mesma análise, feita para o inversor FCC de três níveis, válida nos demais.

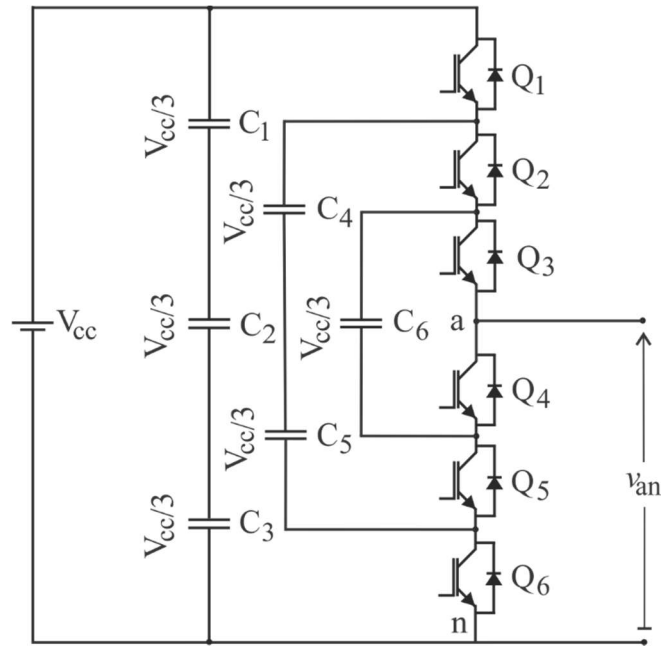


Figura 2.13 – Braço de inversor FCC de quatro níveis.

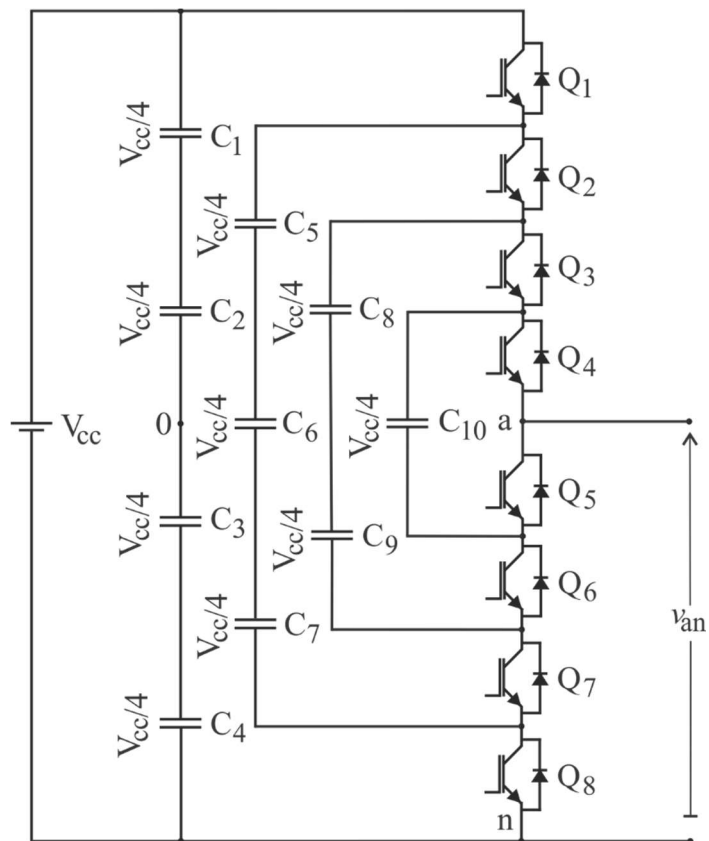


Figura 2.14 – Braço de inversor FCC de cinco níveis.

Observando as estruturas dos braços para os inversores FCC de três, quatro e cinco níveis, pode-se generalizar para uso as expressões abaixo relacionadas e citadas em [39].

Sendo n o número de níveis por braço, a quantidade de capacitores necessários no barramento CC é dado por:

$$n_C = n - 1 \quad (2.9)$$

O número de chaves de potência por braço obtém-se por:

$$n_Q = 2(n - 1) \quad (2.10)$$

A quantidade de capacitores flutuantes por braço, é calculado por:

$$n_{CF} = \frac{(n - 1)(n - 2)}{2} \quad (2.11)$$

Sendo a estrutura simétrica, a tensão máxima em todos os capacitores do inversor FCC é dada por:

$$V_{C(max)} = V_{cc}/(n - 1) \quad (2.12)$$

E finalmente, sendo a topologia simétrica, a tensão máxima nas chaves de potência é encontrada usando a expressão:

$$V_{Q(max)} = V_{cc}/(n - 1) \quad (2.13)$$

Em [42], são apresentadas as principais vantagens e desvantagens da topologia capacitor flutuante.

Vantagens:

- A existência de estados redundantes, permite com certa facilidade, a estratégia de controle para balanceamento dos capacitores;
- Ambos os fluxos de potência ativa e reativa podem ser controlados com este inversor;
- Cada braço pode ser analisado de forma individual, com relação ao balanceamento dos capacitores [19];
- Não apresenta problemas associados aos diodos de grampeamento, referente ao tempo de recuperação da corrente reversa, existente na topologia NPC;
- Esta topologia naturalmente limita o estresse por dv/dt sobre os dispositivos.

Desvantagens:

- São necessários a utilização de mais capacitores que outras topologias, para o mesmo número de níveis por braço;
- Existe a possibilidade de haver ressonância, devido aos capacitores existentes no sistema [20];
- Deve existir o controle para o balanceamento dos capacitores;

- Ocorrendo variações bruscas na tensão no lado CC, pode causar sobre tensões nas chaves de potência, devido à condução momentânea dos capacitores flutuantes, limitando desta forma o uso desta topologia na geração eólica ou fotovoltaica;
- Necessita de um processo inicial de carga dos capacitores flutuantes;
- Os capacitores devem suportar a corrente plena da carga.

2.3.3 Inversor multinível com ponte monofásica em cascata

Esta topologia foi proposta inicialmente por [21] em 1975, conhecida também como inversor CHB (*Cascaded H-Bridge*). A tensão de saída é obtida interligando duas ou mais pontes completa monofásica. Na Figura 2.15 é mostrado o braço de um inversor CHB de cinco níveis e na Figura 2.16 o circuito do inversor CHB trifásico de cinco níveis por braço. Como pode-se constatar, cada ponte H deve possuir sua própria fonte CC isolada e a priori, todas devem ter o mesmo valor V_{cc} , na configuração simétrica. O isolamento das fontes, pode ser obtido através de transformadores.

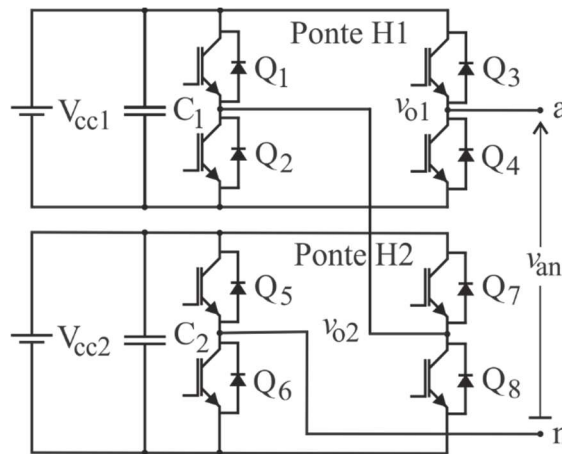


Figura 2.15 – Braço de inversor CHB de cinco níveis.

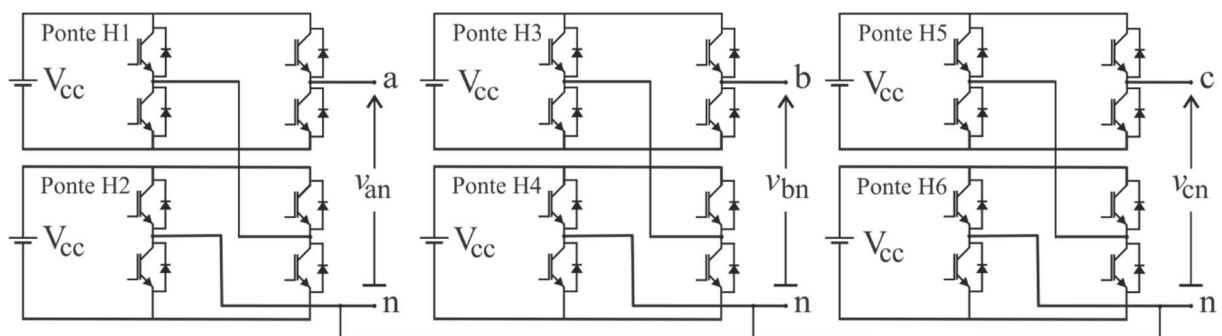


Figura 2.16 – Inversor CHB trifásico de cinco níveis por braço.

Funcionamento:

Uma única ponte monofásica pode fornecer em sua saída, três níveis ($-V_{cc}$, $0V$ e V_{cc}), estes níveis são obtidos em função dos estados das chaves de potência Q_1 , Q_3 e Q_4 como mostra a Tabela 2.5.

No inversor ponte monofásica em cascata da Figura 2.15 deve-se acionar as chaves de potência do mesmo braço em todas as pontes monofásicas, de forma complementar, para que não ocorra curto-circuito de braço, ou seja, os pares das chaves (Q_1/Q_2) e (Q_3/Q_4) devem ser acionadas alternadamente.

Tabela 2.5 – Estado das chaves de potência e tensão de saída para uma ponte H monofásica.

Estado das Chaves de Potência				Saída v_{o1}
Q_1	Q_3	Q_2	Q_4	
0	0	1	1	0
0	1	1	0	$-V_{cc}$
1	0	0	1	V_{cc}
1	1	0	0	0

Analisando a Figura 2.15, constata-se que a tensão de saída resultante v_{an} para o braço, é obtida simplesmente, somando-se as saídas de cada ponte H do referido braço, como mostra a equação abaixo:

$$v_{an} = v_{o1} + v_{o2} + v_{o3} + \dots + v_{oh} \quad (2.14)$$

Consultando a Tabela 2.5 e a equação (2.14), chamando de h o número de pontes monofásicas do braço, então calcula-se o número de níveis n por fase, usando a seguinte equação:

$$n = 2h + 1 \quad (2.15)$$

A equação (2.2), repetida abaixo, continua sendo válida para determinar a quantidade de níveis k na saída, entre duas fases, para o inversor multinível CHB simétrico.

$$k = 2n - 1 \quad (2.2)$$

Portanto, usando as equações (2.15) para o braço da Figura 2.15, onde existem duas pontes H no braço, obtém-se cinco níveis resultantes, como mostra a Figura 2.17. E usando a equação (2.2) no inversor trifásico da Figura 2.16, nove níveis na tensão de linha são obtidos, como pode ser visualizado na Figura 2.18.

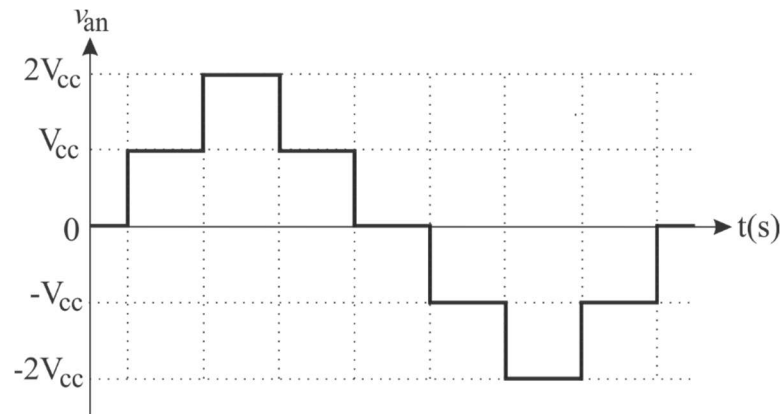


Figura 2.17 – Sinal de saída no braço de inversor CHB com cinco níveis.

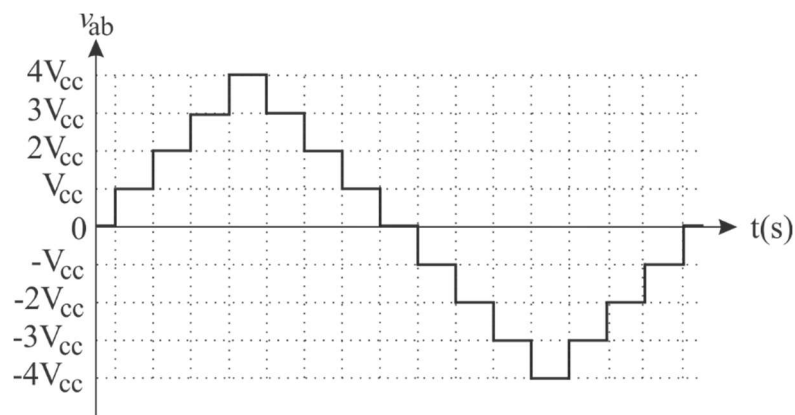


Figura 2.18 – Tensão de linha com nove níveis do inversor CHB de cinco níveis por fase.

Uma das maiores vantagens desta topologia é poder aumentar os níveis da saída, sem acrescentar novos componentes, simplesmente trabalhando com fontes de valores diferentes para cada ponte H, chamado de célula híbrida em [22]. Onde se deve utilizar a equação (2.16) quando a relação entre as tensões das pontes H são múltiplos de dois e utilizar a equação (2.17) caso a relação entre as tensões das pontes H, sejam múltiplos de três. Em ambos os casos, n representa os níveis na saída do braço e h a quantidade de pontes H por fase.

$$n = 2^{h+1} - 1 \quad (2.16)$$

$$n = 3^h \quad (2.17)$$

A seguir, são elencadas as principais vantagens e desvantagens do inversor multinível com pontes monofásicas em cascata, conforme descrição em [42].

Vantagens:

- A modularidade, tornando a expansão de níveis da saída bastante simples;

- Continua fornecendo tensão na saída, mesmo quando algumas das pontes param de funcionar;
- Não utiliza diodos de grampeamento e nem capacitores flutuantes, portanto, não apresenta os problemas relacionados a estes componentes;
- Pode operar com fontes distintas no caso dos conversores assimétricos ou híbridos [23];
- Operação em alta tensão não utiliza chaves de potência em série;
- Sua estrutura utiliza menos componentes que os inversores NPC e FCC, para o mesmo número de níveis na saída;

Desvantagens:

- As fontes CC de todas as pontes monofásicas, devem ser isoladas uma das outras;
- A necessidade do uso de transformadores para o isolamento, aumentando os custos;
- Na ligação do tipo CA/CC/CA bidirecional, onde o barramento CC é comum a entrada e saída CA, não é permitido no inversor CHB, pois as fontes devem ser isoladas, podendo ocorrer curto-circuito [40].

2.4 Outras topologias de inversores multiníveis

A partir das três topologias principais, estudadas previamente, surgiram várias outras estruturas, sendo derivações ou combinações, tendo como objetivo, melhorar algumas das características. Neste trabalho, quatro outras topologias são abordadas a seguir.

2.4.1 Inversor com ponto neutro grampeado ativo

Um dos maiores inconvenientes existente na topologia do inversor NPC é apresentar uma distribuição irregular nas potências das chaves de potência, causando perdas de potência maiores. Para minimizar este problema uma das alternativas é utilizar o inversor ANPC (*Active Neutral Point Clamped*), cuja estrutura para um braço de três níveis encontra-se na Figura 2.19. Como se pode observar, a estrutura é derivada da topologia do inversor NPC, onde os diodos de grampeamento foram substituídos por chaves semicondutoras. Estas duas chaves a mais Q_5 e Q_6 dão a este inversor, um grau de liberdade que reduz as perdas e melhora o desempenho térmico [24].

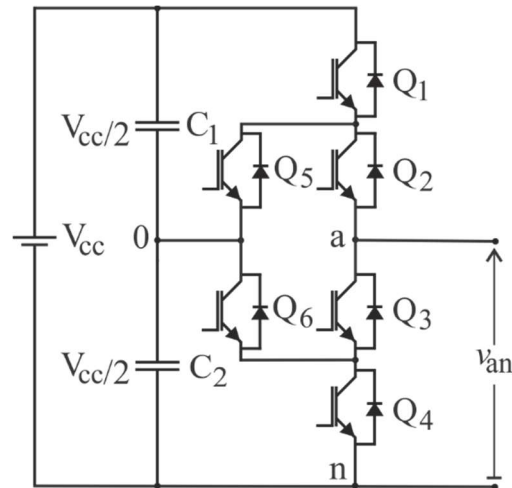


Figura 2.19 – Braço de inversor ANPC de três níveis.

2.4.2 Inversor multinível generalizado

O inversor multinível generalizado foi introduzido inicialmente por [25]. Esta topologia possui uma estrutura modular facilmente expansível, através do acréscimo de módulos básicos. A vantagem desta topologia é que ela permite o auto balanceamento dos níveis de entrada, independentemente do tipo de carga, ativa ou reativa. Na Figura 2.20 é apresentado o circuito para este tipo de inversor com cinco níveis na tensão de saída e na Figura 2.21 o módulo básico para expansão.

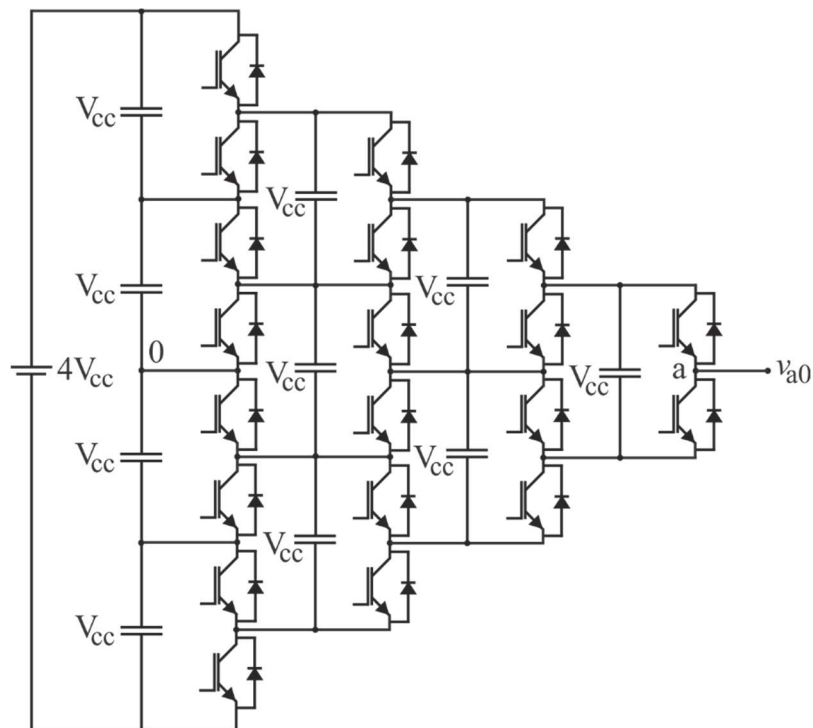


Figura 2.20 – Inversor na topologia generalizado com cinco níveis.

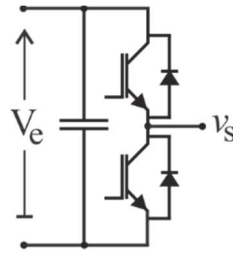


Figura 2.21 – Módulo básico para expansão do inversor multinível generalizado.

2.4.3 Inversor multinível assimétrico

Os inversores multiníveis assimétricos são obtidos a partir das topologias dos inversores CHB ou NPC, utilizando-se de fontes distintas na obtenção dos níveis na entrada, com o propósito de conseguir na saída um sinal com mais níveis que os inversores simétricos, que possuem todos os níveis de tensão de entrada iguais entre si. Como principal vantagem da topologia assimétrica é obter o sinal de saída com mais níveis que as simétricas equivalentes, tendo como consequência a redução na distorção harmônica total (THD) do sinal, implicando na redução do filtro de saída. A Figura 2.22 apresenta a estrutura de um inversor ANPC assimétrico de três níveis por braço e sete níveis na tensão de saída.

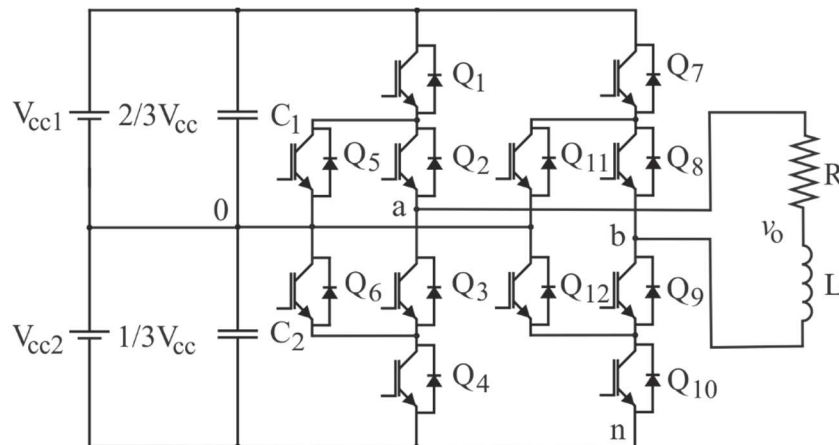


Figura 2.22 – Inversor ANPC monofásico assimétrico de sete níveis na saída.

A Figura 2.23 mostra o circuito de um inversor CHB assimétrico, também de três níveis por braço. Em ambas as estruturas, a tensão de saída apresenta sete níveis, ou seja, dois a mais que as configurações de inversores simétricos de mesma quantidade de níveis na entrada.

A principal desvantagem dos inversores assimétricos é a necessidade de utilizar várias fontes distintas para compor o barramento de entrada.

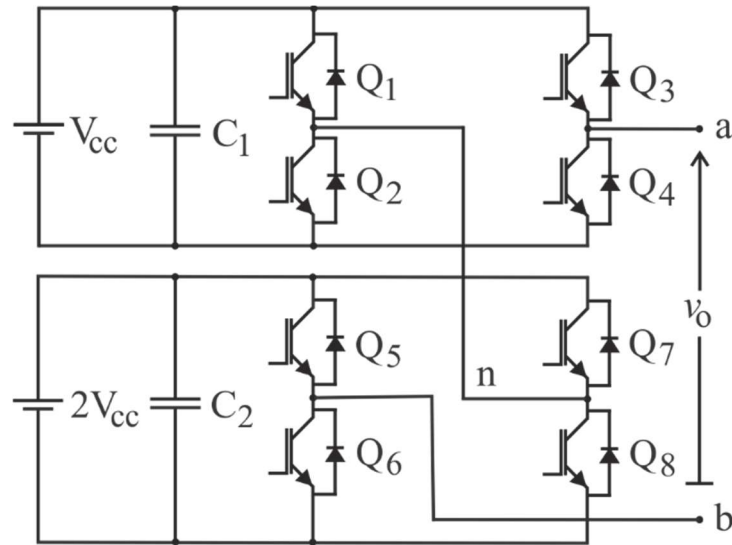


Figura 2.23 – Inversor CHB monofásico assimétrico de sete níveis na saída.

2.4.4 Inversor multinível modular com meia ponte em cascata

O inversor multinível modular com meia ponte em cascata, também conhecido por inversor MMC (*Modular Multilevel Converter*), foi inicialmente proposto por [26] e é agora objeto de intensas pesquisas. A Figura 2.24 mostra a célula básica de uma meia ponte que forma o inversor.

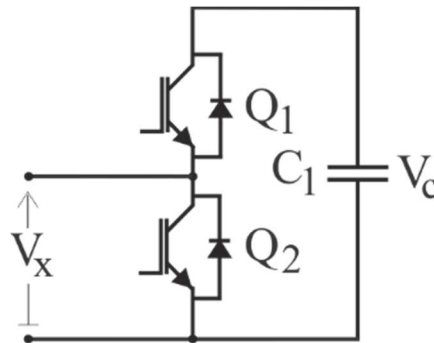


Figura 2.24 – Célula básica de meia ponte.

Esta topologia possui como principal vantagem, utilizar apenas uma fonte de alimentação no barramento CC, ao passo que o inversor CHB, utiliza uma fonte isolada para cada ponte H da estrutura. Sendo modular, a topologia é de baixo custo e pode ser facilmente implementada para diferentes níveis de tensão. A desvantagem desta topologia é que necessita de um controle individual na tensão dos capacitores das células de meia ponte, exigindo elevado tempo computacional [41].

Na Figura 2.25 a configuração de um inversor MMC monofásico é apresentada, sendo composto por duas células de meia ponte em cascata por braço. A tensão do braço apresenta $(h + 1)$ níveis e a saída do inversor entre dois braços, apresenta $(2h + 1)$ níveis de tensão, sendo h o número de células por braço.

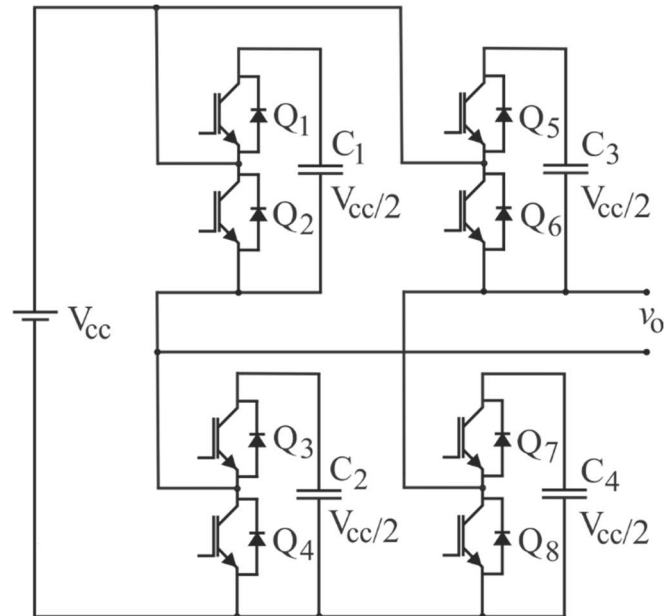


Figura 2.25 – Inversor MMC monofásico de três níveis por braço.

2.5 Modulação multinível

As técnicas de modulação vêm sendo um dos principais focos de pesquisa, no que se refere ao aprimoramento na qualidade de energia fornecida pelos inversores multiníveis.

A modulação aplicada nestes conversores estáticos, consiste em desenvolver técnicas para acionar as chaves de potência, para que produzam o sinal desejado na saída, de acordo com a topologia de inversor multinível utilizada. A modulação para multiníveis é mais complexa que a modulação para inversor convencional de dois níveis, tendo em vista que os multiníveis possuem mais chaves semicondutoras para serem acionadas.

Na Figura 2.26 é mostrado em diagrama de blocos, quais os principais métodos de modulação aplicados aos inversores multiníveis, ainda nesta figura observa-se que a modulação para inversores multiníveis divide-se de acordo com a frequência de chaveamento em três tipos: modulação em alta frequência, também chamada de modulação PWM, modulação em frequência mista ou média e modulação em baixa frequência ou na frequência da fundamental, como está descrito em [11].

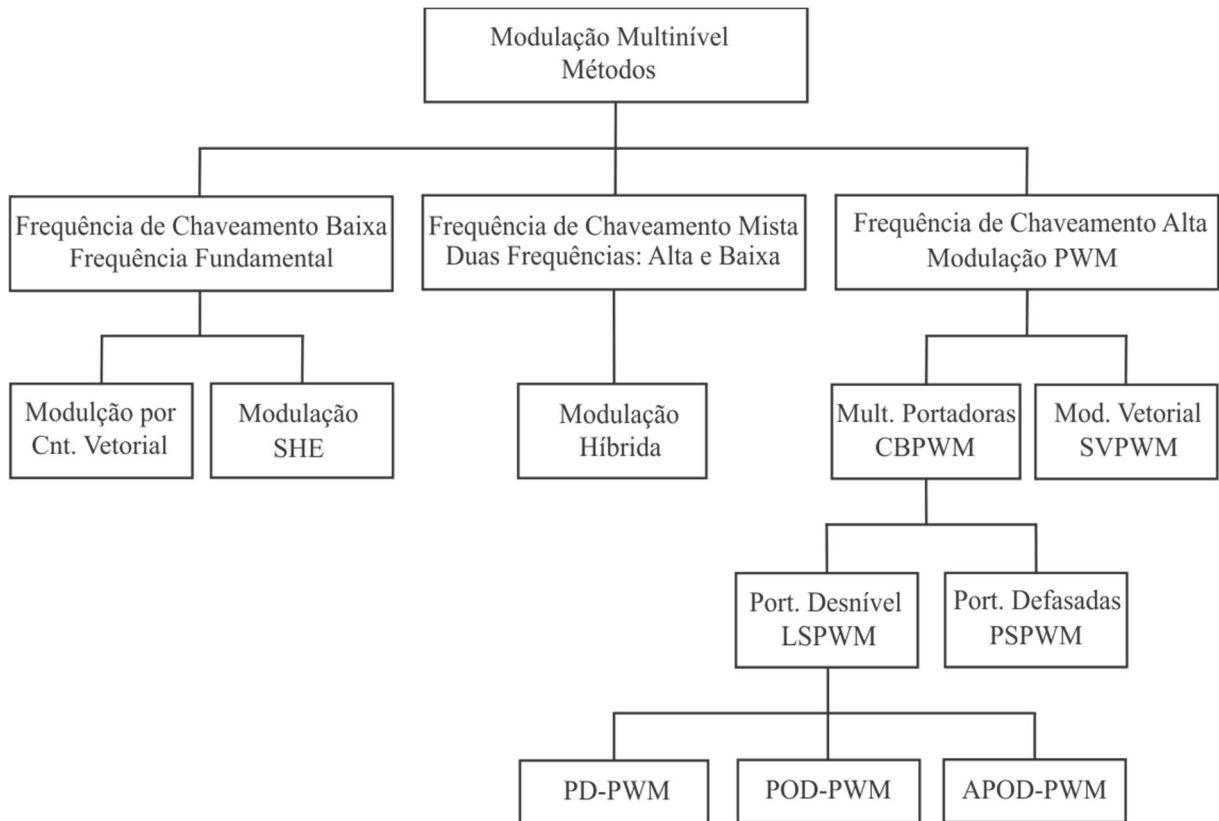


Figura 2.26 – Métodos de modulação aplicadas aos inversores multiníveis.

Observando a Figura 2.26, na faixa da frequência fundamental são estudadas a modulação com controle vetorial e a modulação por eliminação seletiva de harmônicos. Na frequência mista, a modulação híbrida é um caso típico. E entre as de alta frequência de chaveamento são analisadas a modulação vetorial e a modulação baseada em múltiplas portadoras, que podem ser deslocadas em nível ou deslocadas em fase. Para as portadoras deslocadas em nível, existem três tipos de modulação: modulação com portadoras dispostas em fase, dispostas em oposição de fase e dispostas em oposição de fase alternadas, detalhadas em [27].

Os tipos e as técnicas de modulação selecionadas, dependem de quais características e ou parâmetros deseja-se melhorar para os inversores multiníveis.

Várias estratégias de modulação que diferem em conceito e performance têm sido desenvolvidas a fim de alcançar alguns objetivos, dentre os quais pode-se citar: maior linearidade na faixa de modulação, menor perda por comutação, redução na distorção harmônica total (THD), redução na frequência de chaveamento, redução na tensão das chaves, que seja de fácil implementação e possua tempo computacional reduzido.

A seguir, como mostrado na Figura 2.26, uma revisão sucinta dos diversos tipos de modulação empregadas nos inversores multiníveis são apresentadas.

2.5.1 Modulação por largura de pulso baseada em portadoras

A modulação por largura de pulso baseada em portadoras, também conhecida por PWM (*Pulse Width Modulation*), é a técnica mais utilizada entre os vários tipos de modulações, tendo em vista que melhora o conteúdo harmônico do sinal de saída, pelo deslocamento das componentes harmônicas para altas frequências, ou seja, desloca para o entorno da frequência da portadora e seus múltiplos. Esta técnica consiste em comparar dois sinais: sendo o primeiro, um sinal de portadora de alta frequência, normalmente do tipo triangular ou dente de serra e o segundo é um sinal de referência modulante senoidal de baixa frequência, para gerar os pulsos de disparo das chaves semicondutoras de alta potência.

Na Figura 2.27 são mostrados os sinais de entrada: portadora e modulante (v_{tri} e v_{ref}) e os sinais de saída (v_{pwm1} e v_{pwm2}), para o diagrama simplificado de um modulador PWM básico, apresentado na Figura 2.28 e utilizado para acionamento de um único braço de dois níveis, onde é observado que os pulsos de saída apresentam variação na largura, em função da comparação da onda portadora triangular com a onda modulante senoidal, ou seja, a saída está modulada em largura de pulso. O funcionamento do circuito é regido pelas equações mostradas abaixo.

$$v_{ref} > v_{tri} \rightarrow v_{pwm1} = 1 \text{ e } v_{pwm2} = 0 \quad (2.18)$$

$$v_{ref} < v_{tri} \rightarrow v_{pwm1} = 0 \text{ e } v_{pwm2} = 1 \quad (2.19)$$

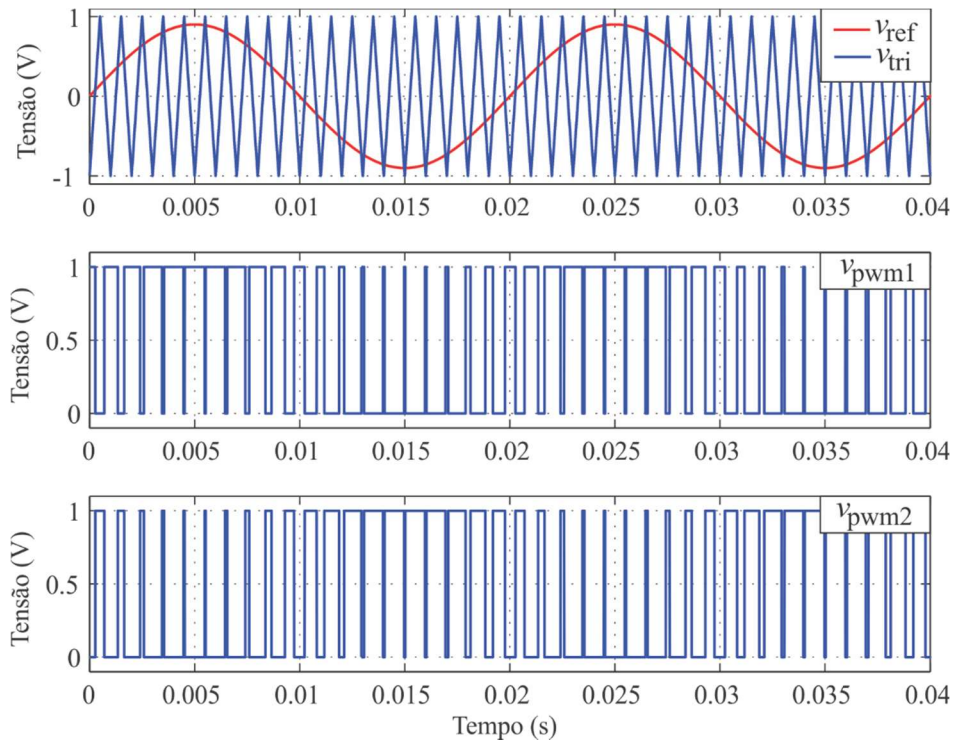


Figura 2.27 – Sinais de entrada e saída do modulador PWM básico.

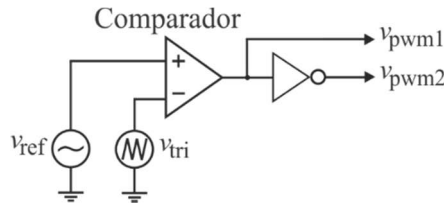


Figura 2.28 – Modulador PWM básico.

A modulação CBPWM se divide em dois tipos LSPWM e PSPWM, explicadas a seguir:

2.5.1.1 Modulação PWM com portadoras deslocadas em fase

A modulação PWM com portadoras deslocadas em fase, também chamada PSPWM (*Phase Shifted Pulse Width Modulation*), emprega $(n - 1)$ portadoras por braço e todas as portadoras apresentam a mesma frequência e amplitude, divergindo nas fases, conforme apresentada em [28]. Sendo o ângulo de defasamento entre estas portadoras, função da quantidade de níveis existentes por braço, podendo ser calculado por:

$$\phi = 360^\circ / (n - 1) \quad (2.20)$$

Na Figura 2.29 são apresentados os sinais das portadoras e do sinal de referência senoidal, para o caso de um inversor com cinco níveis por braço, onde é constatado a presença de quatro portadoras defasadas entre si de 90° , empregando a modulação PSPWM.

Esta técnica tem como vantagem oferecer uma filtragem bem simples para a tensão de saída, pois as componentes harmônicas dominantes, estão localizadas em torno de $(n - 1)$ vezes a frequência da portadora. Por outro lado, apresenta um número elevado de comutações por chave, aumentando as perdas.

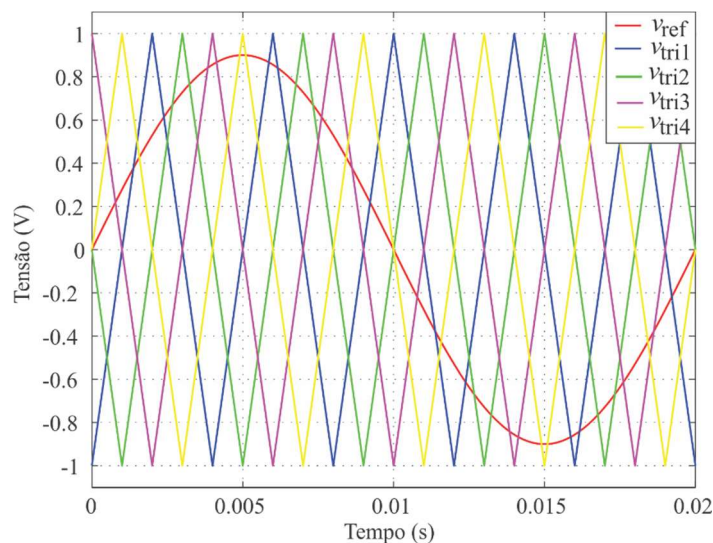


Figura 2.29 – Sinais de portadoras e referência na modulação PSPWM.

2.5.1.2 Modulação PWM com portadoras deslocadas em nível

Na modulação PWM com portadoras deslocadas em nível, conhecida por LSPWM (*Level Shifted Pulse Width Modulation*), utiliza-se $(n - 1)$ portadoras por braço, sendo n o número de níveis do braço. As portadoras apresentam a mesma frequência e amplitude, mas encontram-se deslocadas em nível, com suas referências igualmente espaçadas. A modulação LSPWM se divide em três tipos, em função da fase apresentada pelas portadoras, conforme analisadas em [29].

2.5.1.2.1 Modulação PWM com portadoras dispostas em fase

A modulação PWM baseada em portadoras deslocadas em nível e dispostas em fase, conhecida por PD-PWM (*Phase Disposition Pulse Width Modulation*), apresenta uma THD reduzida, mas como todas as chaves são comutadas em alta frequência, as perdas são consideradas elevadas. Na Figura 2.30 é apresentado a título de exemplo, os sinais das quatro portadoras, mais o sinal de referência senoidal, empregados em um inversor de cinco níveis por braço.

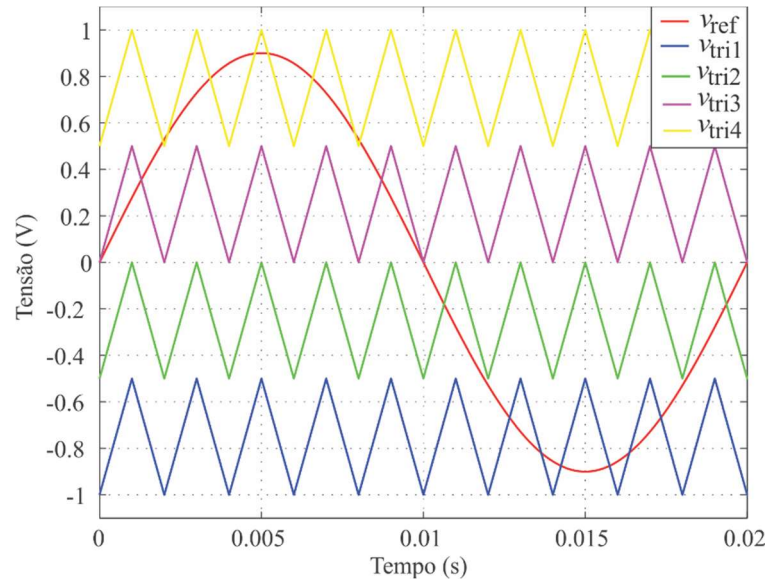


Figura 2.30 – Sinais de portadoras e referência na modulação PD-PWM.

2.5.1.2.2 Modulação PWM com portadoras em oposição de fase

A modulação PWM baseada em portadoras deslocadas em nível e dispostas em oposição de fase, conhecida por POD-PWM (*Phase Opposition Disposition Pulse Width Modulation*), apresentam uma THD maior que a modulação PD-PWM. Na Figura 2.31, os sinais de quatro

portadoras e o de referência para um conversor com cinco níveis no braço é mostrado. Conforme se observa, as duas portadoras, localizadas na parte inferior do gráfico, apresentam fase de -180° e as outras duas, localizadas na parte superior, possuem fase de 0° .

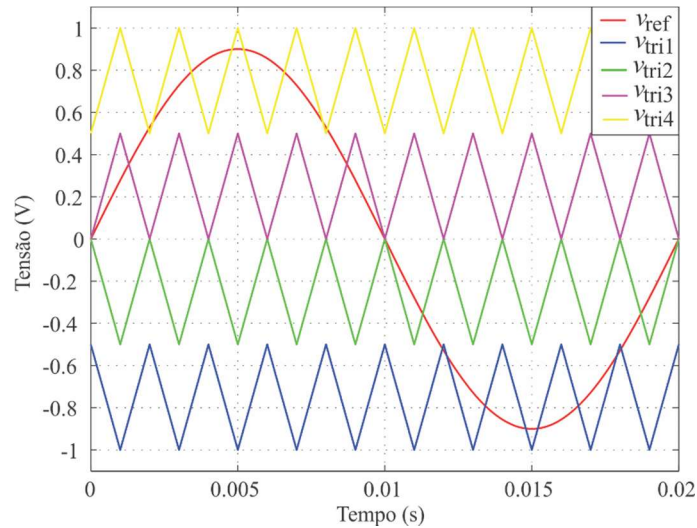


Figura 2.31 – Sinais de portadoras e referência na modulação POD-PWM.

2.5.1.2.3 Modulação PWM com portadoras em oposição de fase alternada

A modulação PWM baseada em portadoras deslocadas em nível e dispostas em oposição de fase alternada, conhecida por APOD-PWM (*Alternate Phase Opposition Disposition Pulse Width Modulation*), também apresenta uma THD maior que a modulação PD-PWM. Na Figura 2.32 são apresentados os sinais das quatro portadoras e da referência para um conversor com cinco níveis no braço, onde se verifica que as fases das portadoras se alternam entre 0° e 180° .

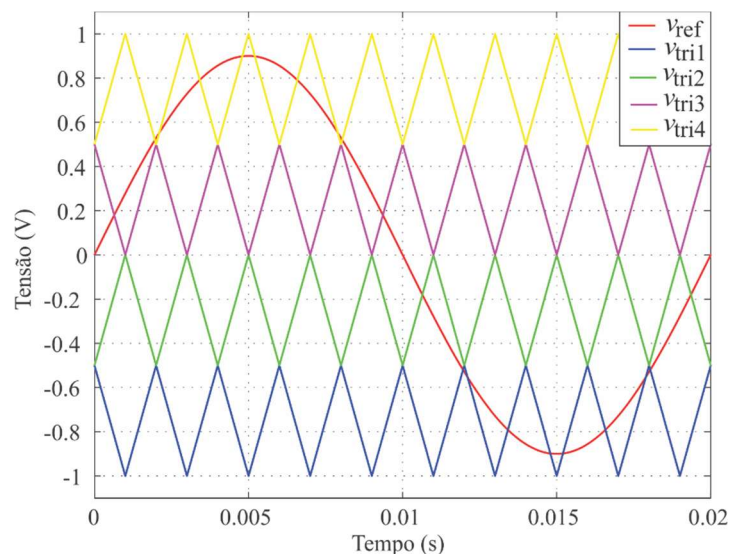


Figura 2.32 – Sinais de portadoras e referência na modulação APOD-PWM.

2.5.2 Modulação por largura de pulso no espaço vetorial

A modulação por largura de pulsos no espaço vetorial, conhecida por SVPWM (*Space Vector Pulse Width Modulation*), é a técnica mais adequada para os inversores trifásicos, pois apresenta um melhor conteúdo harmônico, menores perdas nas chaves e índice de modulação mais elevado que a modulação CBPWM. Porém, para uso em sistemas monofásicos, ainda não se justifica devido os custos.

Para se entender como a modulação SVPWM opera nas estruturas multiníveis, inicialmente será analisado seu funcionamento no inversor convencional trifásico de dois níveis, mostrado na Figura 2.33.

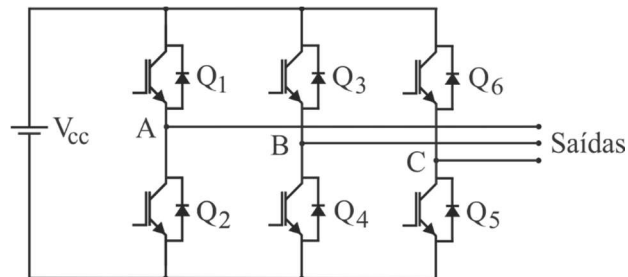


Figura 2.33 – Inversor convencional trifásico de dois níveis.

Na modulação SVPWM, a tensão de saída deve acompanhar a tensão de referência, selecionando os estados de chaveamento, correspondente aos vetores espaciais [30].

Para sintetizar a tensão desejada é preciso escolher corretamente as chaves a serem acionadas. Esta sequência é chamada de estados de chaveamento. Esses estados são dispostos em vetores, como mostra a Figura 2.34, onde se identifica seis setores triangulares com seus respectivos vetores.

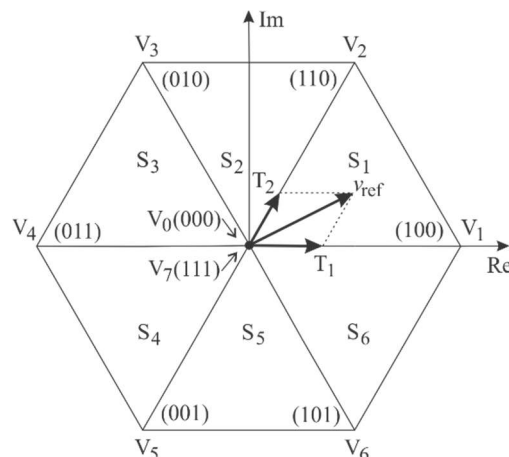


Figura 2.34 – Diagrama de estados para inversor trifásico convencional.

A síntese da tensão de saída consiste em determinar no período de chaveamento, os estados e o tempo de acionamento de cada uma das chaves de potência. Os estados das chaves são determinados de acordo com a posição do vetor de referência v_{ref} nos setores. Em seguida é feito o sequenciamento dos vetores, utilizando todos os quatro vetores que formam os vértices do setor triangular. Supondo o vetor de referência no primeiro setor, os vetores selecionados em sequência para obter a tensão desejada são: 000, 100, 110 e 111.

A Tabela 2.6 apresenta a sequência de vetores e os estados das chaves para sintetizar o vetor de referência no setor S_1 , comutando apenas uma chave entre estados adjacentes, para reduzir as perdas nas chaves.

Tabela 2.6 – Estado das chaves no setor S_1 empregando a modulação PWM Vetorial.

	Sequência direta – $T_s/2$				Sequência reversa – $T_s/2$			
Fase A	0	1	1	1	1	1	1	0
Fase B	0	0	1	1	1	1	0	0
Fase C	0	0	0	1	1	0	0	0
Tempo	$T_0/2$	T_1	T_2	$T_0/2$	$T_0/2$	T_2	T_1	$T_0/2$
Q₁	off	on	on	on	on	on	on	off
Q₂	off	off	on	on	on	on	off	off
Q₃	off	off	off	on	on	off	off	off

Os intervalos de tempo (T_1 , T_2 e T_0) de aplicação de cada estado dentro do setor S_1 , são determinados pelas relações trigonométricas analisando a Figura 2.34 e são calculados usando as seguintes equações:

$$T_1 = \frac{\sqrt{3}T_s}{2V_{cc}} v_{\text{ref}} \sin\left(\frac{\pi}{3} - \alpha\right) \quad (2.21)$$

$$T_2 = \frac{\sqrt{3}T_s}{2V_{cc}} v_{\text{ref}} \sin\left(\frac{\pi}{3}\right) \quad (2.22)$$

$$T_0 = \frac{T_s}{2} - (T_1 + T_2) \quad (2.23)$$

Estendendo os conceitos elencados acima, para inversores multiníveis trifásicos de n níveis, obtém-se n^3 estados possíveis e o diagrama de vetores de estados é composto por seis setores, apresentando $(n - 1)^2$ triângulos por setor. Para o caso de um inversor multinível com três níveis, mostrado em [2], existem vinte e sete vetores de estados possíveis, sendo oito deles

redundantes. Existem ainda vinte e quatro triângulos, sendo quatro em cada setor, observado no diagrama de vetores da Figura 2.35.

Fica evidente que o grau de complexidade da modulação PWM por vetores espaciais, aumenta à medida que aumenta o número de níveis do inversor, exigindo mais tempo computacional para sua realização.

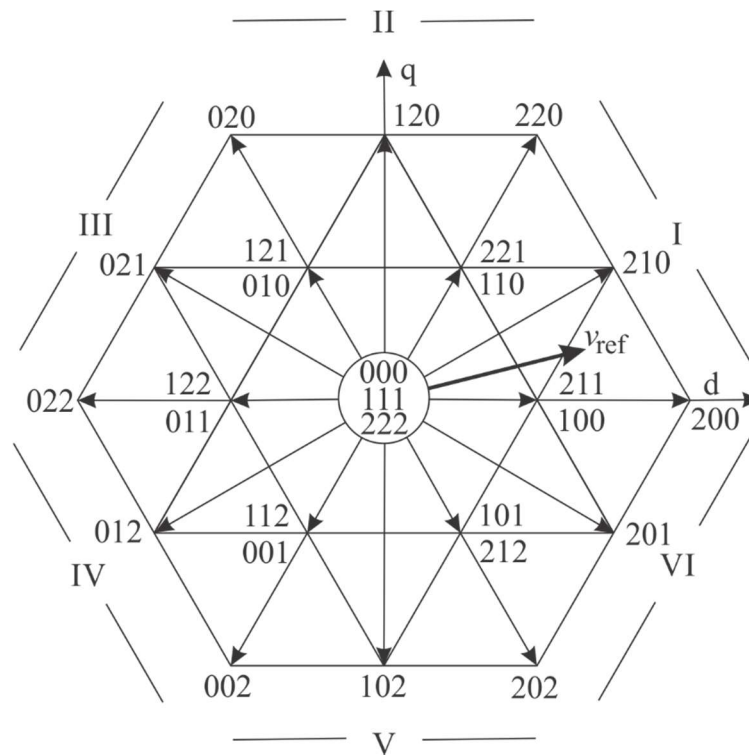


Figura 2.35 – Diagrama dos vetores de estado para inversor de três níveis.

2.5.3 Modulação multinível híbrida

A modulação multinível híbrida, recebe esta denominação por envolver duas estruturas comutadas em frequências distintas. Normalmente são aplicadas aos inversores em cascata de ponte H monofásica de onda completa com duas estruturas, sendo uma comutada em baixa frequência ou na frequência fundamental e a outra ponte monofásica comutada em alta frequência [31-32].

Na Figura 2.36 é apresentado um inversor de sete níveis, formado por duas pontes monofásicas de onda completa, sendo a primeira ponte comutada em alta frequência, operando com tensão mais baixa, de valor V_{cc} e a outra ponte comutada na frequência fundamental e operando na tensão mais alta, de valor $2V_{cc}$.

Na Figura 2.37 é mostrado o sinal v_{o1} da ponte comutada em alta frequência, apresentando três níveis na saída e na Figura 2.38 o sinal v_{o2} de saída da outra ponte, modulada em baixa frequência e também com três níveis é apresentado.

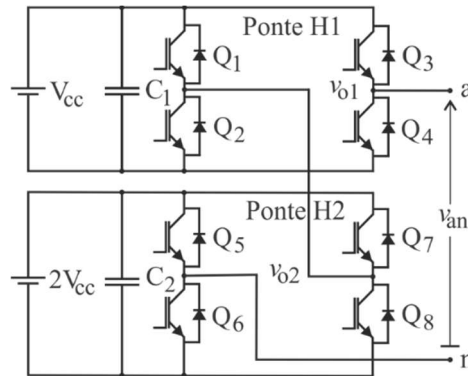


Figura 2.36 – Inversor de sete níveis com pontes CHB empregando modulação híbrida.

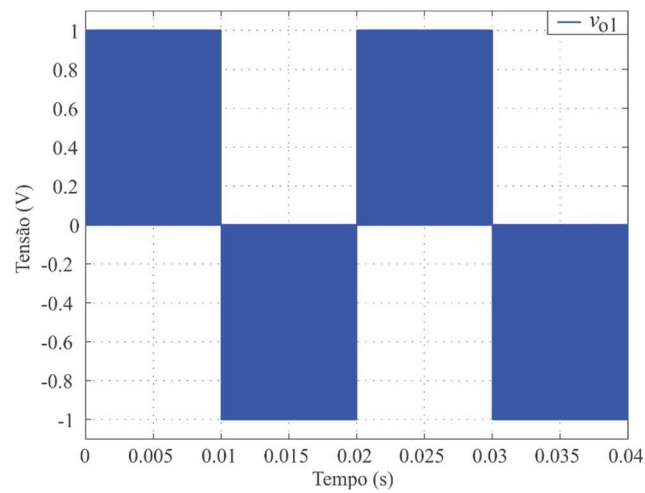


Figura 2.37 – Saída da ponte H1 com três níveis comutada em alta frequência.

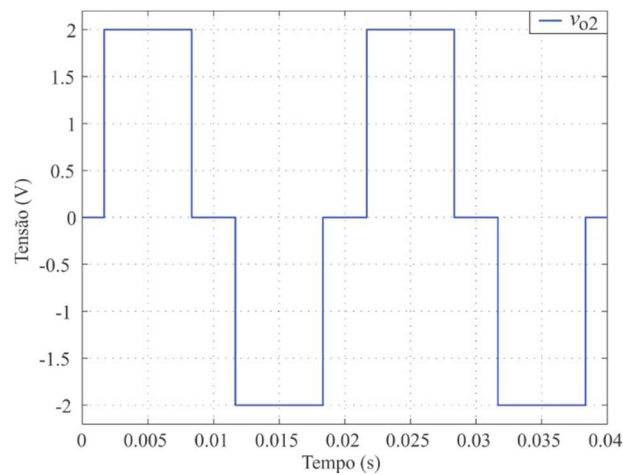


Figura 2.38 – Saída da ponte H2 com três níveis comutada em baixa frequência.

A Figura 2.39 mostra a tensão de saída v_{an} e o sinal de referência v_{ref} , sendo um sinal com sete níveis, onde constata-se a presença da frequência fundamental e da portadora.

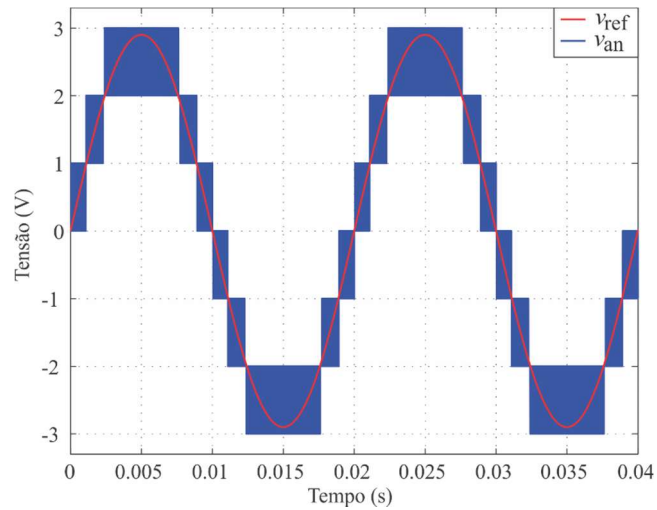


Figura 2.39 – Saída do inversor CHB com sete níveis em modulação híbrida.

A vantagem desta técnica, é que se pode empregar estruturas com semicondutores diferentes, preservando um bom conteúdo harmônico. Por exemplo, no circuito da Figura 2.36 pode-se utilizar tiristores na ponte H2, sendo comutada em baixa frequência.

2.5.4 Modulação por controle vetorial

A modulação por controle vetorial é efetuada em baixa frequência e aplicável em sistemas trifásicos. A Figura 2.40 mostra o diagrama de vetores de estado para um inversor trifásico de três níveis.

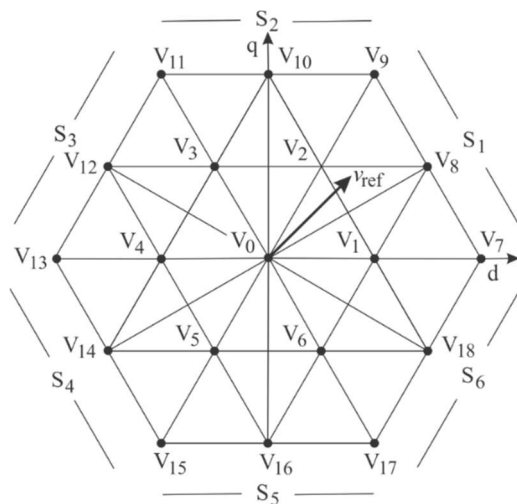


Figura 2.40 – Diagrama de vetores de estado para inversor trifásico de três níveis.

Após a seleção dos melhores vetores de estado que representa o vetor de referência, os vetores de estado são aplicados nas chaves semicondutoras em baixa frequência de comutação, diferente da modulação SVPWM que é modulada em largura de pulso de alta frequência [33].

A Figura 2.41 mostra a forma de onda do sinal de saída v_o com cinco níveis e o sinal de referência v_{ref} , onde se observa que o sinal de saída em forma de degraus, razão pela qual este tipo de modulação pode ser chamado de modulação em escada.

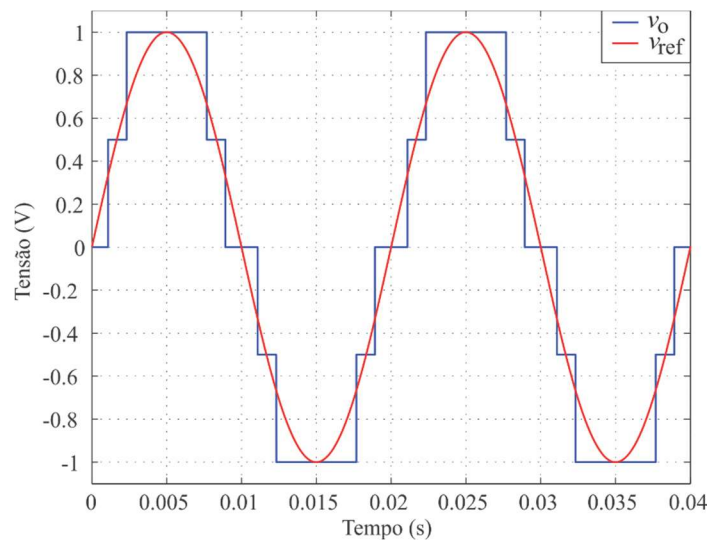


Figura 2.41 – Sinal de saída e de referência para inversor com cinco níveis.

A vantagem desta técnica é que comutando em baixa frequência, possibilita o uso de dispositivos semicondutores de elevada potência, como por exemplo o tiristor GTO (*Gate Turn Off*). Quanto a desvantagem, o sinal de saída apresenta vários harmônicos de baixa frequência e também necessita que a tensão de entrada CC seja variável para se obter amplitude correta nos níveis de saída e portanto, é preferível implementar esta técnica nos inversores de níveis elevados, para que haja uma redução nos harmônicos porém, implica em um controle bem mais complexo para se calcular o vetor de estado, para a comutação no instante apropriado.

Esta técnica de modulação é preferencialmente utilizada em conversores de potências elevadas, como em sistemas de distribuição e transmissão, onde deve-se manter a frequência de chaveamento a menor possível, objetivando uma maior redução nas perdas das chaves semicondutoras.

2.5.5 Modulação com eliminação seletiva de harmônicos

A técnica de modulação com eliminação seletiva de harmônicos, conhecida por modulação SHE (*Selective Harmonic Elimination*), consiste em cancelar os harmônicos mais

próximos à frequência fundamental do sinal de saída a ser sintetizado. Para isto, deve-se escolher a posição dos ângulos de disparo das chaves de potência, que provoque este cancelamento. Esta técnica é normalmente aplicada nos inversores convencionais monofásicos ou trifásicos e nos inversores multiníveis do tipo CHB.

A modulação SHE oferece ótimo desempenho em baixas frequências de comutação, mas o controle para determinar os ângulos de acionamento envolve cálculo avançado.

Para que se entenda como a modulação SHE opera, é efetuada a análise para uma ponte monofásica de onda completa, como mostra a Figura 2.42 a estrutura e a Figura 2.43 sua forma de onda de saída, com os três níveis de tensão.

A determinação dos ângulos de disparo das chaves deve ser feita em $1/4$ do período, ou seja, entre $(0^\circ \text{ e } 90^\circ)$, pois neste intervalo o sinal de saída da ponte, mostrado na Figura 2.43 possui simetria ímpar, e portanto, estes mesmos ângulos irão se repetir nos outros $3/4$ de período. Nesta figura, constata-se que ocorrem N comutações das chaves, correspondendo a N ângulos de disparo $(\alpha_1, \alpha_2, \alpha_3 \dots \alpha_N)$, durante $1/4$ de período da frequência fundamental.

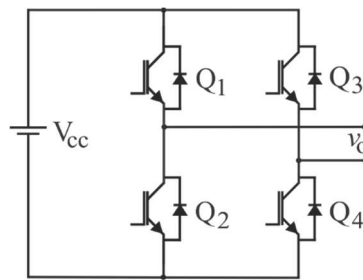


Figura 2.42 – Ponte H monofásica.

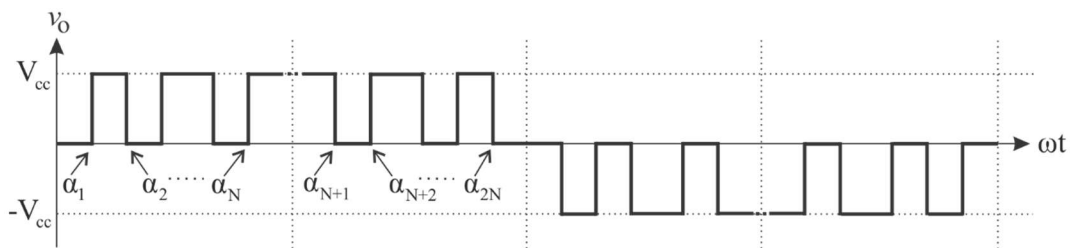


Figura 2.43 – Sinal de saída da ponte H monofásica.

Aplicando a série de Fourier e levando em consideração a simetria ímpar, que faz a componente CC e todos os harmônicos pares serem nulos, a expressão de saída é dada por:

$$v_o(t) = \sum_{n=1}^{\infty} a_n \sin(n\omega t) \quad (2.24)$$

Onde:

$$a_n = \frac{4V_{cc}}{n\pi} \sum_{k=1}^N (-1)^{k+1} \cos(n\alpha_k) \quad (2.25)$$

Sendo:

- (N) O número de ângulos de disparo, durante 1/4 de período
- (α_k) São os ângulos de disparo
- (n) A ordem do harmônico ímpar
- (a_n) A amplitude da cada harmônico

O emprego desta técnica garante a eliminação ($N - 1$) harmônicos na tensão de saída. Porém, o uso da equação (2.25) para a determinação dos ângulos de disparo das chaves de potência, envolve a resolução de sistema de equações não lineares de ordem N, que torna este método bastante trabalhoso e complexo, motivo pelo qual o mesmo é pouco utilizado. Esta técnica é aplicada em [34] para um inversor multinível com diodos de grameamento.

2.6 Parâmetro de desempenho

Dentre os diversos parâmetros de desempenho tais como: tensão nas chaves de potência, taxa de distorção harmônica total, frequência de chaveamento, perdas nas chaves e outros para os multiníveis, a taxa de distorção harmônica total (THD) é o parâmetro de desempenho que se pretende melhorar nos inversores NPC estudados neste trabalho.

Utilizando modulação PWM surge na saída componentes harmônicas cujas amplitudes indicam se o inversor e a modulação empregada foram escolhidos corretamente. Na modulação PWM o espectro de frequência do sinal de saída, é normalmente do tipo mostrado na Figura 2.44, sendo f_m a frequência da fundamental e f_s a frequência de chaveamento, onde se constata a presença de componentes harmônicas próximas aos múltiplos da frequência de chaveamento.

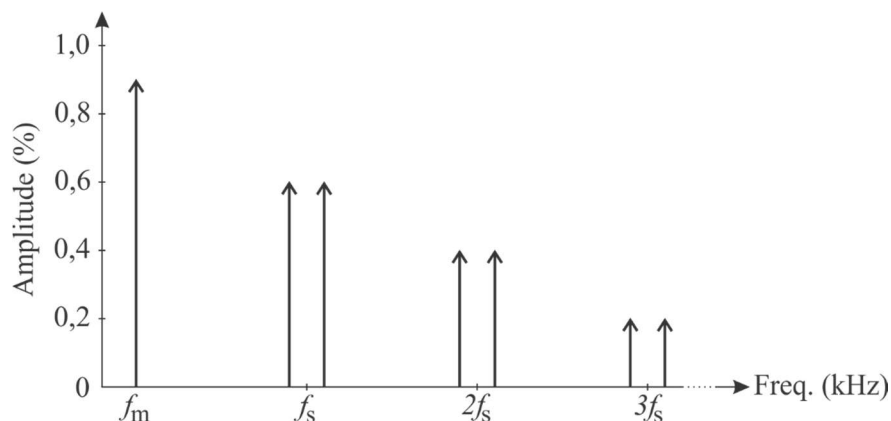


Figura 2.44 – Espectro do sinal de saída para inversor empregando modulação PWM

A THD é calculada a partir das amplitudes destas componentes harmônicas obtidas do espectro, sendo computadas a maior quantidade possível de componentes harmônicas, por exemplo, até mil vezes a frequência da fundamental. A THD indica quanto o sinal de saída do inversor se aproxima do sinal de referência fundamental e pode ser calculado pela expressão (2.26), onde V_1 é a amplitude do sinal da fundamental e V_n representa a amplitude de cada componente harmônica presente no sinal de saída.

$$\text{THD} = \left(\frac{\sqrt{\sum_{n=2}^{\infty} V_n^2}}{V_1} \right) 100\% \quad (2.26)$$

Vale salientar que as entidades internacionais como IEC (*International Electrotechnical Commission*) e IEEE (*Institute of Electrical and Electronics Engineers*) e também as nacionais ANEEL (*Agência Nacional de Energia Elétrica*) e ONS (*Operador Nacional do Sistema Elétrico*) utilizam a THD como critério para controle e avaliação do conteúdo harmônico da tensão dos sistemas elétricos. Neste trabalho, a THD da tensão de saída é utilizada como parâmetro para avaliar a qualidade do sinal fornecido pelo inversor NPC assimétrico, utilizando a técnica de modulação proposta.

2.6 Configurações sugeridas na Literatura de inversores NPC assimétricos

No artigo [35] é sugerido um inversor monofásico assimétrico com diodos de grameamento de quatro níveis, mostrado na Figura 2.45.

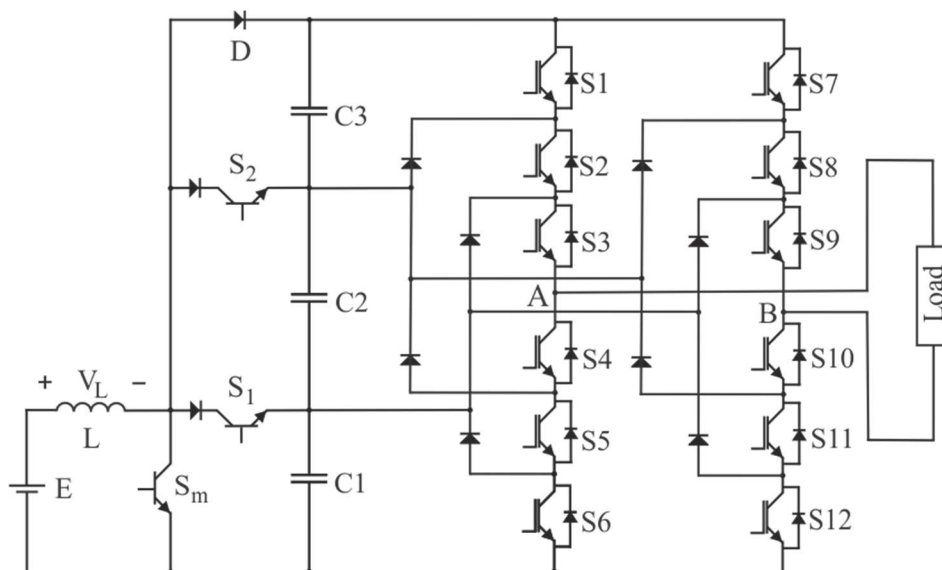


Figura 2.45 – Inversor NPC assimétrico de quatro níveis com conversor MOB.

A obtenção dos níveis de entrada é feita através de um conversor CC elevador de múltiplas saídas, chamado de MOB (*Multi Output Boost*). Os níveis assimétricos gerados pelo MOB são: $V_{C1}=1/2V_{cc}$ e $V_{C2}=V_{C3}=1/4V_{cc}$. A combinação destes níveis e de acordo com a estratégia de modulação utilizada, obtém-se na saída nove níveis, dois a mais que o inversor simétrico de quatro níveis.

Na Figura 2.46 é proposto por [8], um inversor monofásico assimétrico com diodos de grameamento de quatro níveis, para obtenção de nove níveis na saída, utilizando também um conversor CC de três saídas, aqui chamado de Boost-3OVS (*Boost 3 Output Voltage Sharing*).

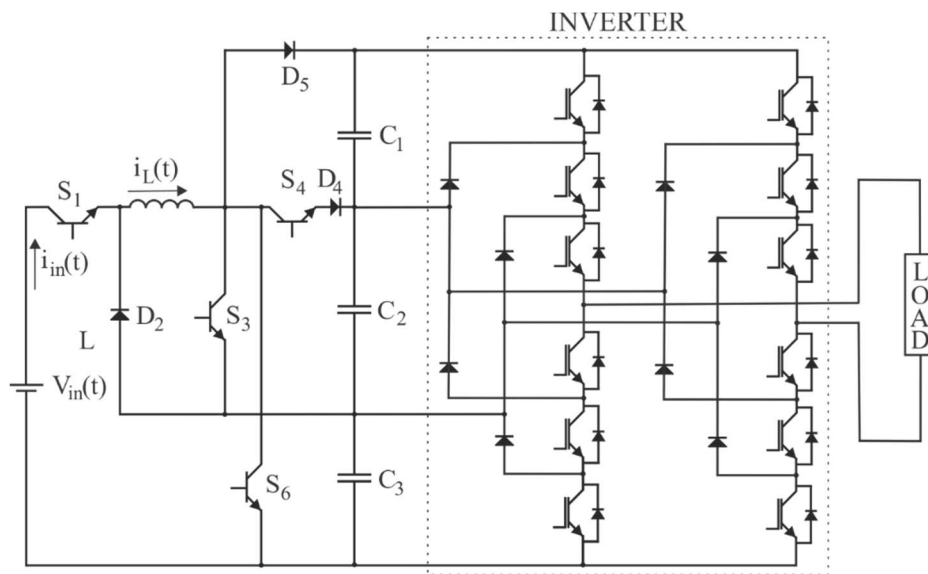


Figura 2.46 – Inversor NPC assimétrico de quatro níveis alimentado por Boost-3OVS.

A idéia sugerida em [36] é na obtenção de um inversor monofásico assimétrico de cinco níveis, utilizando um braço de NPC de três níveis conectado em cascata com meia ponte H de dois níveis, perfazendo cinco níveis na saída, como pode ser visto na Figura 2.47 logo abaixo.

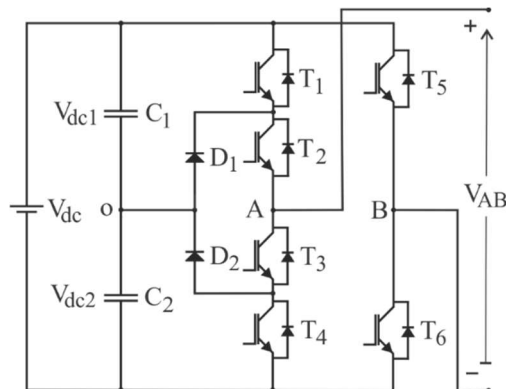


Figura 2.47 – Inversor monofásico assimétrico de cinco níveis.

O circuito da Figura 2.47 tem como principal vantagem o fato de utilizar duas chaves de potência e dois diodos de grampeamento a menos que a topologia do inversor NPC simétrico de cinco níveis apresenta.

A configuração apresentada em [37] mostrada na Figura 2.48, constitui um inversor assimétrico formado por um ANPC de três níveis em cascata com uma ponte H com capacitor flutuante. Os três níveis do ANPC com os dois da ponte H, sintetiza sete níveis na saída do braço. A vantagem desta estrutura é utilizar duas chaves e oito diodos a menos que o inversor simétrico com diodo de grampeamento de quatro níveis equivalente.

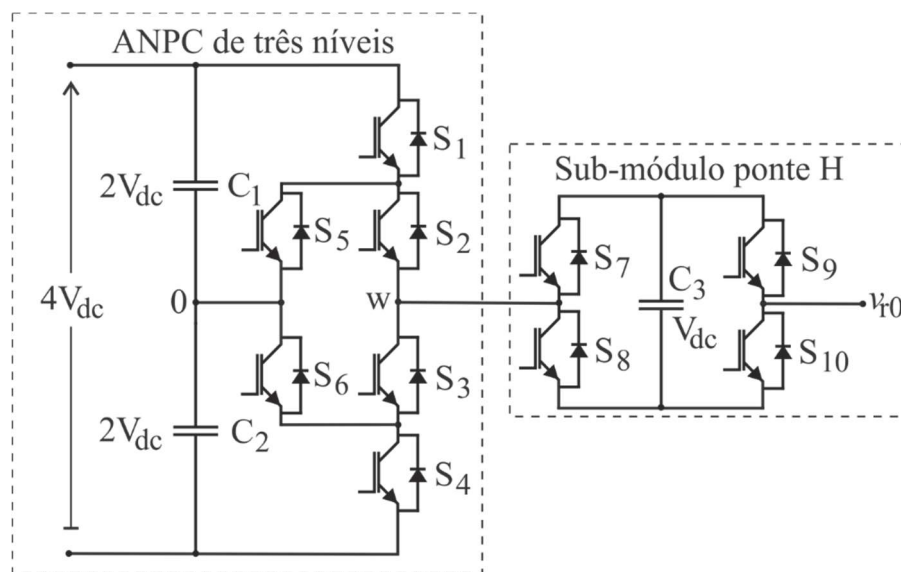


Figura 2.48 – Inversor ANPC cascadeado com ponte H.

2.7 Conclusão

Neste capítulo foi efetuada uma revisão bibliográfica sobre as várias topologias de inversores, começando pelas três principais: NPC, FCC e CHB, onde se verificou que o inversor NPC possui a vantagem de utilizar apenas uma fonte no barramento CC e como desvantagem o balanceamento das tensões dos capacitores ser de difícil controle. O inversor FCC que limita naturalmente o estresse por dv/dt sobre os dispositivos, mas necessita de controle para balanceamento dos capacitores. Enquanto o inversor CHB é o que utiliza o menor número de componentes, mas apresenta como desvantagem a necessidade de fontes isoladas para cada ponte monofásica.

Em seguida foram apresentadas outras estruturas de inversores multiníveis, obtidas a partir das topologias principais, sendo estudadas mais quatro tipos: o inversor ANPC, que apresenta uma distribuição regular de potência para as chaves; o inversor multinível

generalizado que permite o auto balanceamento dos níveis de entrada, em contrapartida é a topologia que utiliza o maior número de componentes; o inversor multinível assimétrico que apresenta mais níveis na tensão de saída, porém necessita várias fontes distintas na entrada.; e o inversor MMC que é facilmente expansível e só utiliza uma fonte na entrada, mas que exige um controle individual da tensão dos capacitores.

Ainda neste capítulo, foi estudada os principais tipos de modulação aplicadas aos inversores multiníveis: modulação PWM e suas variações, modulação SVPWM, modulação multinível híbrida, modulação com controle vetorial e modulação por eliminação seletiva de harmônicos. Foi constatado que as duas técnicas de modulação mais utilizadas são: a PWM baseada em portadoras e a SVPWM que é a mais empregada em sistemas trifásicos.

Quanto as configurações de outros inversores NPC assimétricos encontrados na revisão bibliográfica, se verificou em todos os casos estudados, que apresentam menos níveis na tensão de saída que os inversores NPC assimétricos apresentados neste trabalho.

Nesta dissertação, o inversor multinível monofásico assimétrico com diodos de grampeamento é objeto de estudo teórico e experimental, sendo proposta uma técnica de modulação para estas estruturas, visando melhorar a THD do sinal de saída.

Capítulo 3

Inversor NPC Assimétrico e Técnica de Modulação Empregada

3.1 Introdução

Neste capítulo são apresentadas as topologias de inversores com diodos de grampeamento, dividida em dois tipos: os inversores NPC simétricos, que se caracterizam por apresentarem as tensões iguais em todos os capacitores ligados em série e conectados ao barramento CC. E os inversores NPC assimétricos que se caracterizam por apresentarem tensões distintas nos capacitores de entrada.

São analisadas as topologias simétricas e assimétricas para os inversores multiníveis monofásicos com diodos de grampeamento, contendo três, quatro e cinco níveis por braço. Para cada inversor apresenta-se: a estrutura, princípio de funcionamento, principais sinais elétricos, equacionamentos, vantagens, desvantagens e o modulador PWM utilizado.

A técnica de modulação para os inversores NPC assimétricos é apresentada, com a generalização do seu uso para inversores com n níveis no barramento de entrada e no final do capítulo, as principais conclusões referentes aos inversores assimétricos são destacadas.

3.2 Inversor NPC monofásico simétrico de três níveis

A estrutura básica de um inversor monofásico simétrico com diodos de grampeamento de três níveis por braço é apresentada na Figura 3.1, onde se observa que este inversor é constituído por quatro chaves semicondutoras de potência e dois diodos de comutação rápida por braço, acrescidos de dois capacitores iguais e conectados em série, que dividem igualmente a tensão do barramento CC.

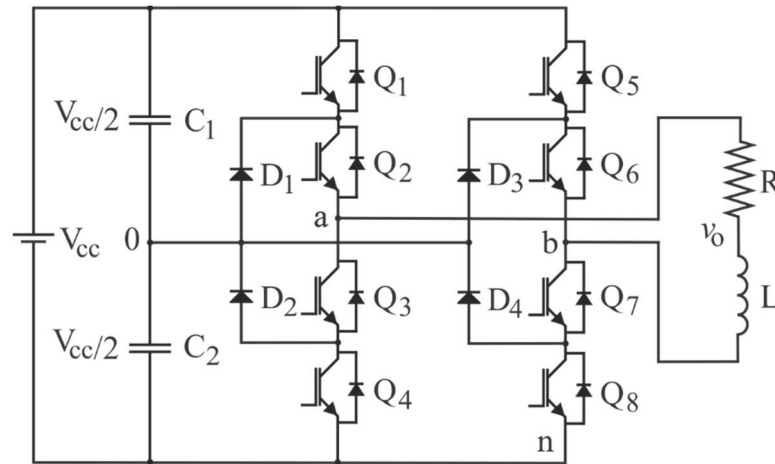


Figura 3.1 – Inversor NPC monofásico simétrico três níveis por braço.

3.2.1 Princípio de funcionamento

Quando analisado o braço do inversor NPC na seção 2.3.1 se verificou que a tensão do braço pode assumir os valores $(-1/2V_{cc}, 0 \text{ e } 1/2V_{cc})$, razão pela qual esta estrutura é chamada de três níveis. Agora, no circuito completo da Figura 3.1, para determinar a tensão de saída v_o deve-se utilizar a equação 2.1, que representa a diferença entre as tensões de polo v_{a0} e v_{b0} dos braços (a) e (b) respectivamente.

A Tabela 3.1 mostra as tensões nos braços e de saída para o inversor NPC monofásico simétrico de três níveis, em função dos estados das chaves de potência. Onde se constata os três níveis dos braços e os cinco níveis $(-V_{cc}, -1/2V_{cc}, 0, 1/2V_{cc} \text{ e } V_{cc})$ na saída, determinados pela equação (2.2).

Tabela 3.1 – Estado das chaves e tensões nos braços e saída para o inversor NPC simétrico de três níveis.

Estado das Chaves				Tensões Saída/Braços		
Braço (a)		Braço (b)		Braços		Saída
Q ₁	Q ₂	Q ₅	Q ₆	v_{a0}	v_{b0}	$v_o = v_{a0} - v_{b0}$
0	0	1	1	$-1/2V_{cc}$	$1/2V_{cc}$	$-V_{cc}$
0	0	0	1	$-1/2V_{cc}$	0	$-1/2V_{cc}$
0	1	0	1	0	0	0
0	1	0	0	0	$-1/2V_{cc}$	$1/2V_{cc}$
1	1	0	0	$1/2V_{cc}$	$-1/2V_{cc}$	V_{cc}

Nesta tabela, apenas os estados das chaves superiores Q₁ e Q₂ do braço (a) e Q₅ e Q₆ do braço (b) são mostradas, pois nas estruturas NPC, as chaves inferiores são complementares das

superiores, ou seja, (Q_1/Q_3) , (Q_2/Q_4) , (Q_5/Q_7) e (Q_6/Q_8) formam os pares complementares.

Na Figura 3.2 é apresentado o aspecto da forma de onda para o sinal de saída, onde pode ser identificado a presença dos cinco níveis.

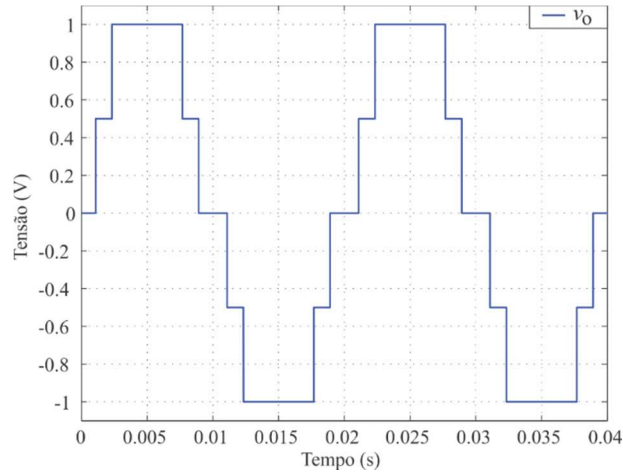


Figura 3.2 – Aspecto do sinal de saída para o inversor NPC de três níveis.

3.2.2 Modulador PWM para o inversor NPC simétrico de três níveis

Observando a Figura 3.2 constata-se que a tensão em cada nível está constante, indicando que este sinal não se encontra modulado, tendo um forte conteúdo harmônico, com baixa qualidade e elevada THD. Para melhorar a qualidade do sinal, deve ser empregada a modulação utilizando portadoras de alta frequência.

A Figura 3.3 apresenta o circuito típico de um modulador PWM para inversor multinível NPC monofásico simétrico de três níveis.

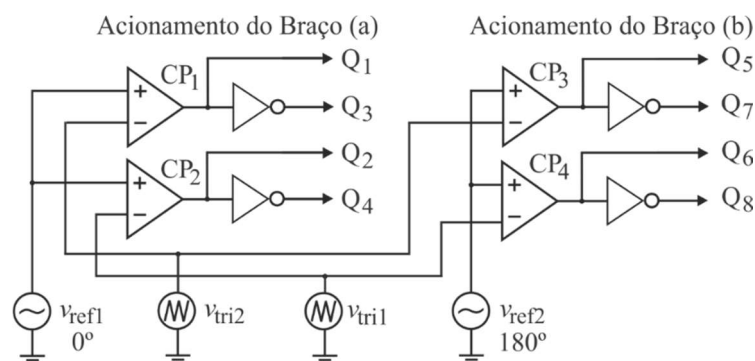


Figura 3.3 – Modulador PWM para inversor NPC simétrico de três níveis.

Neste trabalho é utilizada a técnica de modulação por largura de pulso baseada em portadoras. Entre os diversos tipos de modulação PWM, a modulação PWM com portadoras

deslocadas em nível e dispostas em fase, conhecida por modulação PD-PWM é a selecionada, pois este tipo de modulação apresenta uma taxa de distorção harmônica melhor, se comparada as demais modulações PWM, também com portadoras deslocadas em nível: POD-PWM e APOD-PWM.

Observando a Figura 3.3 pode-se ver que o circuito é composto por quatro comparadores (CP_1 , CP_2 , CP_3 e CP_4), quatro inversores lógicos, duas portadoras v_{tri1} e v_{tri2} de alta frequência deslocadas em nível e dois sinais modulantes de referência v_{ref1} e v_{ref2} do tipo senoidal defasados entre si de 180° .

Os comparadores CP_1 e CP_2 em conjunto com o sinal de referência v_{ref1} e as duas portadoras, são responsáveis pelo acionamento das chaves do braço (a) e os comparadores CP_3 e CP_4 acionam as chaves de potência do braço (b), através de v_{ref2} e das portadoras.

A Tabela 3.2 e a Tabela 3.3 mostram os estados das chaves em função do resultado da comparação entre as portadoras e os sinais de referência para os braços (a) e (b) respectivamente, apresentado a tensão de saída do braço.

Tabela 3.2 – Estado das chaves e tensão do braço (a) em função das saídas dos comparadores do modulador PWM para inversor NPC simétrico de três níveis.

Comparação entre a Referência e Triangulares	Estado das Chaves do Braço (a)				Tensão do Braço v_{a0}
	Q_1	Q_2	Q_3	Q_4	
$v_{ref1} < v_{tri1}$	0	0	1	1	$-1/2V_{cc}$
$v_{ref1} > v_{tri1} \ \& \ v_{ref1} < v_{tri2}$	0	1	1	0	0
$v_{ref1} > v_{tri2}$	1	1	0	0	$1/2V_{cc}$

Tabela 3.3 – Estado das chaves e tensão do braço (b) em função das saídas dos comparadores do modulador PWM para inversor NPC simétrico de três níveis.

Comparação entre a Referência e Triangulares	Estado das Chaves do Braço (b)				Tensão do Braço v_{b0}
	Q_5	Q_6	Q_7	Q_8	
$v_{ref2} < v_{tri1}$	0	0	1	1	$-1/2V_{cc}$
$v_{ref2} > v_{tri1} \ \& \ v_{ref2} < v_{tri2}$	0	1	1	0	0
$v_{ref2} > v_{tri2}$	1	1	0	0	$1/2V_{cc}$

A portadora v_{tri1} com referência em $-1V$ e v_{tri2} em $0V$, ambas com de amplitude de $1V$. As modulantes com amplitude próxima a $1V$ dependendo do índice de modulação. Consultando as Tabelas 3.2 e 3.3 e calculando a ddp entre as tensões dos braços, tem-se na saída do inversor, cinco níveis de tensão ($-V_{cc}$, $-1/2V_{cc}$, 0 , $1/2V_{cc}$ e V_{cc}), conforme a Tabela 3.1.

3.2.3 Sinais elétricos do modulador e na saída do inversor

Na Figura 3.4 é mostrado os dois sinais das portadoras v_{tri1} e v_{tri2} e os dois sinais de referência v_{ref1} e v_{ref2} , presentes no circuito do modulador. Na Figura 3.5 tem-se os sinais de saída dos braços v_{a0} e v_{b0} , onde se identifica os três níveis de tensão. Ainda na Figura 3.5 o sinal resultante de saída v_o , com os cinco níveis modulados em largura de pulso é apresentado.

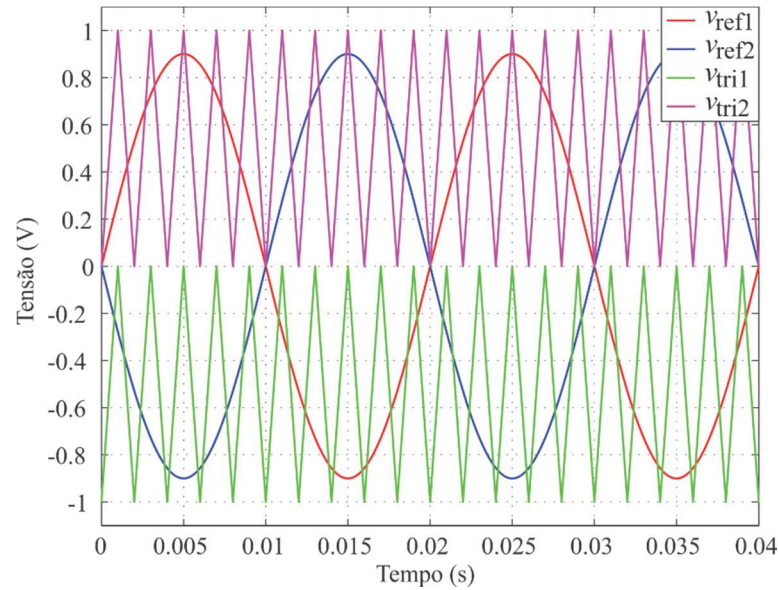


Figura 3.4 – Sinais de portadoras e referências do modulador PWM para inversor NPC simétrico com três níveis.

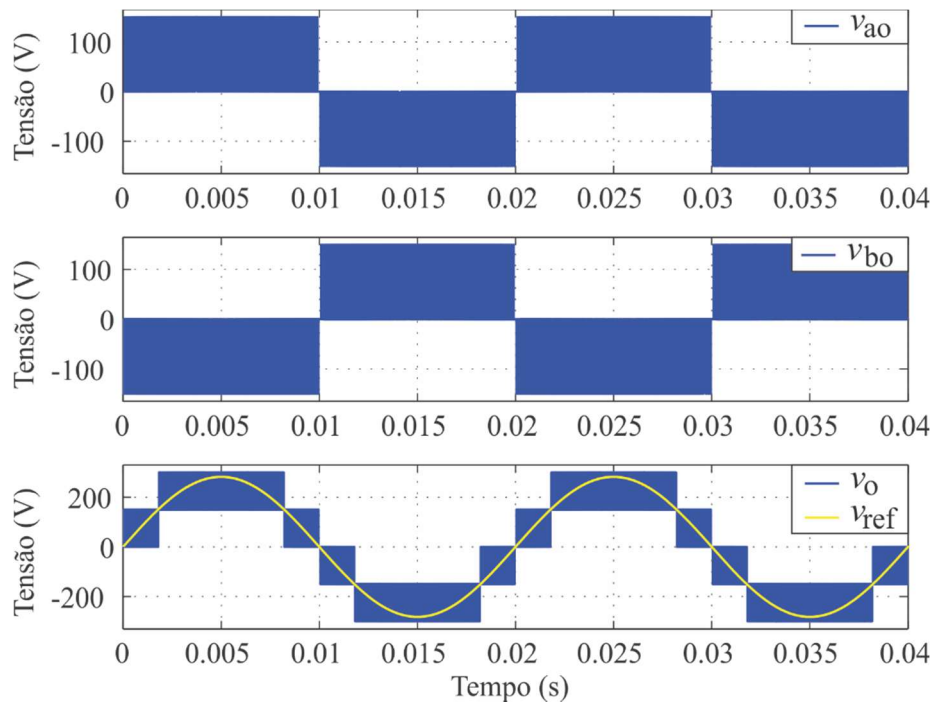


Figura 3.5 – Tensão dos braços e da saída do inversor NPC simétrico de três níveis.

3.3 Inversor NPC monofásico assimétrico de três níveis

O diagrama elétrico do inversor monofásico assimétrico de três níveis com diodos de grampeamento, é apresentado na Figura 3.6. Como se pode observar, a estrutura é praticamente a mesma utilizada no inversor NPC monofásico simétrico de três níveis da Figura 3.1. A única diferença é que no inversor assimétrico utiliza-se duas fontes V_{cc1} e V_{cc2} ligadas em série para formar o barramento CC, sendo $V_{cc1} = 2/3V_{cc}$ e $V_{cc2} = 1/3V_{cc}$, fazendo com que a tensão total do barramento seja dada por: $V_{cc} = V_{cc1} + V_{cc2}$. O critério da escolha destas tensões para o barramento do inversor assimétrico de três níveis, é para que se possa obter os mesmos sete níveis na tensão de saída, como apresentado pelo inversor simétrico com diodos de grampeamento de quatro níveis.

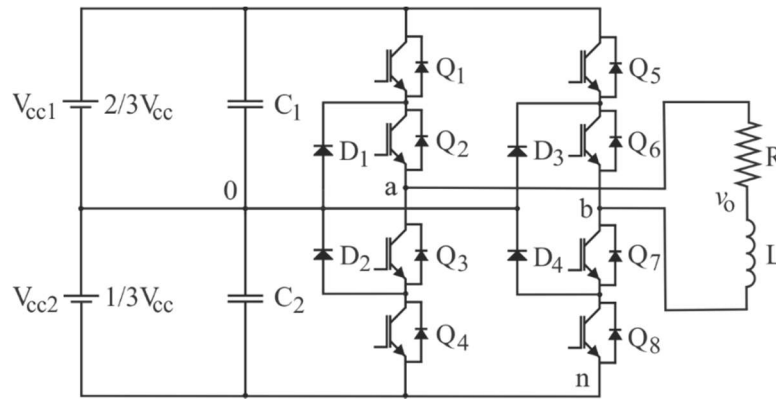


Figura 3.6 – Inversor NPC monofásico assimétrico de três níveis por braço.

3.3.1 Princípio de funcionamento

Na seção 2.3.1 foi visto que a tensão na saída de um braço NPC de três níveis, pode assumir três valores, ocorrendo o mesmo com o circuito do inversor NPC assimétrico da Figura 3.6 porém, como as tensões do barramento CC são $1/3V_{cc}$ e $2/3V_{cc}$, tem-se para a tensão v_{an} do braço os valores $(0, 1/3V_{cc}$ e $V_{cc})$. Fazendo com que seja possível na tensão de saída v_o entre os dois braços obter sete níveis, dois a mais que o inversor NPC simétrico de três níveis, visto na seção 3.2 previamente.

A Tabela 3.4 mostra as tensões dos braços e de saída para o inversor NPC monofásico assimétrico de três níveis por braço, em função dos estados das chaves de potência, onde se verifica os três níveis assimétricos dos braços $(0, 1/3V_{cc}$ e $V_{cc})$ e os sete níveis na tensão de saída $(-V_{cc}, -2/3V_{cc}, -1/3V_{cc}, 0, 1/3V_{cc}, 2/3V_{cc}$ e $V_{cc})$. Estes estados foram escolhidos para que as perdas nas chaves sejam mínimas.

Tabela 3.4 – Estado das chaves e tensões nos braços e saída para o inversor NPC assimétrico de três níveis.

Estado das Chaves de Potência				Tensões Saída/Braços		
Braço (a)		Braço (b)		Braços		Saída
Q_1	Q_2	Q_5	Q_6	v_{an}	v_{bn}	$v_o = v_{an} - v_{bn}$
0	0	1	1	0	V_{cc}	$-V_{cc}$
0	1	1	1	$1/3V_{cc}$	V_{cc}	$-2/3V_{cc}$
0	0	0	1	0	$1/3V_{cc}$	$-1/3V_{cc}$
0	0	0	0	0	0	0
0	1	0	0	$1/3V_{cc}$	0	$1/3V_{cc}$
1	1	0	1	V_{cc}	$1/3V_{cc}$	$2/3V_{cc}$
1	1	0	0	V_{cc}	0	V_{cc}

Na Figura 3.7 é apresentado o aspecto da forma de onda para o sinal de saída para o inversor NPC assimétrico de três níveis, onde se pode identificar os sete níveis na tensão de saída.

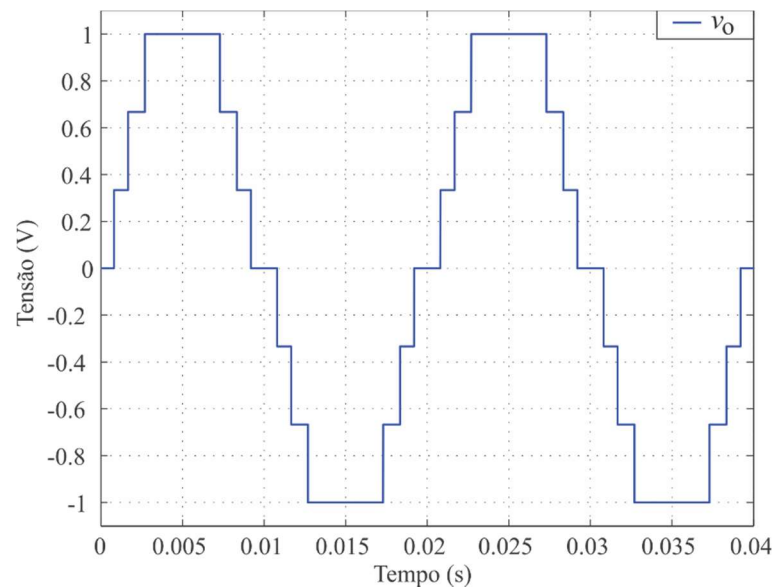


Figura 3.7 – Aspecto do sinal de saída para o inversor NPC assimétrico de três níveis.

3.3.2 Sinais elétricos na saída do inversor

A Figura 3.8 apresenta os sinais dos braços v_{an} e v_{bn} , onde constata-se os três níveis assimétricos para a tensão e o sinal resultante de saída v_o , apresentando sete níveis modulados em largura de pulso.

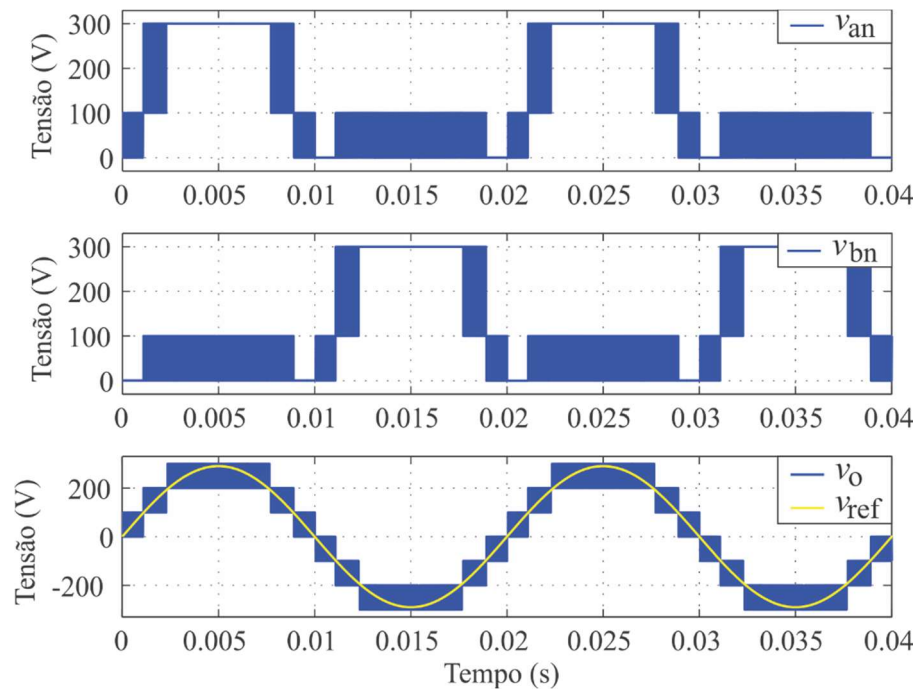


Figura 3.8 – Tensão dos braços e da saída do inversor NPC assimétrico de três níveis.

3.4 Inversor simétrico com diodos de grampeamento de quatro níveis

O diagrama elétrico do inversor monofásico simétrico com diodos de grampeamento de quatro níveis por braço é apresentado na Figura 3.9. Este inversor é constituído por seis chaves semicondutoras e quatro diodos por braço, acrescidos de três capacitores iguais e ligados em série no barramento CC, todos apresentando a mesma tensão igual a $V_{cc}/3$.

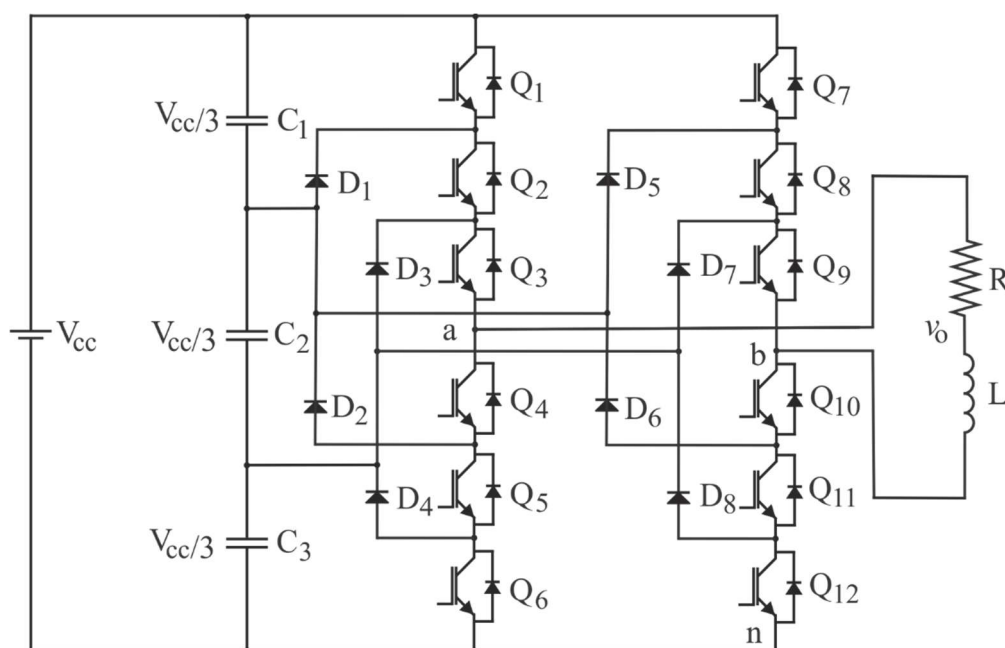


Figura 3.9 – Inversor monofásico simétrico de quatro níveis por braço.

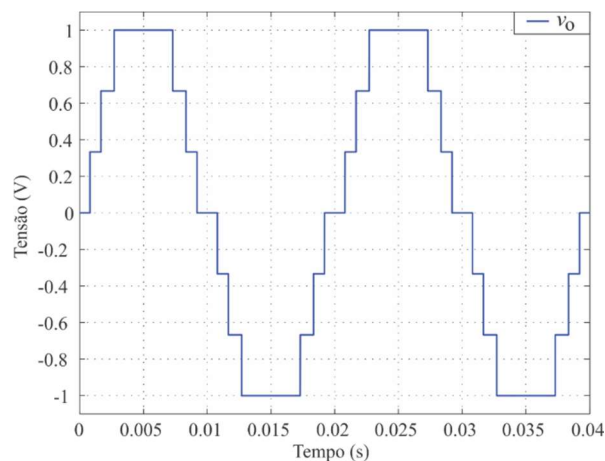
3.4.1 Princípio de funcionamento

Como já visto na seção 2.3.1, o braço do inversor simétrico de quatro níveis pode assumir os valores $(0, 1/3V_{cc}, 2/3V_{cc}$ e $V_{cc})$. A Tabela 3.5 mostra as tensões dos braços e de saída para o inversor simétrico de quatro níveis, em função dos estados das chaves de potência. Estes estados foram escolhidos para que as perdas nas chaves sejam mínimas.

Tabela 3.5 – Estado das chaves e tensões nos braços e saída para o inversor simétrico com diodos de grampeamento de quatro níveis.

Estado das Chaves de Potência						Tensões Saída/Braços		
Braço (a)			Braço (b)			Braços		Saída
Q_1	Q_2	Q_3	Q_7	Q_8	Q_9	v_{an}	v_{bn}	v_o
0	0	0	1	1	1	0	V_{cc}	$-V_{cc}$
0	0	0	0	1	1	0	$2/3V_{cc}$	$-2/3V_{cc}$
0	0	0	0	0	1	0	$1/3V_{cc}$	$-1/3V_{cc}$
0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	$1/3V_{cc}$	0	$1/3V_{cc}$
0	1	1	0	0	0	$2/3V_{cc}$	0	$2/3V_{cc}$
1	1	1	0	0	0	V_{cc}	0	V_{cc}

Ainda na Tabela 3.5, constata-se os quatro níveis do braço e sete níveis na saída v_o entre os dois braços $(-V_{cc}, -2/3V_{cc}, -1/3V_{cc}, 0, 1/3V_{cc}, 2/3V_{cc}$ e $V_{cc})$. Apenas as chaves superiores Q_1 , Q_2 e Q_3 do braço (a) e Q_7 , Q_8 e Q_9 do braço (b) são apresentadas, pois nas estruturas NPC, as chaves inferiores são complementares das superiores, onde (Q_1/Q_4) , (Q_2/Q_5) , (Q_3/Q_6) , (Q_7/Q_{10}) , (Q_8/Q_{11}) e (Q_9/Q_{12}) formam pares complementares. A Figura 3.10 mostra o aspecto da saída onde se verifica a presença dos sete níveis.



Na Figura 3.10 – Aspecto do sinal de saída para o inversor NPC simétrico de quatro níveis.

3.4.2 Modulador PWM para o inversor simétrico de quatro níveis

Veja na Figura 3.11 o circuito típico de um modulador PWM para inversor multinível NPC monofásico simétrico de quatro níveis.

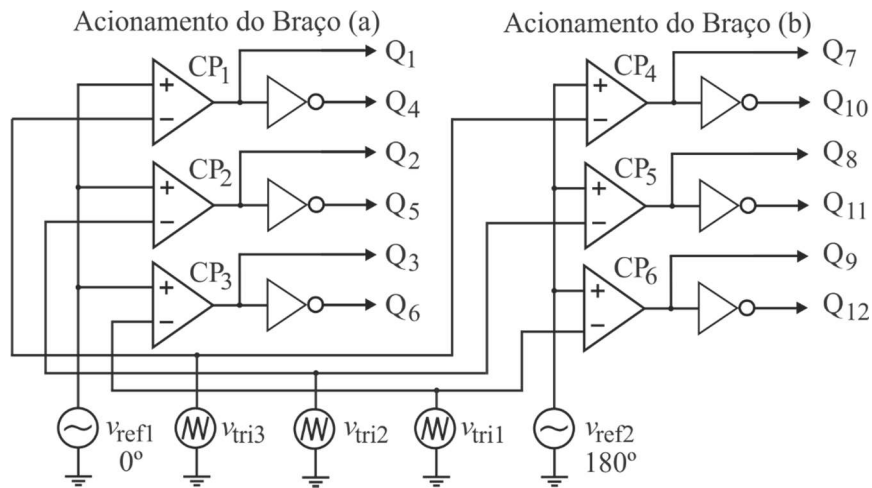


Figura 3.11 – Modulador PWM para inversor simétrico de quatro níveis.

O circuito é constituído por seis comparadores, seis inversores lógicos, três portadoras de alta frequência deslocadas em nível e dois sinais modulantes de referência senoidal defasados entre si de 180°. Os comparadores (CP₁, CP₂ e CP₃), o sinal de referência v_{ref1} e as três portadoras, geram os pulsos PWM para acionar as chaves do braço (a) e os comparadores (CP₄, CP₅ e CP₆) acionam as chaves do braço (b), utilizando v_{ref2} e as portadoras.

As Tabelas 3.6 e 3.7 mostram os estados das chaves superiores e as tensões dos braços (a) e (b), em função da comparação entre as portadoras e os sinais de referência.

A portadora v_{tri1} deve ser posicionada entre (-1V e -1/3V), v_{tri2} entre (-1/3V e 1/3V) e v_{tri3} entre (1/3V e 1V), todas com a mesma amplitude de 2/3V e os sinais de referências com amplitude próxima a unidade, em função do índice de modulação.

Tabela 3.6 – Estado das chaves e tensão do braço (a) em função das saídas dos comparadores do modulador PWM para inversor simétrico de quatro níveis.

Comparação entre a Referência e Triangulares	Estado das Chaves do Braço (a)			Tensão no Braço v_{an}
	Q ₁	Q ₂	Q ₃	
$v_{ref1} < v_{tri1}$	0	0	0	0
$v_{ref1} > v_{tri1} \ \& \ v_{ref1} < v_{tri2}$	0	0	1	$1/3V_{cc}$
$v_{ref1} > v_{tri2} \ \& \ v_{ref1} < v_{tri3}$	0	1	1	$2/3V_{cc}$
$v_{ref1} > v_{tri3}$	1	1	1	V_{cc}

Tabela 3.7 – Estado das chaves e tensão do braço (b) em função das saídas dos comparadores do modulador PWM para inversor simétrico de quatro níveis.

Comparação entre a Referência e Triangulares	Estado das Chaves do Braço (b)			Tensão no Braço v_{bn}
	Q_7	Q_8	Q_9	
$v_{ref2} < v_{tri1}$	0	0	0	0
$v_{ref2} > v_{tri1} \ \& \ v_{ref2} < v_{tri2}$	0	0	1	$1/3V_{cc}$
$v_{ref2} > v_{tri2} \ \& \ v_{ref2} < v_{tri3}$	0	1	1	$2/3V_{cc}$
$v_{ref2} > v_{tri3}$	1	1	1	V_{cc}

Com os valores das tensões dos braços presentes nas Tabelas 3.6 e 3.7, constata-se para a saída do inversor, a presença dos sete níveis de tensão, conforme apresentado na Tabela 3.5.

3.4.3 Sinais elétricos do modulador e na saída do inversor

A Figura 3.12 apresenta, os três sinais das portadoras (v_{tri1} , v_{tri2} e v_{tri3}) e os dois de referências (v_{ref1} e v_{ref2}), presentes na entrada do circuito modulador para o inversor simétrico de quatro níveis.

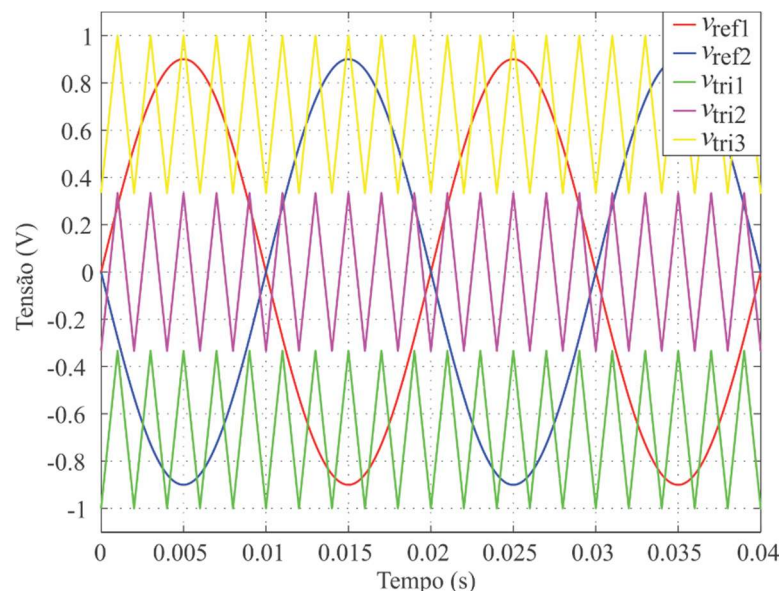


Figura 3.12 – Sinais de portadoras e referências do modulador PWM para o inversor NPC simétrico de quatro níveis.

A Figura 3.13 apresenta os sinais dos braços v_{an} e v_{bn} e a tensão de saída v_o para este inversor, onde se verifica a presença de sete níveis modulados em PWM. Ainda nesta mesma figura, o sinal de referência v_{ref} é mostrado junto com o sinal de saída.

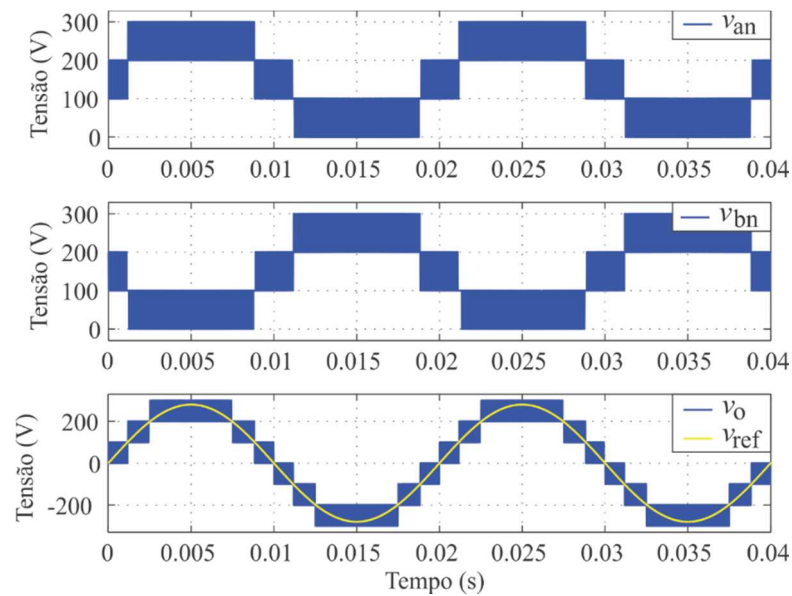


Figura 3.13 – Tensão nos braços e saída do inversor NPC simétrico de quatro níveis.

3.5 Inversor assimétrico com diodos de grampeamento de quatro níveis

O diagrama elétrico do inversor monofásico assimétrico de quatro níveis com diodos de grampeamento, consta na Figura 3.14. A estrutura é praticamente a mesma do inversor monofásico simétrico de quatro níveis mostrado na Figura 3.9. Sendo que no inversor assimétrico são necessárias três fontes (V_{cc1} , V_{cc2} e V_{cc3}) conectadas em série para formar o barramento CC, com ($V_{cc1} = 2/6V_{cc}$, $V_{cc2} = 3/6V_{cc}$ e $V_{cc3} = 1/6V_{cc}$), cuja referência é o negativo (n) do barramento CC e a tensão total de entrada é dada por $V_{cc} = V_{cc1} + V_{cc2} + V_{cc3}$.

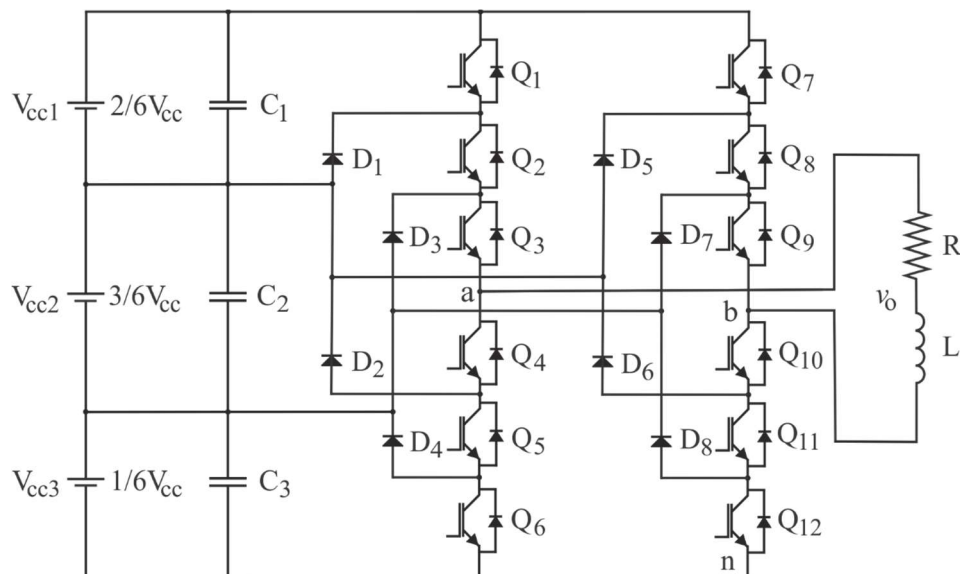


Figura 3.14 – Inversor assimétrico com diodos de grampeamento de quatro níveis por braço.

Durante a abordagem da técnica de modulação empregada para os inversores multiníveis assimétricos, explica-se o porquê da escolha destes valores para as fontes de entrada. A princípio pode-se afirmar que o objetivo é elevar o número de níveis na tensão de saída do inversor, mas mantendo a mesma diferença de potencial entre todos os níveis adjacentes presentes na tensão de saída.

3.5.1 Princípio de funcionamento

Observando o circuito da Figura 3.14, a tensão v_{an} do braço pode assumir os valores $(0, 1/6V_{cc}, 4/6V_{cc} \text{ e } V_{cc})$, fazendo com que seja possível na tensão de saída v_o entre os dois braços, obter treze níveis, seis a mais que o inversor simétrico de quatro níveis, estudado na seção anterior.

A Tabela 3.8 mostra a tensão de saída do inversor monofásico assimétrico de quatro níveis por braço, em função dos estados das chaves de potência, onde se verifica os quatro níveis de tensão nos braços (a) e (b) e os treze níveis $(-V_{cc}, -5/6V_{cc}, -4/6V_{cc}, -3/6V_{cc}, -2/6V_{cc}, -1/6V_{cc}, 0, 1/6V_{cc}, 2/6V_{cc}, 3/6V_{cc}, 4/6V_{cc}, 5/6V_{cc} \text{ e } V_{cc})$ na saída. Na obtenção desta tabela, utiliza-se as chaves superiores de cada braço, tendo em vista que as inferiores são complementares.

Tabela 3.8 – Estado das chaves e tensões nos braços e saída para o inversor assimétrico com diodos de grampeamento de quatro níveis.

Estado das Chaves de Potência						Tensões Saída/Braços		
Braço (a)			Braço (b)			Braços		Saída
Q ₁	Q ₂	Q ₃	Q ₇	Q ₈	Q ₉	v_{an}	v_{bn}	$v_o = v_{an} - v_{bn}$
0	0	0	1	1	1	0	V_{cc}	$-V_{cc}$
0	0	1	1	1	1	$1/6V_{cc}$	V_{cc}	$-5/6V_{cc}$
0	0	0	0	1	1	0	$4/6V_{cc}$	$-4/6V_{cc}$
0	0	1	0	1	1	$1/6V_{cc}$	$4/6V_{cc}$	$-3/6V_{cc}$
0	1	1	1	1	1	$4/6V_{cc}$	V_{cc}	$-2/6V_{cc}$
0	0	0	0	0	1	0	$1/6V_{cc}$	$-1/6V_{cc}$
0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	$1/6V_{cc}$	0	$1/6V_{cc}$
1	1	1	0	1	1	V_{cc}	$4/6V_{cc}$	$2/6V_{cc}$
0	1	1	0	0	1	$4/6V_{cc}$	$1/6V_{cc}$	$3/6V_{cc}$
0	1	1	0	0	0	$4/6V_{cc}$	0	$4/6V_{cc}$
1	1	1	0	0	0	V_{cc}	$1/6V_{cc}$	$5/6V_{cc}$
1	1	1	0	0	0	V_{cc}	0	V_{cc}

3.5.2 Sinais elétricos na saída do inversor

A Figura 3.15 apresenta os sinais de saída dos braços v_{an} e v_{bn} , onde constata-se os quatro níveis e na saída v_o são verificados treze níveis de tensão, todos modulados em PWM.

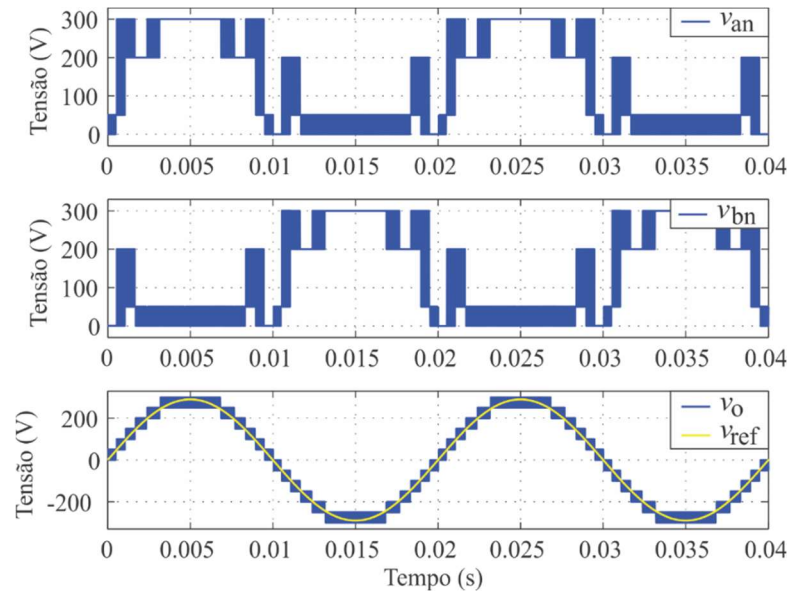


Figura 3.15 – Tensão nos braços e saída do inversor NPC assimétrico de quatro níveis.

3.6 Inversor NPC monofásico simétrico de cinco níveis

O diagrama elétrico deste inversor é apresentado na Figura 3.16. Ele é composto por oito transistores de potência e seis diodos por braço, mais quatro capacitores iguais ligados em série no barramento CC, com a tensão em todos os capacitores iguais a $1/4V_{cc}$.

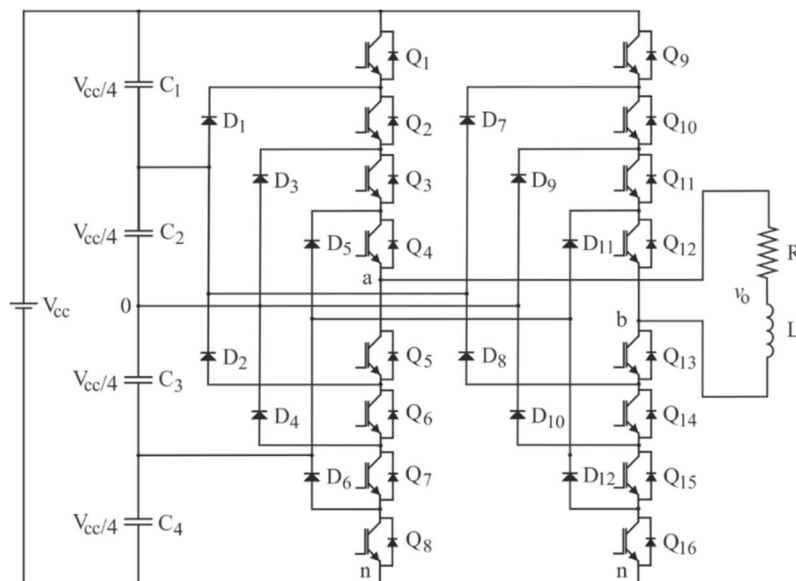


Figura 3.16 – Inversor NPC monofásico simétrico de cinco níveis por braço.

3.6.1 Princípio de funcionamento

O braço do inversor NPC simétrico de cinco níveis pode assumir os valores (0, $1/4V_{cc}$, $2/4V_{cc}$, $3/4V_{cc}$ e V_{cc}), sendo a **ddp** entre todos os níveis adjacentes na entrada a mesma e vale $1/4V_{cc}$. Na Tabela 3.9 a tensão de saída do inversor em função dos estados das chaves de potência é mostrada, onde se constata os cinco níveis por braço e nove níveis na saída ($-V_{cc}$, $-3/4V_{cc}$, $-2/4V_{cc}$, $-1/4V_{cc}$, 0, $1/4V_{cc}$, $2/4V_{cc}$, $3/4V_{cc}$ e V_{cc}). Esta tabela mostra apenas as chaves superiores Q_1 , Q_2 , Q_3 e Q_4 do braço (a) e Q_9 , Q_{10} , Q_{11} e Q_{12} do braço (b), em virtude que na topologia NPC, as chaves inferiores são complementares das superiores, onde (Q_1/Q_5), (Q_2/Q_6), (Q_3/Q_7), (Q_4/Q_8), (Q_9/Q_{13}), (Q_{10}/Q_{14}), (Q_{11}/Q_{15}) e (Q_{12}/Q_{16}) formam pares complementares.

Tabela 3.9 – Estado das chaves e tensões de saída para o inversor NPC simétrico de cinco níveis.

Estado das Chaves de Potência								Tensões Saída/Braços		
Braço (a)				Braço (b)				Braços		Saída
Q_1	Q_2	Q_3	Q_4	Q_9	Q_{10}	Q_{11}	Q_{12}	v_{an}	v_{bn}	$v_o = v_{an} - v_{bn}$
0	0	0	0	1	1	1	1	0	V_{cc}	$-V_{cc}$
0	0	0	0	0	1	1	1	0	$3/4V_{cc}$	$-3/4V_{cc}$
0	0	0	0	0	0	1	1	0	$2/4V_{cc}$	$-2/4V_{cc}$
0	0	0	0	0	0	0	1	0	$1/4V_{cc}$	$-1/4V_{cc}$
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	$1/4V_{cc}$	0	$1/4V_{cc}$
0	0	1	1	0	0	0	0	$2/4V_{cc}$	0	$2/4V_{cc}$
0	1	1	1	0	0	0	0	$3/4V_{cc}$	0	$2/4V_{cc}$
1	1	1	1	0	0	0	0	V_{cc}	0	V_{cc}

A Figura 3.17 mostra o aspecto da saída para o inversor simétrico de cinco níveis por braço, onde se identifica os nove níveis na tensão de saída.

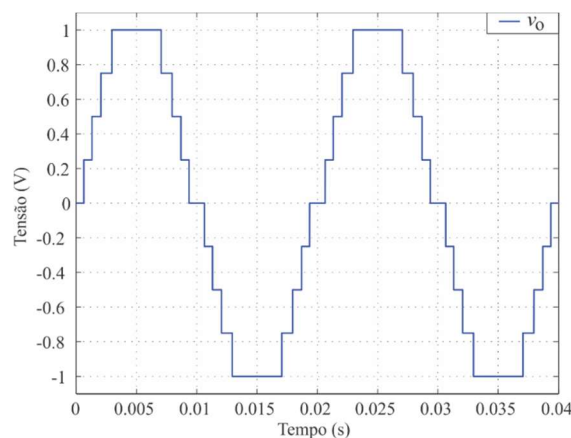


Figura 3.17 – Aspecto do sinal do inversor NPC com nove níveis na saída.

3.6.2 Modulador PWM para o inversor NPC simétrico de cinco níveis

Na Figura 3.18 é apresentado o circuito típico de um modulador PWM para inversor NPC simétrico de cinco níveis.

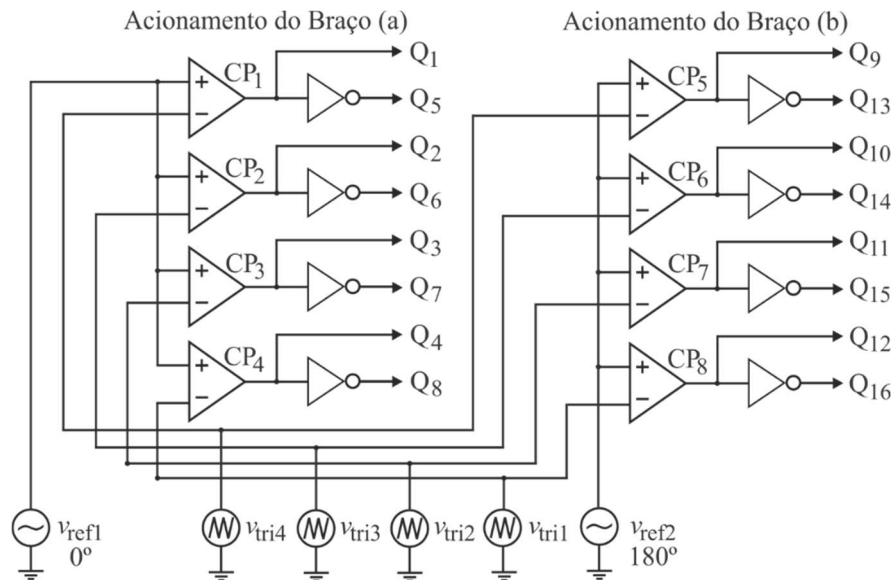


Figura 3.18 – Modulador PWM para inversor NPC simétrico de cinco níveis.

O circuito é composto por oito comparadores, oito inversores lógicos, quatro portadoras deslocadas em nível e dois sinais de referência do tipo senoidal defasados de 180°. Os quatro primeiros comparadores, usando o sinal de referência v_{ref1} e as portadoras, geram os pulsos para as chaves do braço (a) e os quatro últimos acionam as chaves do braço (b), usando o sinal de referência v_{ref2} e as portadoras.

As Tabelas 3.10 e 3.11 mostram os estados das chaves superiores e a tensão dos braços (a) e (b) respectivamente, em função da comparação entre as portadoras e os sinais de referência.

Tabela 3.10 – Estado das chaves e tensão do braço (a) em função das saídas dos comparadores do modulador PWM para o inversor NPC simétrico de cinco níveis.

Comparação entre a Referência e Triangulares	Estado das Chaves Braço (a)				Tensão v_{an}
	Q1	Q2	Q3	Q4	
$v_{ref1} < v_{tri1}$	0	0	0	0	0
$v_{ref1} > v_{tri1} \& v_{ref1} < v_{tri2}$	0	0	0	1	$1/4V_{cc}$
$v_{ref1} > v_{tri2} \& v_{ref1} < v_{tri3}$	0	0	1	1	$2/4V_{cc}$
$v_{ref1} > v_{tri3} \& v_{ref1} < v_{tri4}$	0	1	1	1	$3/4V_{cc}$
$v_{ref1} > v_{tri4}$	1	1	1	1	V_{cc}

Tabela 3.11 – Estado das chaves e tensão do braço (b) em função das saídas dos comparadores do modulador PWM para o inversor NPC simétrico de cinco níveis.

Comparação entre a Referência e Triangulares	Estado das Chaves Braço (b)				Tensão v_{bn}
	Q_9	Q_{10}	Q_{11}	Q_{12}	
$v_{ref2} < v_{tri1}$	0	0	0	0	0
$v_{ref2} > v_{tri1} \& v_{ref2} < v_{tri2}$	0	0	0	1	$1/4V_{cc}$
$v_{ref2} > v_{tri2} \& v_{ref2} < v_{tri3}$	0	0	1	1	$2/4V_{cc}$
$v_{ref2} > v_{tri3} \& v_{ref2} < v_{tri4}$	0	1	1	1	$3/4V_{cc}$
$v_{ref2} > v_{tri4}$	1	1	1	1	V_{cc}

As portadoras (v_{tri1} , v_{tri2} , v_{tri3} e v_{tri4}), todas com amplitude de pico a pico de $1/2V$, devem ser posicionadas nos valores de referência: ($-1V$, $-1/2V$, $0V$ e $1/2V$) respectivamente e as modulantes devem possuir amplitudes de pico próxima a unidade. Portanto, com os braços apresentando cinco níveis, através da equação (2.2) pode-se afirmar que a tensão de saída deste inversor simétrico, possui nove níveis de tensão, conforme mostrado na Tabela 3.9.

3.6.3 Sinais elétricos do modulador e na saída do inversor

A Figura 3.19 mostra a disposição das quatro portadoras triangulares e dos sinais de referências utilizados no circuito do modulador para o inversor simétrico de cinco níveis.

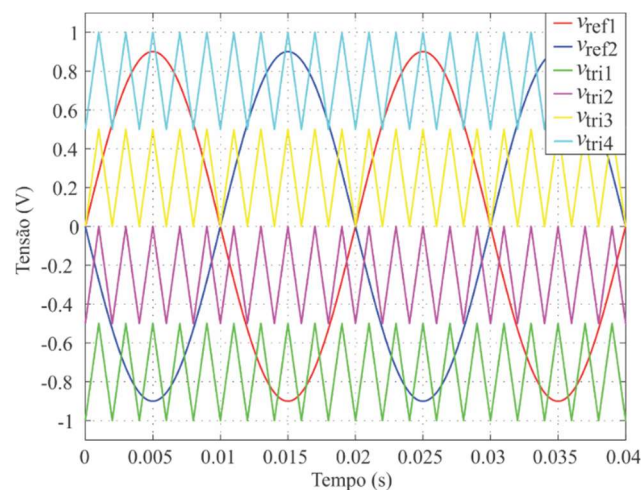


Figura 3.19 – Sinais de portadoras e referências para o modulador PWM do inversor NPC simétrico com cinco níveis.

Os sinais nos braços v_{an} e v_{bn} e da saída v_o modulados em PWM, são apresentados na Figura 3.20, onde se observa claramente os cinco níveis na tensão dos braços e os nove níveis na tensão de saída.

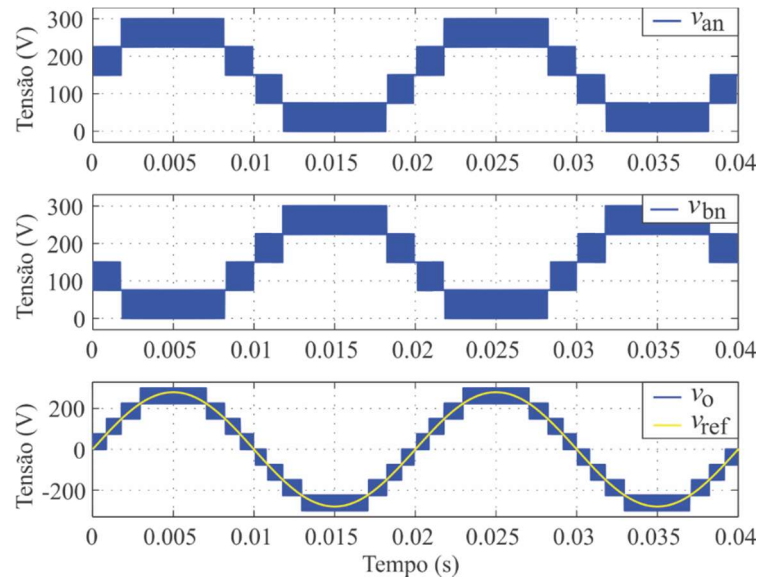


Figura 3.20 – Tensão dos braços e saída do inversor NPC simétrico de cinco níveis.

3.7 Inversor NPC monofásico assimétrico de cinco níveis

O diagrama elétrico do inversor monofásico assimétrico de cinco níveis com diodos de grampeamento, é apresentado na Figura 3.21.

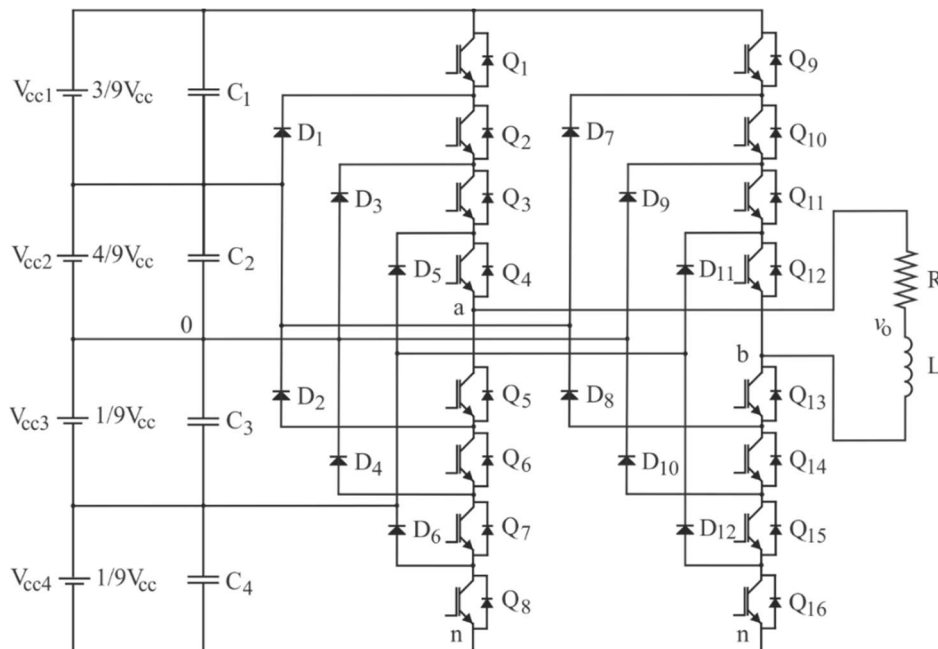


Figura 3.21 – Inversor NPC assimétrico de cinco níveis por braço.

Como se pode observar, a estrutura é praticamente a mesma utilizada do inversor NPC monofásico simétrico de cinco níveis da Figura 3.16. A única diferença é que no inversor assimétrico utiliza-se quatro fontes (V_{cc1} , V_{cc2} , V_{cc3} e V_{cc4}) ligadas em série para formar o

barramento CC, sendo $V_{cc1} = 3/9V_{cc}$, $V_{cc2} = 4/9V_{cc}$, $V_{cc3} = 1/9V_{cc}$ e $V_{cc4} = 1/9V_{cc}$, com a tensão total do barramento CC dada por $V_{cc} = V_{cc1} + V_{cc2} + V_{cc3} + V_{cc4}$.

3.7.1 Princípio de funcionamento

Com os valores das fontes de entrada utilizadas no diagrama elétrico da Figura 3.21 pode-se afirmar que os cinco níveis para os braços v_{an} e v_{bn} são (0, $1/9V_{cc}$, $2/9V_{cc}$, $6/9V_{cc}$ e V_{cc}). Fazendo com que seja possível na tensão de saída v_o entre os dois braços obter dezenove níveis, dez a mais que o inversor NPC simétrico de cinco níveis, visto na seção anterior.

A Tabela 3.12 mostra a tensão de saída do inversor NPC monofásico assimétrico de cinco níveis, em função dos estados das chaves de potência, onde se verifica os cinco níveis assimétricos nos dois braços e os dezenove níveis na saída ($-V_{cc}$, $-8/9V_{cc}$, $-7/9V_{cc}$, $-6/9V_{cc}$, $-5/9V_{cc}$, $-4/9V_{cc}$, $-3/9V_{cc}$, $-2/9V_{cc}$, $1/9V_{cc}$, 0, $1/9V_{cc}$, $2/9V_{cc}$, $3/9V_{cc}$, $4/9V_{cc}$, $5/9V_{cc}$, $6/9V_{cc}$, $7/9V_{cc}$, $8/9V_{cc}$ e V_{cc}).

Tabela 3.12 – Estado das chaves e tensões de saída do inversor NPC assimétrico de cinco níveis.

Estado das Chaves de Potência								Tensões Saída/Braços		
Braço (a)				Braço (b)				Braços		Saída
Q ₁	Q ₂	Q ₃	Q ₄	Q ₉	Q ₁₀	Q ₁₁	Q ₁₂	v_{an}	v_{bn}	$v_o = v_{an} - v_{bn}$
0	0	0	0	1	1	1	1	0	V_{cc}	$-V_{cc}$
0	0	0	1	1	1	1	1	$1/9V_{cc}$	V_{cc}	$-8/9V_{cc}$
0	0	1	1	1	1	1	1	$2/9V_{cc}$	V_{cc}	$-7/9V_{cc}$
0	0	0	0	0	1	1	1	0	$6/9V_{cc}$	$-6/9V_{cc}$
0	0	0	1	0	1	1	1	$1/9V_{cc}$	$6/9V_{cc}$	$-5/9V_{cc}$
0	0	1	1	0	1	1	1	$2/9V_{cc}$	$6/9V_{cc}$	$-4/9V_{cc}$
0	1	1	1	1	1	1	1	$6/9V_{cc}$	V_{cc}	$-3/9V_{cc}$
0	0	0	0	0	0	1	1	0	$2/9V_{cc}$	$-2/9V_{cc}$
0	0	0	0	0	0	0	1	0	$1/9V_{cc}$	$-1/9V_{cc}$
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	$1/9V_{cc}$	0	$1/9V_{cc}$
0	0	1	1	0	0	0	0	$2/9V_{cc}$	0	$2/9V_{cc}$
1	1	1	1	0	1	1	1	V_{cc}	$6/9V_{cc}$	$3/9V_{cc}$
0	1	1	1	0	0	1	1	$6/9V_{cc}$	$2/9V_{cc}$	$4/9V_{cc}$
0	1	1	1	0	0	0	1	$6/9V_{cc}$	$1/9V_{cc}$	$5/9V_{cc}$
0	1	1	1	0	0	0	0	$6/9V_{cc}$	0	$6/9V_{cc}$
1	1	1	1	0	0	1	1	V_{cc}	$2/9V_{cc}$	$7/9V_{cc}$
1	1	1	1	0	0	0	1	V_{cc}	$1/9V_{cc}$	$8/9V_{cc}$
1	1	1	1	0	0	0	0	V_{cc}	0	V_{cc}

3.7.2 Sinais elétricos na saída do inversor

Na Figura 3.22 são apresentados os sinais de tensão dos braços v_{an} e v_{bn} , onde constata-se os cinco níveis, e o sinal resultante de saída v_o , mostrando os dezenove níveis modulados em PWM.

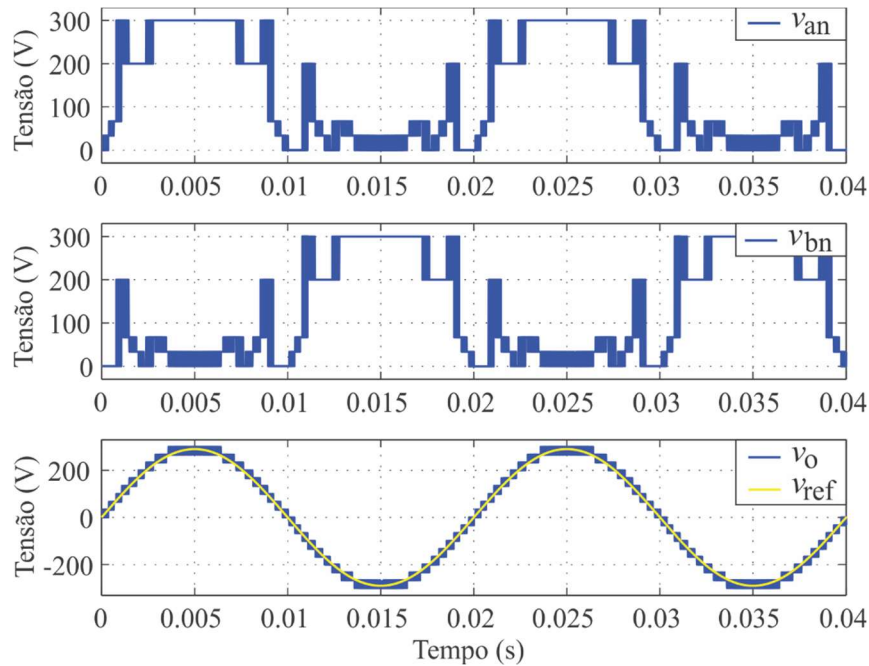


Figura 3.22 – Tensão dos braços e saída do inversor NPC assimétrico de cinco níveis.

3.8 Comparação entre as inversores simétricos e assimétricos

Para que se possa efetuar uma comparação entre os inversores simétricos e assimétricos com diodos de grampeamento de mesmo número de níveis na entrada, no que se refere a composição das estruturas, as tabelas abaixo são apresentadas.

Tabela 3.13 – Composição das estruturas dos inversores simétricos e assimétricos com diodos de grampeamento de três níveis.

Composição das estruturas	Inversor NPC de três níveis	
	Simétrico	Assimétrico
Quantidade de chaves de potência	8	8
Quantidade de diodos de grampeamento	4	4
Quantidade de capacitores	2	2
Quantidade de fontes no barramento CC	1	2
Níveis da tensão de entrada por braço	3	3
Níveis da tensão de saída	5	7

Tabela 3.14 – Composição das estruturas dos inversores simétricos e assimétricos com diodos de grampeamento de quatro níveis.

Composição das estruturas	Inversor de quatro níveis	
	Simétrico	Assimétrico
Quantidade de chaves de potência	12	12
Quantidade de diodos de grampeamento	8	8
Quantidade de capacitores	3	3
Quantidade de fontes no barramento CC	1	3
Níveis da tensão de entrada por braço	4	4
Níveis da tensão de saída	7	13

Tabela 3.15 – Composição das estruturas dos inversores simétricos e assimétricos com diodos de grampeamento de cinco níveis.

Composição das estruturas	Inversor NPC de cinco níveis	
	Simétrico	Assimétrico
Quantidade de chaves de potência	16	16
Quantidade de diodos de grampeamento	12	12
Quantidade de capacitores	4	4
Quantidade de fontes no barramento CC	1	4
Níveis da tensão de entrada por braço	5	5
Níveis da tensão de saída	9	19

Analisando as estruturas e os sinais elétricos de saída, para os inversores NPC monofásicos simétricos e assimétricos, estudados nas seções anteriores e interpretando os resultados das Tabelas 3.13, 3.14 e 3.15, pode-se inferir que os inversores assimétricos são mais indicados que os simétricos quando se deseja um sinal de melhor qualidade na saída. Conforme já mencionado, utilizando a mesma quantidade de componentes dos inversores simétricos com cinco, sete e nove níveis na tensão de saída, os inversores assimétricos apresentam a tensão de saída com sete, treze e dezenove níveis respectivamente, ou seja, são dois, seis e dez níveis a mais que os inversores NPC simétrico de mesmo número de níveis na entrada. Isto representa uma significativa redução na quantidade de componentes, se comparada as estruturas simétricas que são capazes de fornecer a mesma quantidade de níveis na saída que os inversores assimétricos equivalentes.

A necessidade de se utilizar mais fontes para compor no barramento CC, é uma desvantagem apresentada pelos inversores assimétricos.

3.9 Técnica de modulação empregada para os inversores NPC assimétricos

A técnica de modulação PWM empregada nos inversores NPC monofásicos assimétricos deste trabalho, tem como principal objetivo fornecer o maior número possível de níveis na saída, desde que se obedeça aos seguintes critérios:

1. A diferença de potencial entre os níveis adjacentes na saída, deve ser a mesma. Este critério fornece na saída um sinal de melhor qualidade (menor THD).
2. Deve-se escolher para os n níveis que compõem o barramento CC, $(n - 2)$ níveis com mesma tensão entre eles, e igual a ddp existente entre os níveis adjacentes na saída. O objetivo deste critério é que existam no máximo três valores de tensão distintos para as fontes CC de entrada, independentemente da quantidade de níveis.

3.9.1 Disposição dos níveis do inversor NPC assimétrico

Conforme explicado no capítulo dois, os inversores NPC simétricos com n níveis por braço, apresentam k níveis na tensão de saída e também a mesma tensão em todos os capacitores ligados ao barramento CC, dadas pelas equações (3.1) e (3.2) respectivamente.

$$k = 2n - 1 \quad (3.1)$$

$$V_C = V_{cc}/(n - 1) \quad (3.2)$$

No caso dos inversores NPC assimétricos, também com n níveis por braço, para atender ao segundo critério devemos ter $(n - 2)$ níveis com mesma ddp entre eles que devem constar no barramento CC, contados a partir do primeiro nível ($n_0 = 0V$). Este critério é aplicável para inversores com mais de três níveis no barramento CC.

A Tabela 3.16 mostra a disposição e potenciais para os níveis de saída: os selecionados para compor o barramento CC e os níveis obtidos a partir dos níveis selecionados, para o inversor NPC assimétrico de três níveis. Esta tabela mostra os níveis para o semiciclo positivo do sinal de saída, visto que para o semiciclo negativo a análise é a mesma.

Tabela 3.16 – Disposição dos níveis selecionados e obtidos para o inversor NPC assimétrico com três níveis por braço.

Nível	n_0	n_1	n_2	n_3
Normalizado	0	1/3	2/3	1
Tensão do Nível	0V	1/3V _{cc}	2/3V _{cc}	V _{cc}

Os níveis selecionados, sombreados na tabela, são utilizados para obtenção das fontes que compõem o barramento CC, enquanto que o nível n_1 de valor 1/3V_{cc} é obtido na saída,

efetuando a diferença de potencial entre os braços, usando os potenciais dos níveis n_3 e n_2 respectivamente.

Chamando de Δ a variação de tensão entre níveis adjacentes na saída. Então, para o inversor NPC assimétrico de três níveis por braço, observa-se na Tabela 3.16 o valor de:

$$\Delta = 1/3V_{cc}$$

No caso do inversor assimétrico de quatro níveis por braço e observando o segundo critério acima estabelecido, devemos ter entre o n_0 e o n_1 uma fonte com a mesma ddp existente para os níveis adjacentes de saída.

A Tabela 3.17 mostra a disposição e potenciais para os níveis de saída: os selecionados para compor o barramento CC e os níveis obtidos a partir dos níveis selecionados, para o inversor assimétrico de quatro níveis. As colunas sombreadas são os níveis selecionados para obtenção das fontes do barramento CC.

Tabela 3.17 – Disposição dos níveis selecionados e obtidos para o inversor assimétrico com quatro níveis por braço.

Nível	n_0	n_1	n_2	n_3	n_4	n_5	n_6
Normal	0	1/6	2/6	3/6	4/6	5/6	1
Tensão	0V	1/6V _{cc}	2/6V _{cc}	3/6V _{cc}	4/6V _{cc}	5/6V _{cc}	V _{cc}

Na Tabela 3.17, observa-se que variação de tensão entre níveis adjacentes na saída do inversor assimétrico de quatro níveis é dada por:

$$\Delta = 1/6V_{cc}$$

O denominador do Δ , define o total de níveis possíveis na saída para meio período, ou seja, existem seis níveis possíveis, além do nível zero.

Com os níveis (n_2), (n_3) e (n_5) obtidos como segue:

$$n_2 = n_6 - n_4 = 1 - 4/6 = 2/6$$

$$n_3 = n_4 - n_1 = 4/6 - 1/6 = 3/6$$

$$n_5 = n_6 - n_1 = 1 - 1/6 = 5/6$$

No caso do inversor NPC assimétrico de cinco níveis por braço e observando novamente o segundo critério acima estabelecido, devemos ter entre os níveis n_0 e n_1 , bem como entre os níveis n_1 e n_2 , fontes com a mesma ddp existente para os níveis adjacentes de saída.

A variação de tensão Δ entre dois níveis adjacentes na saída para o inversor NPC assimétrico de cinco níveis é dado por:

$$\Delta = 1/9V_{cc}$$

Com esta variação entre níveis, existem nove níveis possíveis por semiciclo, além do nível zero. A Tabela 3.18 mostra os valores e a disposição dos níveis selecionados e dos obtidos. As colunas sombreadas nesta tabela, são os níveis que devem ser selecionados para obtenção das fontes do barramento CC para o inversor NPC assimétrico com cinco níveis por braço.

Tabela 3.18 – Disposição dos níveis selecionados e obtidos para o inversor NPC assimétrico com cinco níveis por braço.

Nível	n_0	n_1	n_2	n_3	n_4	n_5	n_6	n_7	n_8	n_9
Normal	0	1/9	2/9	3/6	4/6	5/6	6/9	7/9	8/9	1
Tensão	0V	1/9V _{cc}	2/9V _{cc}	3/9V _{cc}	4/9V _{cc}	5/9V _{cc}	6/9V _{cc}	7/9V _{cc}	8/9V _{cc}	V _{cc}

Onde os níveis n_3 , n_4 , n_5 , n_7 e n_8 são obtidos como segue:

$$n_3 = n_9 - n_6 = 1 - 6/9 = 3/6$$

$$n_4 = n_6 - n_2 = 6/9 - 4/9 = 4/9$$

$$n_5 = n_6 - n_1 = 6/9 - 1/9 = 5/9$$

$$n_7 = n_9 - n_2 = 1 - 2/9 = 7/9$$

$$n_8 = n_9 - n_1 = 1 - 1/9 = 8/9$$

3.9.2 Quantidade de níveis de saída para o inversor assimétrico

Analisando a distribuição, valores e quantidade de níveis, selecionados e obtidos, para os inversores NPC assimétricos com três, quatro e cinco níveis por braço, pode-se generalizar que a variação de tensão Δ entre dois níveis adjacentes na saída, para um inversor NPC assimétrico, com braço de n níveis é calculado por:

$$\Delta = \frac{1}{3(n-2)} V_{cc} \quad (3.3)$$

O inverso de Δ determina o total de níveis possíveis por semi período. Como o sinal de saída deve ser alternado com dois semiciclos então, a quantidade de níveis positivos n_p e negativos n_n , que estão presentes no sinal de saída, são calculados através de:

$$n_p = 3(n-2) \quad (3.4)$$

$$n_n = 3(n-2) \quad (3.5)$$

Portanto, para determinar o total de níveis w que são gerados na saída dos inversores NPC assimétricos, deve-se adicionar todos os níveis positivos, negativos e acrescentar um, referente ao nível zero. Utilizando as equações (3.4) e (3.5) obtém-se:

$$w = n_p + n_n + 1 = 3(n - 2) + 3(n - 2) + 1 \rightarrow w = 6n - 11 \quad (3.6)$$

A seguir, como exemplo, a equação (3.6) é utilizada para os inversores NPC assimétricos com três, quatro e cinco níveis por braço:

$$\text{Para } n = 3 \text{ então: } w = 6n - 11 = 6 \times 3 - 11 \rightarrow w = 7$$

$$\text{Para } n = 4 \text{ então: } w = 6n - 11 = 6 \times 4 - 11 \rightarrow w = 13$$

$$\text{Para } n = 5 \text{ então: } w = 6n - 11 = 6 \times 5 - 11 \rightarrow w = 19$$

Logo, os inversores NPC assimétricos com três, quatro e cinco níveis por braço, devem apresentar o sinal alternado de saída com sete, treze e dezenove níveis respectivamente, desde que seja aplicada a técnica de modulação proposta neste trabalho.

A Tabela 3.19 mostra qual deve ser a disposição e valores dos níveis de saída do inversor NPC assimétrico, apresentando n níveis por braço, apenas para o semiciclo positivo da tensão de saída.

Tabela 3.19 - Disposição generalizada dos níveis na saída para os inversores NPC assimétricos de n níveis por braço.

Nível	n_0	n_1	n_2	...	n_{u-2}	n_{u-1}	n_u
Valor	0	1Δ	2Δ	...	$(u - 2)\Delta$	$(u - 1)\Delta$	$u\Delta = V_{cc}$

Onde u é a posição relativa ao último nível na saída, sendo dada por:

$$u = 3(n - 2) \quad (3.7)$$

3.9.3 Generalizando a seleção dos níveis por braço

A generalização da seleção dos níveis que irão compor o barramento CC do inversor NPC assimétrico de n níveis por braço, deve seguir o seguinte roteiro:

- O 1º nível ou nível zero: $n_0 = 0V$ (Negativo do Barramento CC).
- O último nível do barramento: $n_{n-1} = V_{cc}$ (Positivo do Barramento CC).
- Determinação dos níveis de mesma ddp que compõem o barramento CC:

Os $(n - 2)$ níveis em sequência, a partir do nível zero n_0 , que apresentam tensão entre eles, igual a ddp dos níveis adjacentes de saída, possuem o potencial calculados por:

$$1^\circ \text{ nível: } n_0 = 0V$$

$$2^\circ \text{ nível: } n_1 = 1\Delta$$

$$3^\circ \text{ nível: } n_2 = 2\Delta$$

$$\text{Antepenúltimo nível: } n_{(n-3)} = (n - 3)\Delta$$

- Determinação do penúltimo nível $n_{(n-2)}$ do barramento CC:

Após a determinação do primeiro nível do barramento $n_0 = 0V$, do último nível $n_{(n-1)} = V_{cc}$ e dos níveis de entrada, cuja ddp entre eles são a mesma apresentada pelo degrau da tensão de saída, resta apenas mais um nível a ser determinado, para completar os n níveis do barramento CC de entrada. Para localizar este nível, basta calcular a diferença entre a posição relativa do último nível da saída, dado pela equação (3.7) e o total de níveis de entrada que apresentam mesma ddp entre eles, em seguida multiplica-se pelo degrau Δ da tensão de saída. As equações (3.8) e (3.9) abaixo determinam o potencial do penúltimo nível $n_{(n-2)}$.

$$n_{(n-2)} = \frac{[3(n-2) - (n-2)]}{3(n-2)} V_{cc} \quad (3.8)$$

Simplificando (3.8) encontra-se o seguinte valor:

$$n_{(n-2)} = 2/3V_{cc} \quad (3.9)$$

A equação (3.9) informa que independentemente da quantidade de níveis, o inversor NPC assimétrico, apresenta sempre o mesmo valor para o penúltimo nível que compõem o barramento CC de entrada, desde que seja utilizado a técnica de modulação proposta neste trabalho.

3.9.4 Determinação dos níveis que compõem o barramento CC

- Inversor assimétrico com braços de três níveis:

Para $n = 3$, a variação entre níveis adjacentes de saída é dado por: $\Delta = \frac{1}{3(n-2)} V_{cc} = \frac{1}{3} V_{cc}$

Portanto, os três níveis do barramento CC são:

1º nível: $n_0 = 0V$

2º nível (penúltimo nível): $n_1 = 2/3V_{cc}$

3º nível (último nível): $n_2 = V_{cc}$

- Inversor assimétrico com braços de quatro níveis:

Para $n = 4$, a variação entre níveis adjacentes de saída é dado por: $\Delta = \frac{1}{3(n-2)} V_{cc} = \frac{1}{6} V_{cc}$

Portanto, os quatro níveis do barramento CC são:

1º nível: $n_0 = 0V$

2º nível: $n_1 = 1\Delta = 1/6V_{cc}$

3º nível (penúltimo nível): $n_2 = 2/3V_{cc} = 4/6V_{cc}$

4º nível (último nível): $n_3 = V_{cc}$

- Inversor assimétrico com braços de cinco níveis:

Para $n = 5$, a variação entre níveis adjacentes da saída é dado por: $\Delta = \frac{1}{3(n-2)} V_{cc} = \frac{1}{9} V_{cc}$

Portanto, os cinco níveis do barramento CC são:

1º nível:	$n_0 = 0V$
2º nível:	$n_1 = 1\Delta = 1/9V_{cc}$
3º nível:	$n_2 = 2\Delta = 2/9V_{cc}$
4º nível (penúltimo nível):	$n_3 = 2/3V_{cc} = 6/9V_{cc}$
5º nível (último nível):	$n_4 = V_{cc}$

3.9.5 Determinação das fontes de tensão que compõem o barramento CC

A quantidade de fontes que são necessárias para compor o barramento CC de n níveis é calculada usando a seguinte expressão:

$$n_F = n - 1 \quad (3.10)$$

- Valores das fontes para inversor assimétrico com braço de três níveis:

Para $n = 3 \rightarrow n_F = 2$ (duas fontes)

As fontes são: V_{cc1} e V_{cc2} , onde: $V_{cc} = V_{cc1} + V_{cc2}$

Com V_{cc1} e V_{cc2} podendo ser permutadas e determinados por:

$$V_{cc1} = n_2 - n_1 = V_{cc} - \frac{2}{3}V_{cc} \rightarrow V_{cc1} = \frac{1}{3}V_{cc}$$

$$V_{cc2} = n_1 - n_0 = \frac{2}{3}V_{cc} - 0V \rightarrow V_{cc2} = \frac{2}{3}V_{cc}$$

- Valores das fontes para inversor assimétrico com braço de quatro níveis:

Para $n = 4 \rightarrow n_F = 3$ (três fontes)

As fontes são: V_{cc1} , V_{cc2} e V_{cc3} , onde: $V_{cc} = V_{cc1} + V_{cc2} + V_{cc3}$

Com V_{cc1} , V_{cc2} e V_{cc3} determinados por:

$$V_{cc1} = n_3 - n_2 = V_{cc} - \frac{2}{3}V_{cc} \rightarrow V_{cc1} = \frac{1}{3}V_{cc}$$

$$V_{cc2} = n_2 - n_1 = \frac{2}{3}V_{cc} - \frac{1}{6}V_{cc} \rightarrow V_{cc2} = \frac{1}{2}V_{cc}$$

$$V_{cc3} = n_1 - n_0 = \frac{1}{6}V_{cc} - 0V \rightarrow V_{cc3} = \frac{1}{6}V_{cc}$$

- Valores das fontes para inversor assimétrico com braço de cinco níveis:

Para $n = 5 \rightarrow n_F = 4$ (quatro fontes)

As fontes são: V_{cc1} , V_{cc2} , V_{cc3} e V_{cc4} , onde: $V_{cc} = V_{cc1} + V_{cc2} + V_{cc3} + V_{cc4}$

Com V_{cc1} , V_{cc2} , V_{cc3} e V_{cc4} determinados por:

$$V_{cc1} = n_4 - n_3 = V_{cc} - \frac{2}{3}V_{cc} \rightarrow V_{cc1} = \frac{1}{3}V_{cc}$$

$$V_{cc2} = n_3 - n_2 = \frac{2}{3}V_{cc} - \frac{2}{9}V_{cc} \rightarrow V_{cc2} = \frac{4}{9}V_{cc}$$

$$V_{cc3} = n_2 - n_1 = \frac{2}{9}V_{cc} - \frac{1}{9}V_{cc} \rightarrow V_{cc3} = \frac{1}{9}V_{cc}$$

$$V_{cc4} = n_1 - n_0 = \frac{1}{9}V_{cc} - 0V \rightarrow V_{cc4} = \frac{1}{9}V_{cc}$$

3.9.6 Modulador PWM para os inversores NPC assimétricos

Para que seja possível acionar corretamente os transistores de potência de um inversor NPC assimétrico, são necessários geradores PWM, responsáveis por fornecer os sinais retangulares modulados em largura de pulso, e também uma lógica combinacional para definir os instantes de tempo, o nível lógico e a duração que cada chave de potência deve ser acionada.

A Figura 3.23 mostra o diagrama de blocos do modulador PWM empregado nos inversores NPC assimétricos apresentados neste trabalho.

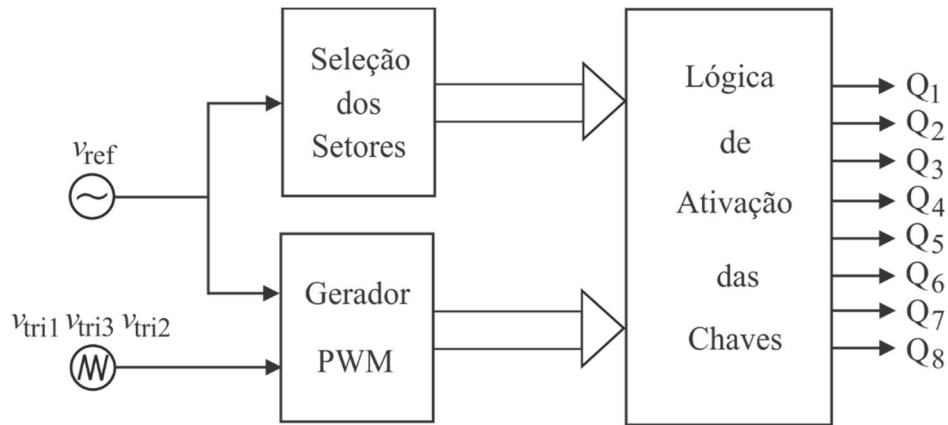


Figura 3.23 – Diagrama em blocos do modulador PWM proposto para o inversor NPC assimétrico de três níveis.

Conforme mostra o diagrama de blocos, o modulador PWM é composto por três blocos: o de geração dos sinais PWM, o de identificação do setor e o da lógica de ativação das chaves.

O bloco gerador PWM é composto por comparadores, que recebem o sinal de referência e as portadoras de alta frequência, fornecendo na saída um trem de pulsos retangulares modulados em largura de pulso.

O bloco de seleção dos setores, recebe o sinal senoidal de referência e compara com os valores limites do nível, determinando o intervalo de tempo para cada nível.

Por último, tem-se o bloco responsável pela ativação das chaves de potência. Este recebe os sinais PWM do gerador e a informação em qual setor o sinal de referência se encontra. Baseado nestas informações, uma lógica combinacional seleciona as chaves de potência, para que seja reproduzido corretamente, na saída do inversor NPC assimétrico todos os sete níveis de tensão igualmente espaçados.

Cada bloco que compõe o diagrama, representa um circuito, cujo funcionamento é apresentado e descrito detalhadamente a seguir:

3.9.6.1 Circuito gerador dos sinais PWM

A Figura 3.24 é apresentado o circuito do gerador PWM para o inversor assimétrico de três níveis, elaborado no programa de simulação eletrônica PSIM.

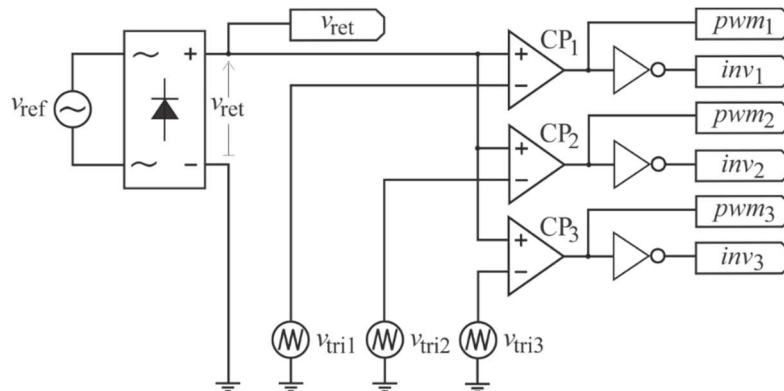


Figura 3.24 – Gerador PWM do modulador do inversor NPC assimétrico de três níveis.

O circuito é composto por uma ponte retificadora de onda completa para o sinal de referência, de três ondas triangulares de mesma amplitude e frequência, deslocadas em nível e dispostas em fase e de três comparadores, responsáveis pela geração dos sinais retangulares modulados em largura de pulsos, disponibilizando na saída de cada comparador, o sinal PWM e seu complemento.

Os sinais de portadoras necessários são determinados em função da quantidade de níveis que são obtidos na saída do inversor assimétrico, conforme equação (3.6) abaixo.

$$w = 6n - 11 \quad (3.6)$$

A partir da equação (3.6), o número de portadoras triangulares n_T é calculado por:

$$n_T = (w - 1)/2 \quad (3.11)$$

Substituindo a equação (3.6) na equação (3.11) e simplificando, chega-se ao seguinte valor para n_T .

$$n_T = 3(n - 2) \quad (3.12)$$

Então, para o caso de um inversor NPC assimétrico com três níveis por braço, substituindo n por três em (3.12), encontra-se que são necessárias três portadoras.

Observando o circuito da Figura 3.24, constata-se que cada onda portadora triangular está ligada em um comparador portanto, a quantidade de comparadores também pode ser definido pela mesma equação (3.12). Ainda na Figura 3.24 observa-se que o sinal de referência é retificado, isto ocorre porque as três portadoras triangulares utilizadas na comparação são todas positivas.

A Figura 3.25 apresenta o sinal de referência v_{ref} , o sinal de referência retificado v_{ret} e as portadoras triangulares (v_{tri1} , v_{tri2} e v_{tri3}), onde se constata que as três ondas triangulares possuem a mesma amplitude de valor $1/3$ e estão deslocadas em nível, com suas referências posicionadas em 0, $1/3$ e $2/3$ respectivamente.

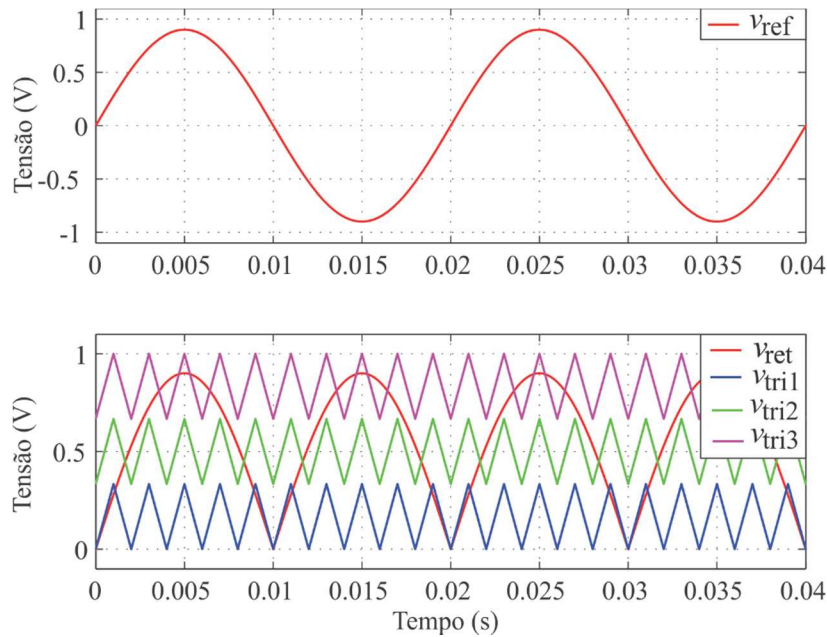


Figura 3.25 – Sinais de referência e de entradas do gerador PWM do modulador para o inversor NPC assimétrico de três níveis.

A Figura 3.26 mostra a interseção do sinal de referência retificado com os sinais PWM (v_{pwm1} , v_{pwm2} e v_{pwm3}) nas saídas dos comparadores. Onde se verifica que o sinal v_{pwm1} encontra-se modulado quando o sinal de referência retificado é menor que $1/3$, o sinal v_{pwm2} está modulado para v_{ret} entre $1/3$ e $2/3$ e o sinal v_{pwm3} modulado quando v_{ret} é maior de $2/3$.

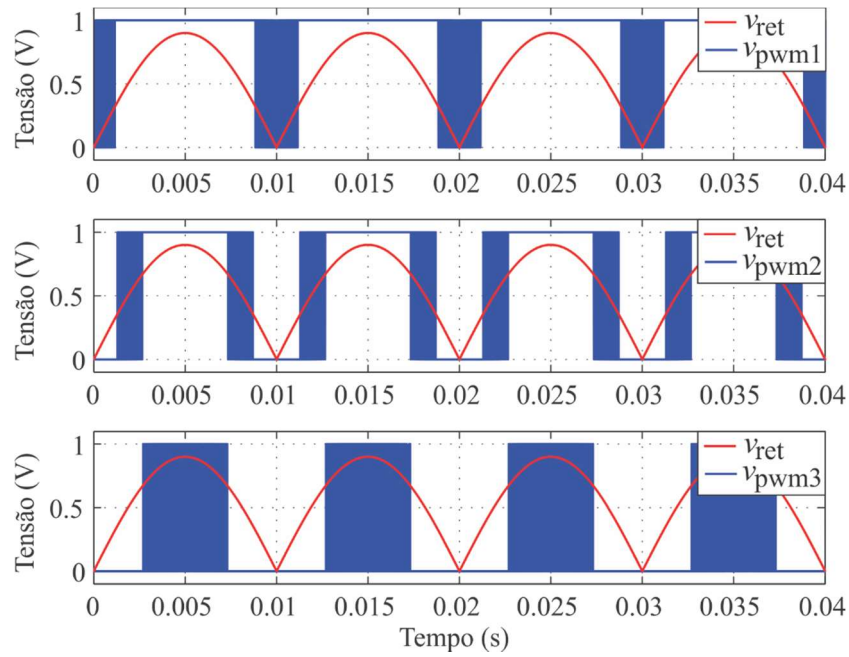


Figura 3.26 – Sinais de saída do gerador PWM do modulador para o inversor NPC assimétrico de três níveis.

3.9.6.2 Circuito de obtenção dos setores

A quantidade de setores n_s ou intervalos de tempo de aplicação de cada nível, é calculado pela seguinte expressão:

$$n_s = w - 1 \quad (3.13)$$

Substituindo w por sua expressão, conforme mostra a equação (9.7) e efetuando a simplificação, encontra-se:

$$n_s = 6(n - 2) \quad (3.14)$$

Para o caso em análise, onde $(n = 3)$, existem 6 setores, mostrado na Figura 3.27.

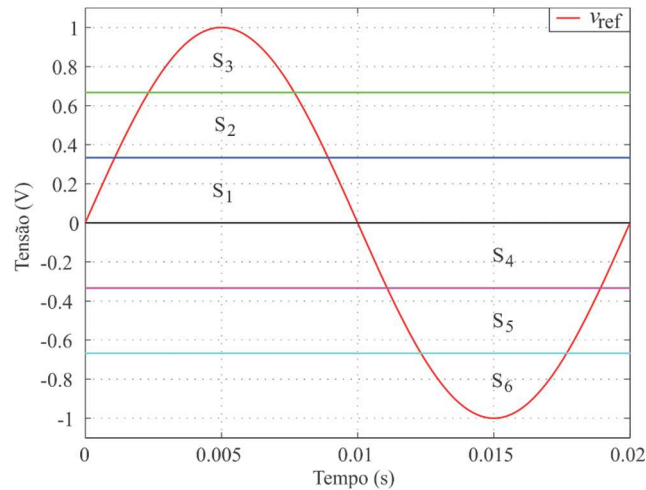


Figura 3.27 – Localização dos setores no sinal de referência.

Analisando esta figura, a interseção das linhas paralelas com o sinal de referência, delimita o intervalo de tempo referente a cada setor, onde cada setor representa um nível distinto de tensão aplicado na saída.

Conforme observado nesta mesma figura, constata-se a presença de três setores para o semiciclo positivo do sinal de referência e três para o semiciclo negativo, incluindo o nível zero, totaliza sete níveis presentes na tensão de saída do inversor NPC assimétrico de três níveis por braço, conforme já havia sido determinado pela equação (3.6).

Na Figura 3.28 é apresentado o circuito responsável pela seleção do setor no qual se encontra o sinal de referência, definindo os intervalos de tempo de duração de cada nível na saída.

O circuito da Figura 3.28 é formado por três comparadores, sendo CP_4 e CP_5 responsáveis em definir as janelas de tempo J_1 , J_2 e J_3 , obtidos através da comparação entre o sinal de referência retificado e duas fontes V_1 e V_2 de valores fixos, ajustadas em $\frac{1}{3}m_a$ e $\frac{2}{3}m_a$ respectivamente, onde (m_a) é o índice de modulação utilizado.

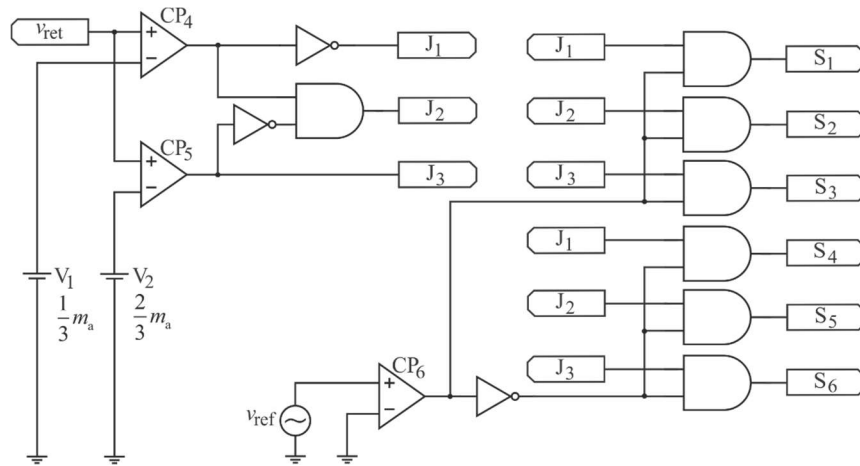


Figura 3.28 – Circuito de obtenção dos setores que determinam os intervalos de tempo em função do sinal de referência.

O comparador CP_6 é responsável para liberar os sinais J_1 , J_2 e J_3 para as saídas dos setores S_1 , S_2 e S_3 durante o semiciclo positivo do sinal de referência e liberar os sinais J_1 , J_2 e J_3 para as saídas dos setores S_4 , S_5 e S_6 durante o semiciclo negativo do sinal de referência.

A Figura 3.29 mostra os intervalos de tempos que define cada setor em função do sinal de referência. Como pode ser visto na Figura 3.29, os setores S_1 , S_2 e S_3 são habilitados durante o semiciclo positivo do sinal de referência, enquanto os setores S_4 , S_5 e S_6 são habilitados durante o negativo de v_{ref} .

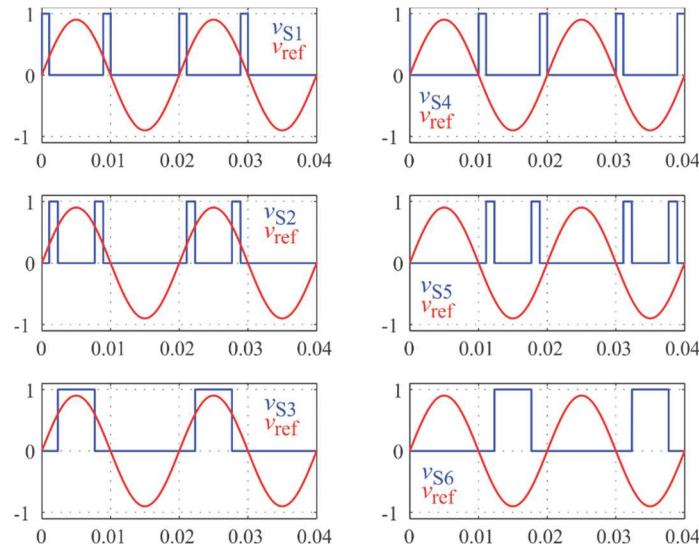


Figura 3.29 – Intervalos de tempo dos setores S_1 , S_2 , S_3 , S_4 , S_5 e S_6 .

3.9.6.3 Circuito de acionamento dos gates das chaves de potência

Este circuito é formado por dois circuitos lógicos, o primeiro implementado usando portas lógicas tipo E (AND Gate) e o segundo utilizando portas lógicas tipo OU (OR Gate), conforme mostrado na Figura 3.30.

O primeiro circuito lógico é responsável por gerar os estados das chaves por setor. É composto por seis conjuntos, sendo cada conjunto formado por quatro portas lógicas e cada um destes seis conjuntos é habilitado de acordo com o setor em que se encontra o sinal de referência. Portanto, dependendo do setor habilitado são gerados os sinais das chaves incluindo os sinais PWM, conforme consta na Tabela 3.4 para o inversor NPC assimétrico de três níveis empregado neste trabalho.

Deve-se observar que em cada um dos seis conjuntos, apenas aparecem os sinais para as chaves Q_1 e Q_2 do braço (a) e Q_5 e Q_6 do braço (b), pois os sinais das chaves Q_3 e Q_4 do braço (a) e Q_7 e Q_8 do braço (b) são obtidos usando-se os complementos, conforme já foi comentado durante a explicação do funcionamento da topologia NPC.

O segundo circuito lógico é responsável por gerar os sinais de acionamento por chave. É composto por quatro conjuntos, sendo cada conjunto formado por duas portas OU de três entradas, uma porta OU de duas entradas e mais um inversor lógico (NOT Gate). Cada um destes quatro conjuntos possuem seis entradas, onde cada uma destas entradas, vai receber um sinal proveniente de um dos seis setores, através das saídas do primeiro circuito. Finalmente, na saída de cada um destes quatro conjuntos tem-se o sinal completo dos diagramas de tempo de acionamento das chaves durante todo o período do sinal de referência.

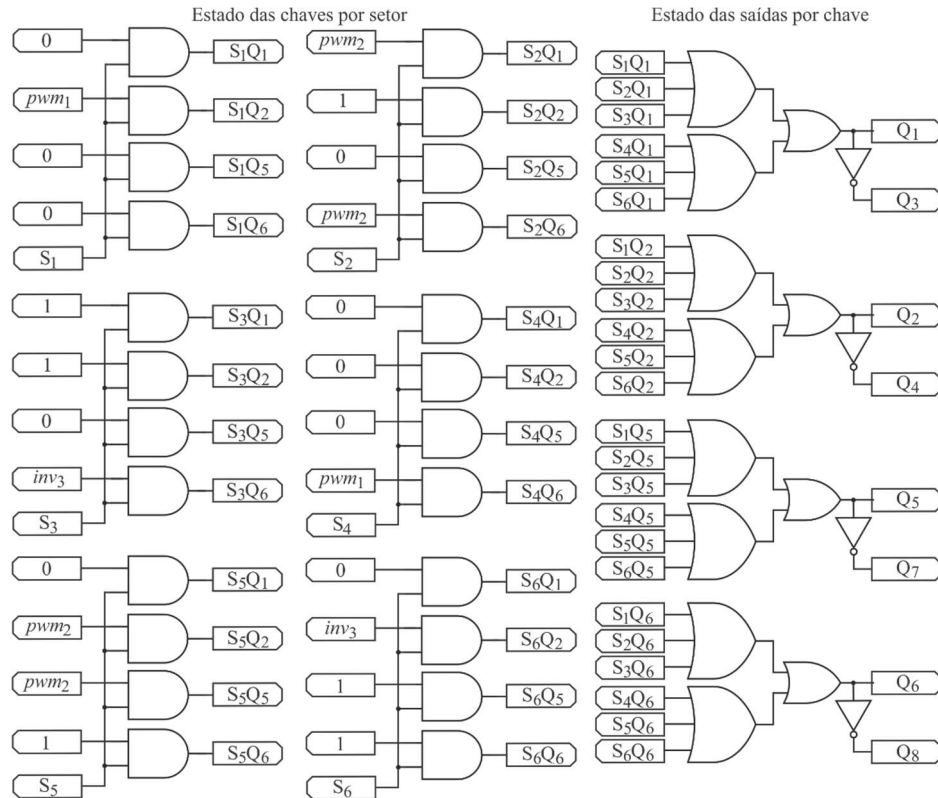


Figura 3.30 – Circuito do modulador PWM de acionamento das chaves de potência para o inversor NPC assimétrico de três níveis.

A Figura 3.31 mostra os diagramas de tempo aplicados aos gates dos transistores de potência, durante dois períodos do sinal de referência, para o inversor NPC monofásico assimétrico de três níveis empregado neste trabalho.

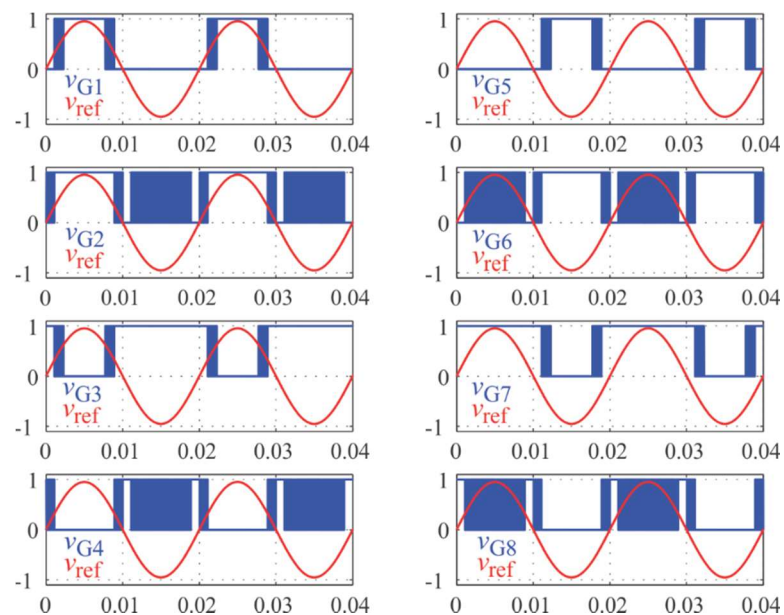


Figura 3.31 – Sinais de comando dos gates das chaves do inversor assimétrico de três níveis.

A Figura 3.32 apresenta o diagrama completo do modulador PWM empregado no inversor NPC monofásico assimétrico de três níveis, que foi utilizado nas simulações, implementado através do *software* PSIM.

Deve-se ter em mente que o diagrama da Figura 3.32, foi obtido em uma simulação, efetuada no PSIM e portanto, não é um circuito elétrico propriamente dito.

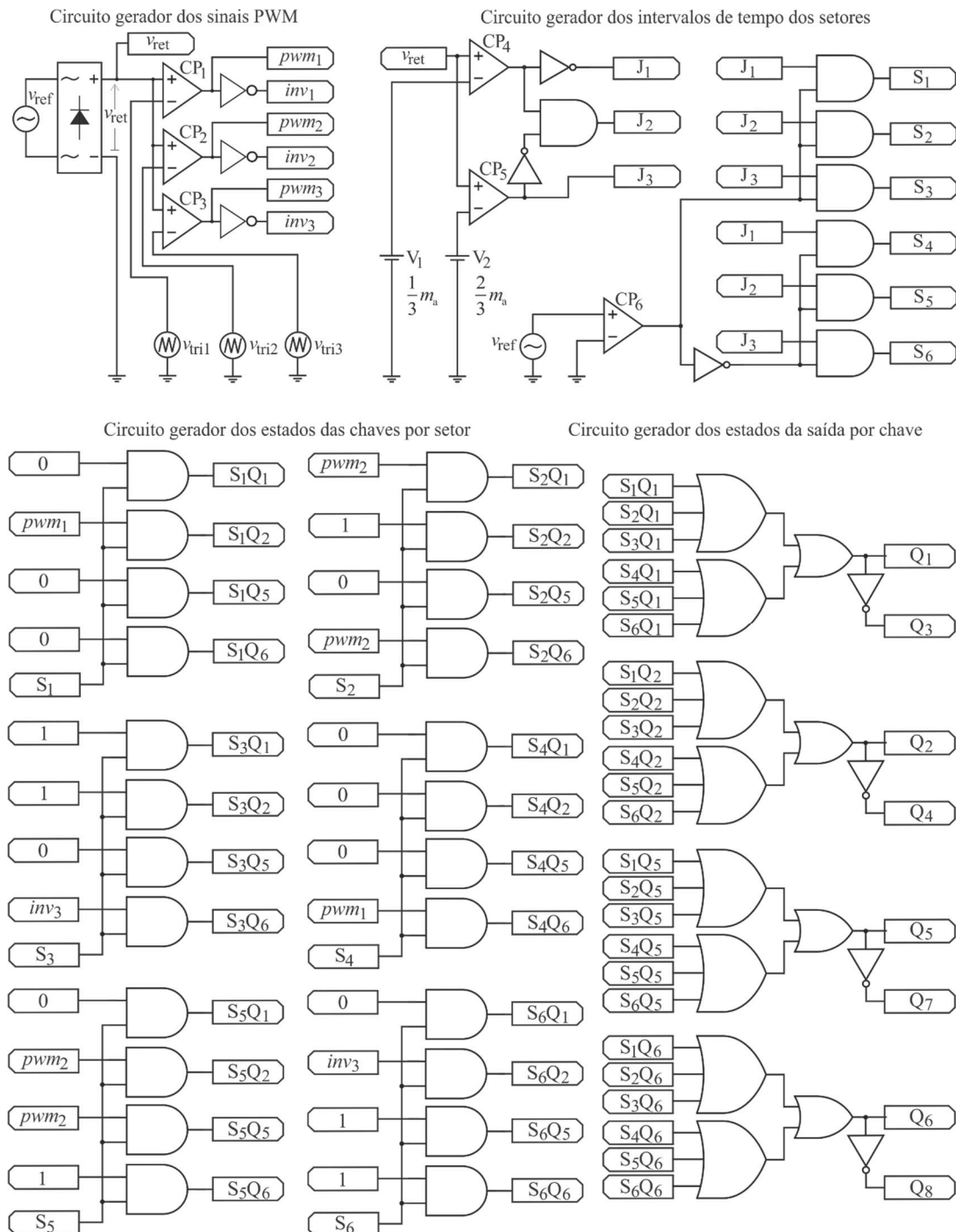


Figura 3.32 – Circuito completo do modulador PWM para o inversor NPC monofásico assimétrico de três níveis simulado no PSIM.

3.10 Conclusão

Neste capítulo foram estudados os inversores NPC monofásicos simétricos de três, quatro e cinco níveis, e apresentados os inversores NPC monofásicos assimétricos com a mesma quantidade de níveis por braço.

Sendo constatado que os inversores assimétricos apresentam bem mais níveis no sinal de saída, sugerindo um sinal de saída de melhor qualidade que os inversores simétricos de mesmo nível.

Com relação às desvantagens dos inversores assimétricos, citam-se a necessidade de se utilizar várias fontes para compor o barramento CC.

A técnica de modulação PWM empregada nos inversores NPC assimétricos e apresentada neste trabalho, pode ser aplicada e generalizada para inversores com braços de qualquer número de níveis.

Capítulo 4

Resultados de Simulação

4.1 Introdução

Neste capítulo são apresentados os resultados das simulações efetuadas nos inversores NPC simétricos e nos assimétricos de três, quatro e cinco níveis por braço. Estas simulações visam comprovar o funcionamento e eficácia da técnica de modulação aplicada aos inversores assimétricos.

Todas as simulações são efetuadas em malha aberta, tendo em vista que o modelamento da planta, a realimentação e o controle em malha fechada não são abordados neste trabalho.

As simulações foram realizadas utilizando o software PSIM 9.1, pois se trata de um programa de simulação especializado em eletrônica de potência.

Os critérios de desempenho para efeito de comparação entre os diversos tipos de inversores simulados, são baseados nas medições das seguintes grandezas:

- Tensão de saída
- Corrente de saída
- Potência de saída
- Tensão das chaves de potência
- Corrente das chaves de potência
- Tensão nos diodos de grameamento
- Corrente nos diodos de grameamento
- Frequência média de comutação das chaves de potência
- Distorção harmônica total da tensão de saída (THD)

4.2 Parâmetros utilizados nas simulações

As simulações foram realizadas com base nos parâmetros e grandezas apresentados na Tabela 4.1 e utilizados para todos os inversores.

Tabela 4.1 – Parâmetros utilizados nas simulações dos inversores.

Parâmetro	Valor	Unidade
Tensão do barramento CC – V_{cc}	300	V
Frequência da portadora – f_s	5000	Hz
Frequência da fundamental – f_m	50	Hz
Índice de modulação – m_a	0,94	-
Resistor de carga – R	40	Ω
Indutor de carga – L	10	mH

4.3 Simulação para os inversores simétrico e assimétrico de três níveis

4.3.1 Principais sinais elétricos

Tensão de saída:

As Figuras 4.1 e 4.2 apresentam a forma de onda da tensão de saída de simulação para o inversor NPC simétrico e assimétrico de três níveis por braço respectivamente.

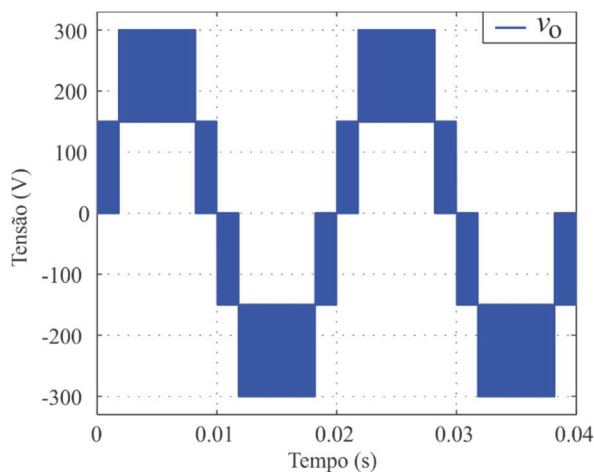


Figura 4.1 – Simulação da tensão de saída para o inversor NPC simétrico de três níveis.

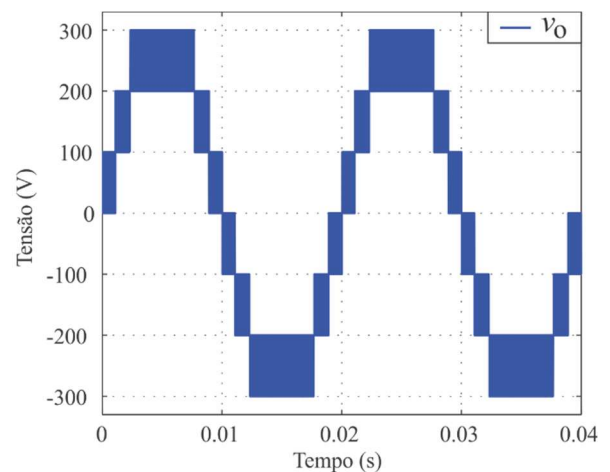


Figura 4.2 – Simulação da tensão de saída para o inversor NPC assimétrico de três níveis.

Como pode ser constatado na Figura 4.1, o sinal de saída apresenta cinco níveis, em consonância com a equação (2.2) e o resultado apresentado pela simulação foram: tensão eficaz de saída de 208,74V e a taxa de distorção harmônica total (THD) de 31,11%.

Com relação à Figura 4.2 para o inversor assimétrico também de três níveis, a saída apresenta sete níveis, conforme equação (3.7), sendo obtido para a tensão eficaz de saída na simulação 203,91V, com uma THD de 20,94%.

Corrente de saída:

A Figura 4.3 mostra a forma de onda da corrente de saída na carga para o inversor simétrico de três níveis, onde foi obtido 4,97A de valor eficaz e 7,11A de valor de pico. Como pode ser observado nesta figura, a corrente de saída está praticamente em fase com a tensão de referência, pelo fato de estar sendo utilizada nestas simulações, uma carga bem mais resistiva que indutiva.

A Figura 4.4 apresenta a corrente na carga para o inversor assimétrico, onde se verifica valor praticamente idêntico ao observado no inversor simétrico de três níveis, sendo obtido 4,98A de valor eficaz e 7,16A de valor de pico.

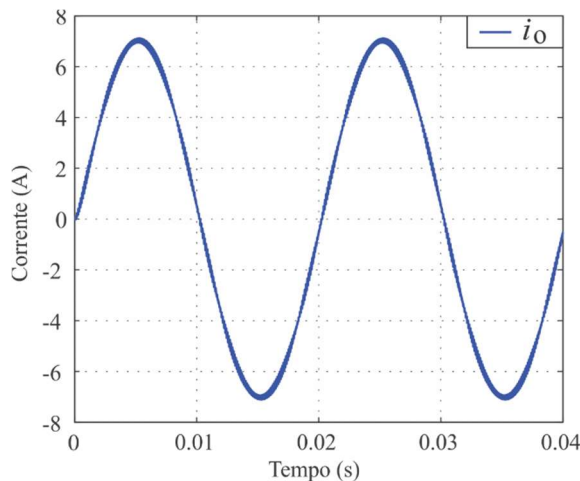


Figura 4.3 – Simulação da corrente de saída do inversor NPC simétrico de três níveis.

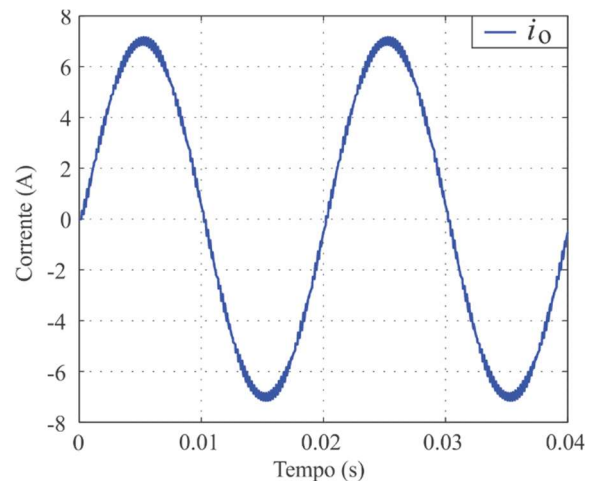


Figura 4.4 – Simulação da corrente de saída do inversor NPC assimétrico de três níveis.

Potência de saída:

A potência aparente processada pelos inversores simétrico e assimétrico de três níveis são 1123,32VA e 1102,47VA respectivamente, calculadas com base nos valores da tensão e da corrente eficaz de saída.

Tensão nas chaves de potência:

A Figura 4.5 mostra as tensões nas chaves de potência para o inversor simétrico de três níveis, onde se constata que cada chave opera por meio período e apresentam tensões idênticas, com valor máximo de 150V, ou seja $1/2V_{cc}$, conforme a equação (2.7).

A Figura 4.6 mostra as tensões nas chaves de potência para o inversor assimétrico de três níveis, onde cada chave apresenta tensão distinta, com os valores máximos para Q_1 , Q_2 , Q_3 e Q_4 dados por: 200,00V, 133,33V, 200,00V e 100,00V respectivamente, sendo o valor máximo de $2/3V_{cc}$ observados nas chaves Q_1 e Q_3 . Verifica-se ainda que o estresse de tensão é diferente em cada chave, sendo uma desvantagem dos inversores assimétricos com relação aos simétricos.

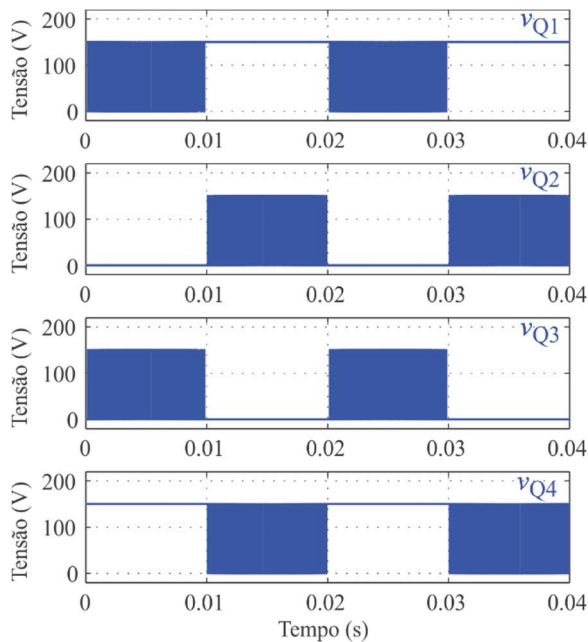


Figura 4.5 – Simulação da tensão nas chaves do inversor NPC simétrico de três níveis.

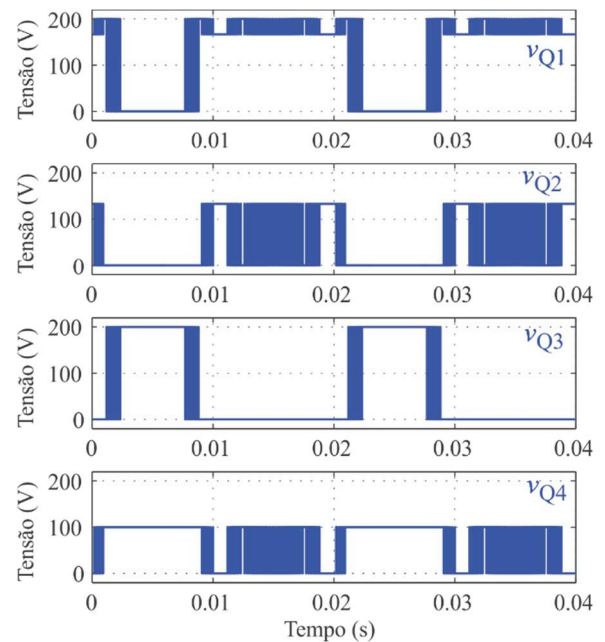


Figura 4.6 – Simulação da tensão nas chaves do inversor NPC assimétrico de três níveis.

Tensão nos diodos de grampeamento:

A Figura 4.7 mostra as tensões para os diodos de grampeamento do inversor simétrico de três níveis, sendo que cada diodo conduz também por meio período, apresentando a mesma tensão reversa máxima de 150V, ou seja, valor máximo de $1/2V_{cc}$, em conformidade com a equação (2.8). Já a Figura 4.8 mostra as tensões para os diodos de grampeamento do inversor assimétrico também de três níveis, onde os diodos D_1 e D_2 apresentam tensão reversa máxima de 200,00V e 100,00V, ou seja, $2/3V_{cc}$ e $1/3V_{cc}$ respectivamente.

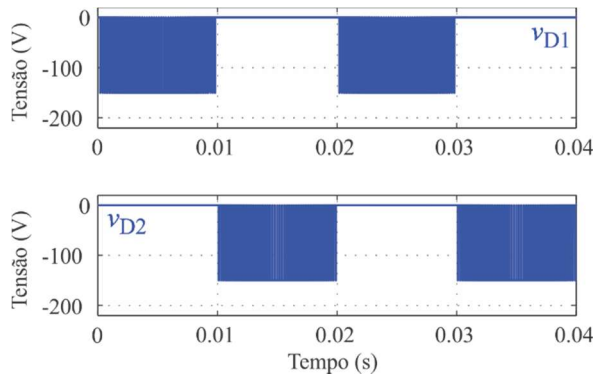


Figura 4.7 – Simulação da tensão nos diodos do inversor NPC simétrico de três níveis.

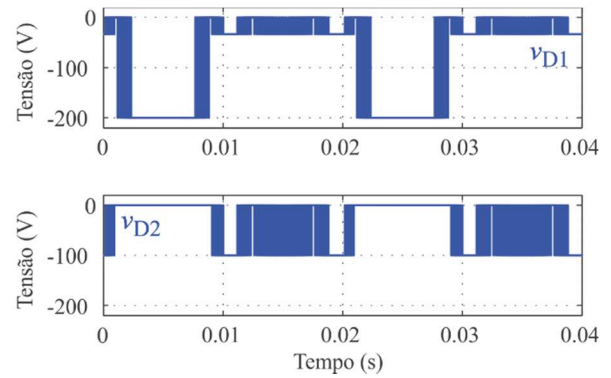


Figura 4.8 – Simulação da tensão nos diodos do inversor NPC assimétrico de três níveis.

Corrente nas chaves de potência:

Com relação às correntes máximas das chaves de potência se verifica que são iguais à corrente de pico da carga para todas as chaves no inversor simétrico de três níveis, como mostrado na Figura 4.9, onde se verificou valor de 7,10A.

Com relação às correntes das chaves de potência do inversor assimétrico também de três níveis, a Figura 4.10 mostra que em todos os transistores o valor máximo coincide com a corrente de pico da carga, cujo valor é de 7,16A. Observando estas figuras, constatamos que a corrente eficaz é menor em algumas chaves para o inversor assimétrico.

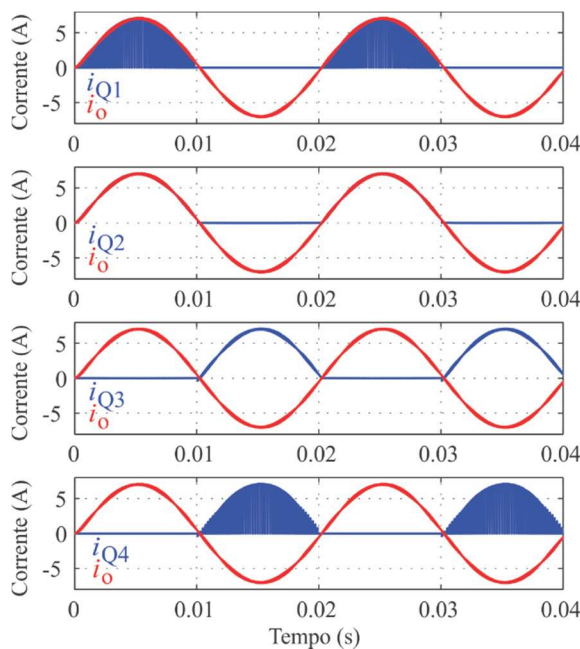


Figura 4.9 – Simulação da corrente nas chaves do inversor NPC simétrico de três níveis.

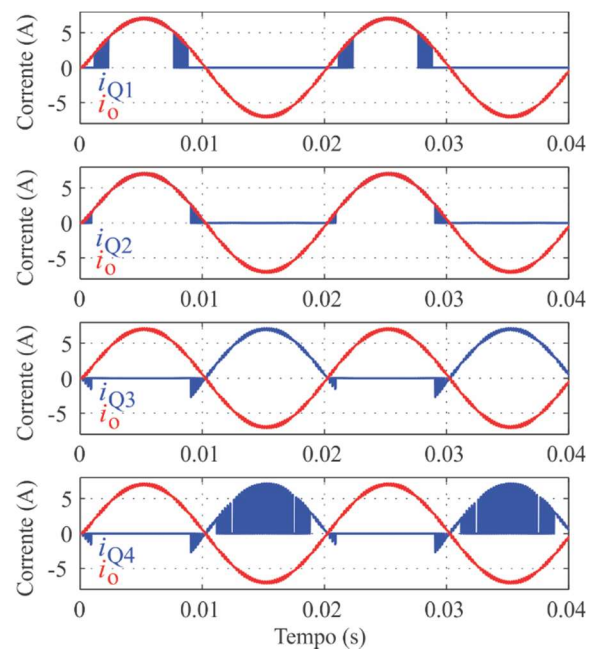


Figura 4.10 – Simulação da corrente nas chaves do inversor NPC assimétrico de três níveis.

Corrente nos diodos de grameamento:

A corrente máxima nos diodos de grameamento do inversor simétrico de três níveis é de 7,10A para todos, sendo igual à corrente de pico da carga, conforme mostra a Figura 4.11. Na Figura 4.12 para o inversor assimétrico também de três níveis, pode-se ver que o diodo D_2 deve suportar corrente com o mesmo valor de pico da carga, enquanto D_1 apresenta corrente menor. Na medição verificou-se em D_1 e D_2 os seguintes valores de corrente máxima: 5,16A e 7,16A respectivamente. Com relação ao estresse da corrente no diodos é menor para o inversor assimétrico.

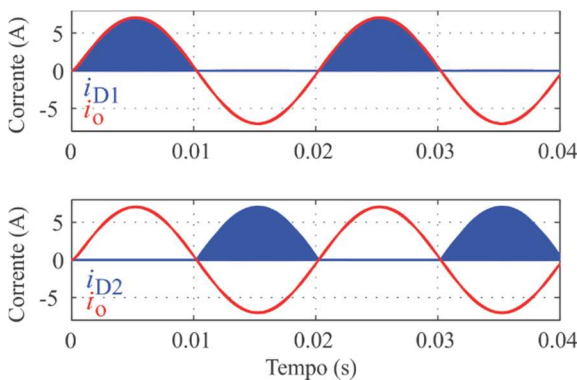


Figura 4.11 – Simulação da corrente nos diodos do inversor NPC simétrico de três níveis.

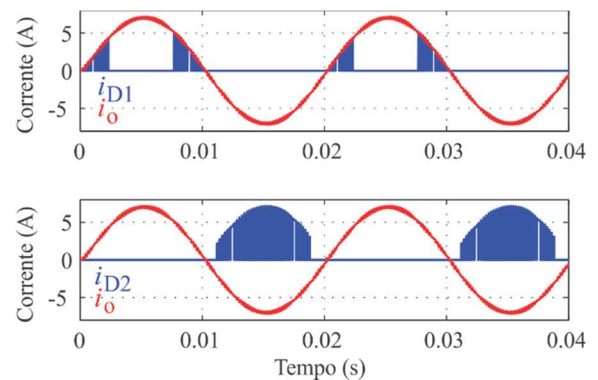


Figura 4.12 – Simulação da corrente nos diodos do inversor NPC assimétrico de três níveis.

4.3.2 Valores das grandezas medidas nas simulações

As Tabelas 4.2 e 4.3 apresentam os valores obtidos na simulação, para os inversores NPC monofásicos simétricos e assimétricos de três níveis.

Tabela 4.2 – Grandezas medidas em simulação na saída dos inversores NPC simétrico e assimétrico de três níveis.

Grandeza medida	Inversor NPC de três níveis		Unidade
	Simétrico	Assimétrico	
Tensão eficaz de saída – $V_{o(rms)}$	208,74	203,91	V
Corrente eficaz da saída – $I_{o(rms)}$	4,97	4,98	A
Corrente de pico da saída – $I_{o(max)}$	7,10	7,16	A
Potência aparente de saída – S	1037,44	1015,47	VA
THD da tensão de saída – THD	31,11	20,94	%

Na Tabela 4.3 a frequência de comutação média [$F_{c(\text{med})}$] das chaves de potência foi calculada levando-se em consideração o intervalo de tempo que a chave é comutada durante um período do sinal de referência, apresentando frequência média de 2,5kHz em todas as chaves para o inversor simétrico e no inversor assimétrico, a frequência média de comutação foi para as chaves Q₂ e Q₄ de 2,5kHz, e para Q₁ e Q₃ com 0,63kHz.

Tabela 4.3 – Grandezas medidas em simulação nas chaves de potência e nos diodos de grampeamento dos inversores NPC simétrico e assimétrico de três níveis.

Chaves e Diodos	Inversor simétrico de três níveis				Inversor assimétrico de três níveis			
	$V_{(\text{max})}$	$I_{(\text{max})}$	$I_{(\text{rms})}$	$F_{c(\text{med})}$	$V_{(\text{max})}$	$I_{(\text{max})}$	$I_{(\text{rms})}$	$F_{c(\text{med})}$
Q ₁	150,00	7,10	3,13	2,50	200,00	7,16	3,37	0,63
Q ₂	150,00	7,10	3,51	2,50	100,00	7,16	3,51	2,50
Q ₃	150,00	7,10	3,51	2,50	200,00	7,16	3,51	0,63
Q ₄	150,00	7,10	3,13	2,50	100,00	7,16	2,65	2,50
D ₁	150,00	7,10	1,59	-	200,00	5,16	1,15	-
D ₂	150,00	7,10	1,59	-	100,00	7,16	2,33	-
Unidade	V	A	A	kHz	V	A	A	kHz

Analisando os resultados da Tabela 4.3 constata-se que as chaves de potência e os diodos de grampeamento para os inversores assimétricos de três níveis apresentam valores superiores de tensão máxima. Porém, em relação a frequência média geral de comutação das chaves, para o inversor simétrico é de 2,5kHz e do assimétrico é de 1,56kHz de média, sugerindo que as perdas por comutação nas chaves devam ser menores nos inversores assimétricos.

4.4 Simulação para o inversor simétrico e assimétrico de quatro níveis

4.4.1 Principais sinais elétricos

Tensão de saída:

A Figura 4.13 apresenta a forma de onda da tensão de saída de simulação para o inversor simétrico de quatro níveis, onde se verifica a presença de sete níveis. O resultado da simulação utilizando como entradas os mesmos valores da Tabela 4.1 é de 204,41V para a tensão eficaz de saída e de 21,05% para a taxa bruta da THD. Para o inversor assimétrico de quatro níveis a saída é mostrada na Figura 4.14, onde se observa a presença de treze níveis, como expressado

na equação (3.7), onde a tensão eficaz de saída na simulação apresenta 201,13V com uma taxa bruta da THD de 10,22%.

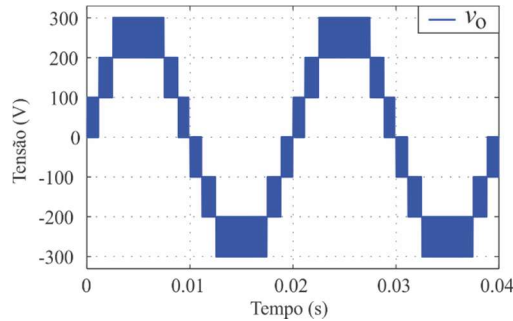


Figura 4.13 – Simulação da tensão de saída para o inversor simétrico de quatro níveis.

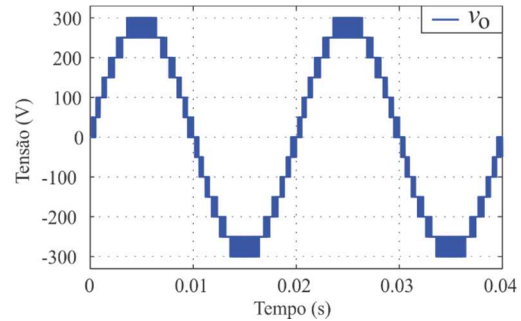


Figura 4.14 – Simulação da tensão para o inversor assimétrico de quatro níveis.

Corrente de saída:

A Figura 4.15 mostra a forma de onda corrente de saída na carga para o inversor simétrico de quatro níveis, onde se verifica 4,97A de valor eficaz e 7,09A de valor de pico. E na Figura 4.16 mostra os valores para o inversor assimétrico também de quatro níveis, sendo obtido 4,99A de valor eficaz e 7,14A de valor de pico. Conforme se observa, corrente de carga praticamente não apresenta variação em relação aos valores obtidos nos inversores de três níveis.

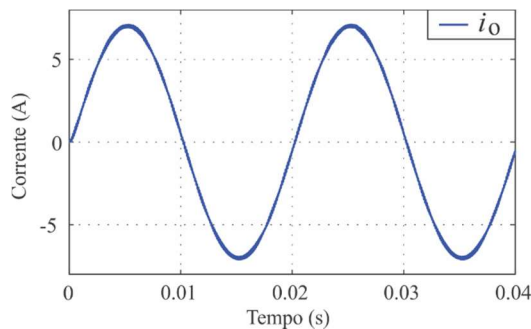


Figura 4.15 – Simulação da corrente de saída para o inversor simétrico de quatro níveis.

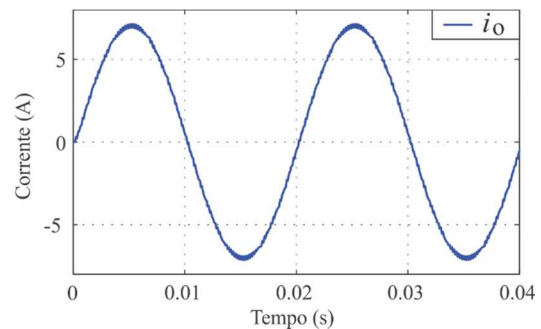


Figura 4.16 – Simulação da corrente de saída do inversor assimétrico de quatro níveis.

Potência de saída:

A potência aparente de saída para inversor o simétrico de quatro níveis é de 1015,92VA e para a assimétrico tem-se uma potência aparente de 1003,64VA. Estes valores foram obtidos em função da corrente e tensão eficaz de saída dos inversores.

Tensão nas chaves de potência:

A Figura 4.17 mostra as tensões nas chaves de potência para o braço (a) do inversor simétrico de quatro níveis, onde o valor da tensão máxima obtida é de 100V para todas as chaves, ou seja, o valor máximo é de $1/3V_{cc}$, conforme mostrado previamente na equação (2.7).

A Figura 4.18 mostra as tensões nas chaves de potência para o inversor assimétrico também de quatro níveis, com os valores máximos das tensões nas chaves Q_1 , Q_2 , Q_3 , Q_4 , Q_5 e Q_6 de: 100V, 150V, 83,35V, 116,67V, 150V e 50V respectivamente, onde cada chave apresenta tensões distintas, sendo o valor máximo de $1/2V_{cc}$ nas chaves Q_2 e Q_5 .

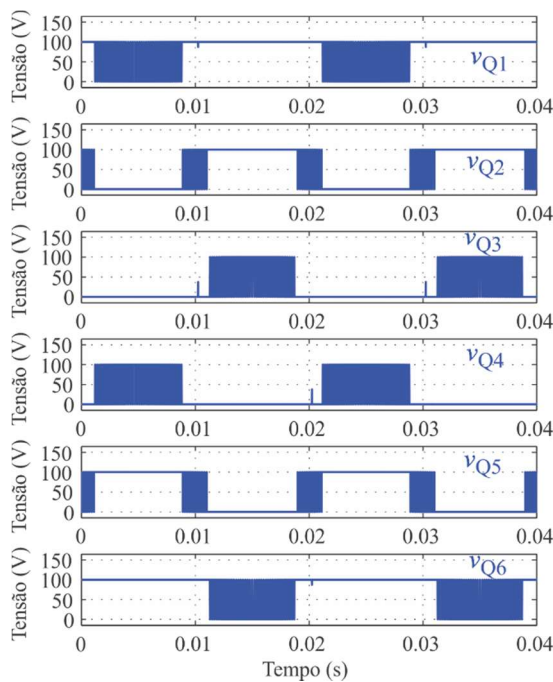


Figura 4.17 – Simulação da tensão nas chaves do inversor simétrico de quatro níveis.

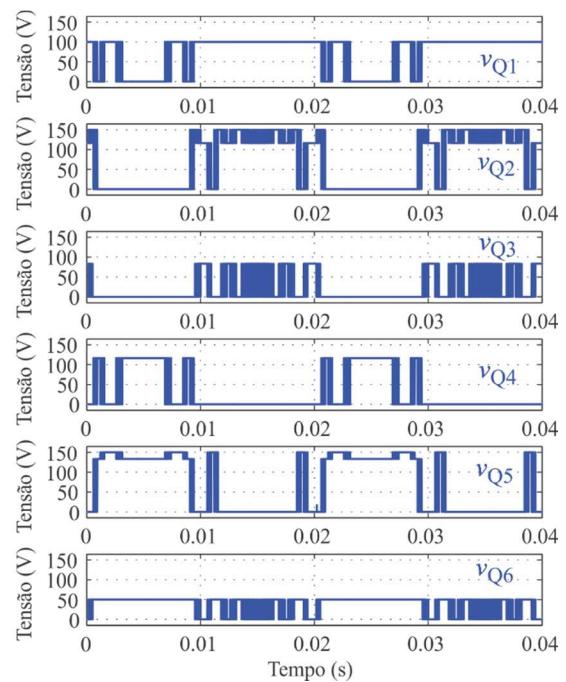


Figura 4.18 – Simulação da tensão nas chaves do inversor assimétrico de quatro níveis.

Tensão nos diodos de grampeamento:

A Figura 4.19 apresenta para o inversor simétrico de quatro níveis, as formas de onda das tensões nos diodos D_1 , D_2 , D_3 e D_4 , sendo obtidos os seguintes valores de tensão reversa máxima 100,00V, 200,00V, 200,00V e 100,00V respectivamente, com os valores máximos de $2/3V_{cc}$ em D_2 e D_3 e de $1/3V_{cc}$ em D_1 e D_4 . Enquanto a Figura 4.20 mostra para o inversor assimétrico de quatro níveis, que as tensões nos diodos de grampeamento são diferentes em todos, com D_3 apresentando a maior tensão reversa entre eles, no valor de $5/6V_{cc}$. Na simulação para os diodos D_1 , D_2 , D_3 e D_4 foram obtidos os seguintes valores de tensão máxima: 100V, 200V, 250V e 50V respectivamente.

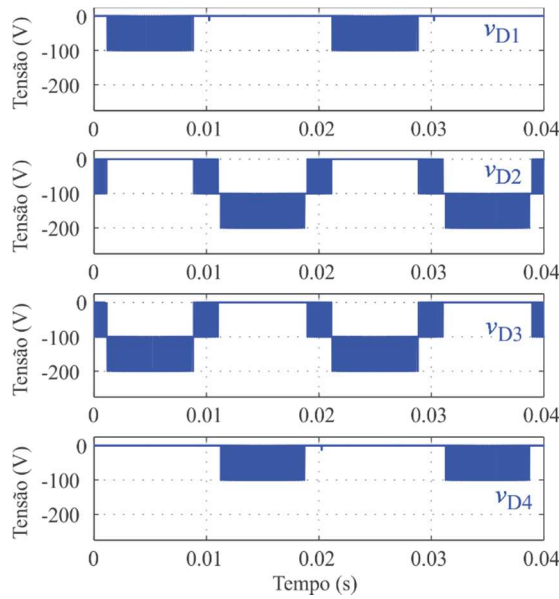


Figura 4.19 – Simulação da tensão nos diodos do inversor simétrico de quatro níveis.

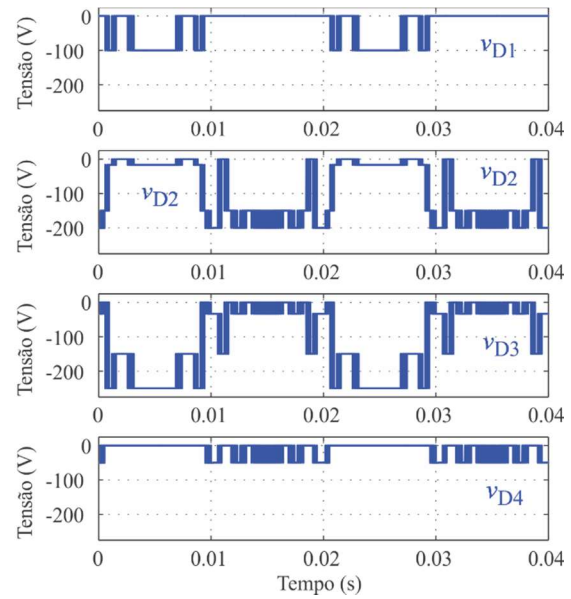


Figura 4.20 – Simulação da tensão nos diodos do inversor assimétrico de quatro níveis.

Corrente nas chaves de potência:

Nas Figuras 4.21 e 4.22 são mostradas as correntes das chaves de potência para os inversores simétrico e assimétrico de quatro níveis respectivamente.

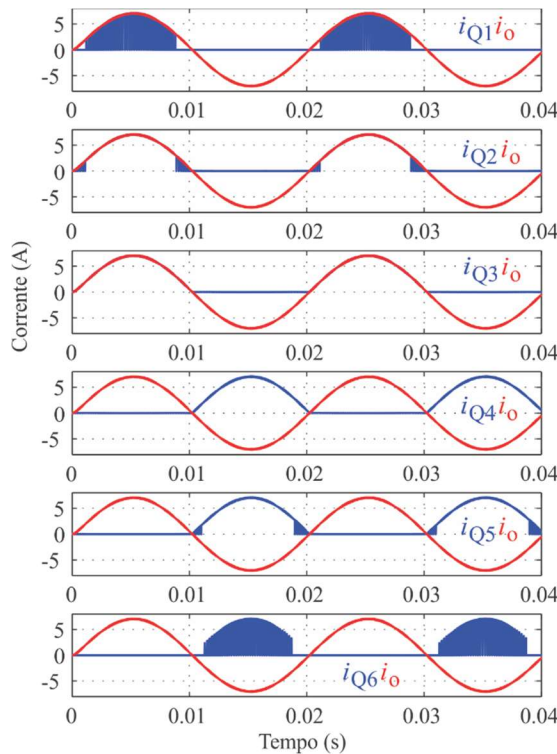


Figura 4.21 – Simulação da corrente das chaves do inversor simétrico de quatro níveis.

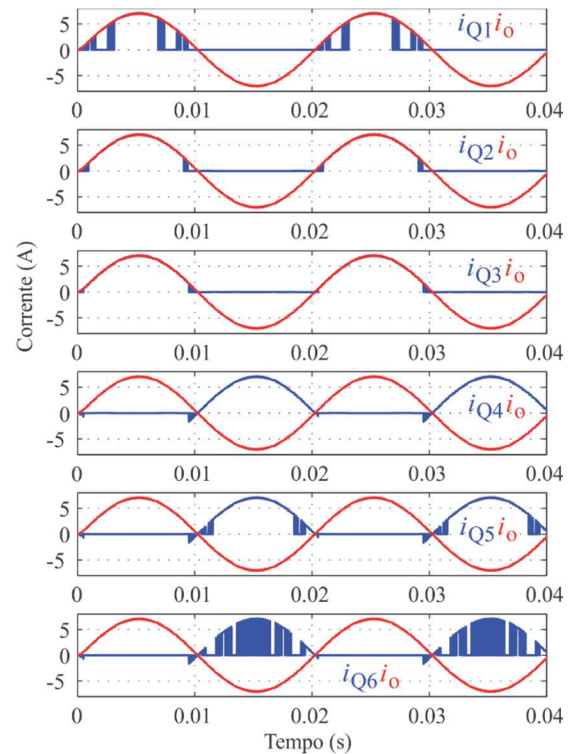


Figura 4.22 – Simulação da corrente das chaves do inversor assimétrico de quatro níveis.

Onde na Figura 4.21 constata-se que os valores máximos são iguais à corrente de pico da carga para todas as chaves, sendo obtida corrente na simulação de 7,09A nas chaves de potência. Já a Figura 4.22 para o inversor assimétrico de quatro níveis foi obtido o valor máximo de 7,14A, idêntico ao valor de pico da corrente de carga e igual também para todas as chaves.

Corrente nos diodos de grameamento:

Na Figura 4.23 são apresentados os sinais de corrente para todos os diodos do braço (a), para o inversor simétrico de quatro níveis, onde se constata que a corrente é máxima e igual à corrente de pico da carga para D_1 e D_4 , enquanto em D_2 e D_3 as correntes são bem menores. Já a Figura 4.24 para o inversor assimétrico de quatro níveis, mostra que apenas o diodo D_4 deve suportar o mesmo valor de corrente de pico da carga, enquanto D_1 , D_2 e D_3 apresentam correntes menores e a medição efetuada para as correntes nos diodos D_1 , D_2 , D_3 e D_4 mostrou os seguintes valores máximos: 6,3A, 3,91A, 2,73A e 7,41A respectivamente.

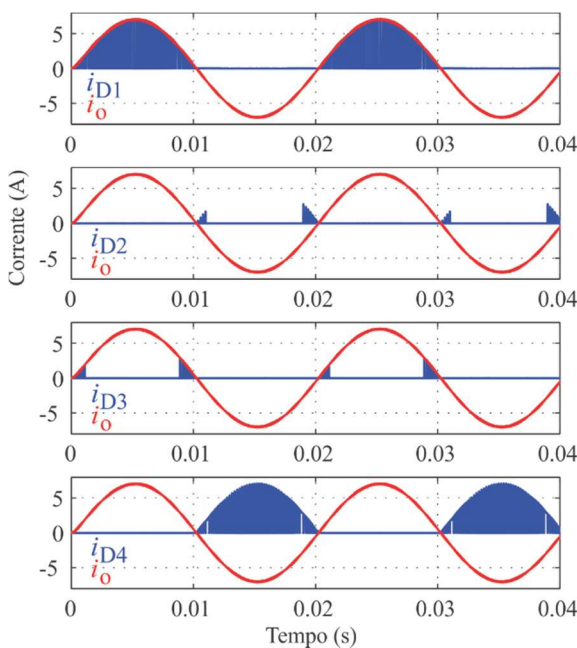


Figura 4.23 – Simulação da corrente nos diodos do inversor simétrico de quatro níveis.

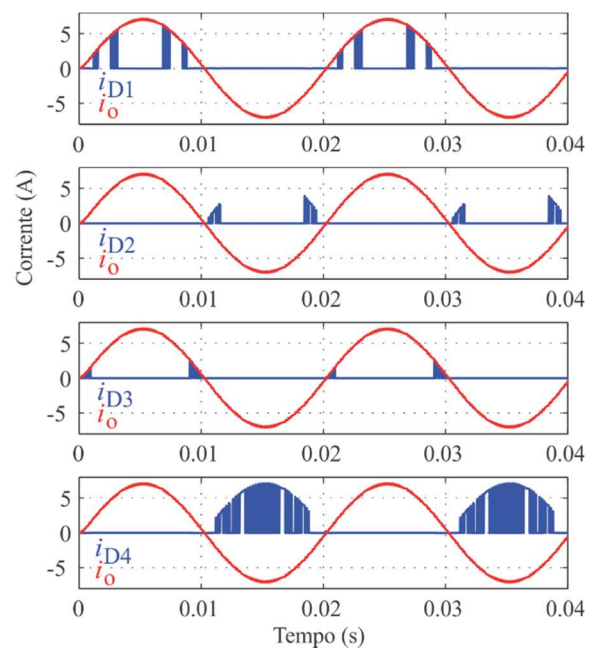


Figura 4.24 – Simulação da corrente nos diodos do inversor assimétrico de quatro níveis.

4.4.2 Valores das grandezas medidas nas simulações

As Tabelas 4.4 e 4.5, apresentam os valores das grandezas obtidos na simulação para os inversores monofásicos simétricos e assimétricos de quatro níveis. As simulações foram

efetuadas em apenas um dos braços, ou seja, no braço (a), pois para o outro braço a resposta é a mesma.

Tabela 4.4 – Grandezas medidas em simulação na saída dos inversores simétrico e assimétrico com diodos de grampeamento de quatro níveis.

Grandeza medida	Inversor com diodos de grampeamento de quatro níveis		Unidade
	Simétrico	Assimétrico	
Tensão eficaz de saída – $V_{o(rms)}$	204,41	201,13	V
Corrente eficaz da saída – $I_{o(rms)}$	4,97	4,99	A
Corrente de pico da saída – $I_{o(max)}$	7,09	7,14	A
Potência aparente de saída – S	1015,92	1003,64	VA
THD da tensão de saída – THD	21,05	10,21	%

Tabela 4.5 – Grandezas medidas em simulação nas chaves de potência e nos diodos de grampeamento dos inversores simétrico e assimétrico de quatro níveis.

Chaves e Diodos	Inversor simétrico de quatro níveis				Inversor assimétrico de quatro níveis			
	$V_{(max)}$	$I_{(max)}$	$I_{(rms)}$	$F_{c(med)}$	$V_{(max)}$	$I_{(max)}$	$I_{(rms)}$	$F_{c(med)}$
Q₁	100,00	7,09	2,95	1,90	100,00	7,14	3,05	0,97
Q₂	100,00	7,09	3,51	1,05	150,00	7,14	3,51	0,84
Q₃	100,00	7,09	3,51	1,90	83,35	7,14	3,51	2,21
Q₄	100,00	7,09	3,51	1,90	116,67	7,14	3,51	0,97
Q₅	100,00	7,09	3,51	1,05	150,00	7,14	3,51	0,84
Q₆	100,00	7,09	2,95	1,90	50,00	7,14	4,31	2,21
D₁	100,00	7,09	1,95	-	100,00	6,30	1,74	-
D₂	200,00	2,80	2,00	-	200,00	3,91	0,63	-
D₃	200,00	2,80	2,00	-	250,00	2,73	0,34	-
D₄	100,00	7,09	1,95	-	50,00	7,14	2,61	-
Unidade	V	A	A	kHz	V	A	A	kHz

Analisando os resultados da Tabela 4.5 constata-se que as chaves de potência e os diodos de grampeamento para os inversores assimétricos de quatro níveis apresentam valores superiores de tensão máxima. Porém, em relação a frequência média geral de comutação das chaves, para o inversor simétrico é de 1,62kHz e do assimétrico é de 1,34kHz de média, sugerindo que as perdas por comutação nas chaves devam ser menores nos inversores assimétricos.

4.5 Simulação para os inversores simétrico e assimétrico de cinco níveis

4.5.1 Principais sinais elétricos

Tensão de saída:

A Figura 4.25 apresenta a forma de onda da tensão de saída de simulação para o inversor NPC simétrico de cinco níveis, onde se verifica a presença de nove níveis. O resultado da simulação utilizando como entradas os mesmos valores da Tabela 4.1, é de 202,7V para a tensão eficaz de saída e de 16,03% para a taxa bruta da THD. Para o inversor NPC assimétrico de cinco níveis a tensão de saída é mostrada na Figura 4.26, contendo dezenove níveis, sendo obtido na simulação 201,83V eficazes e uma THD bruta de 6,26%.

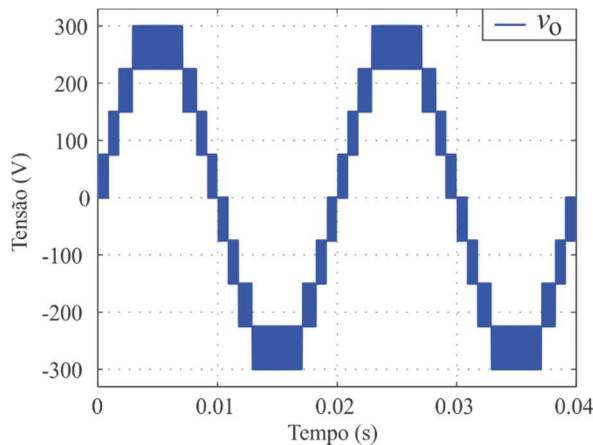


Figura 4.25 – Simulação da tensão de saída para o inversor NPC simétrico de cinco níveis.

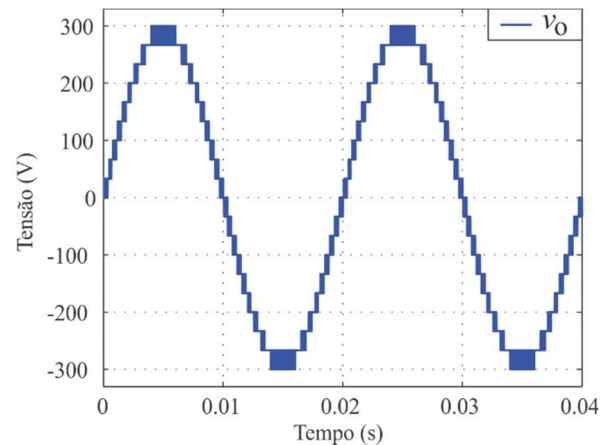


Figura 4.26 – Simulação da tensão de saída para o inversor NPC assimétrico de cinco níveis.

Corrente de saída:

A Figura 4.27 mostra a forma de onda da corrente na cara para o inversor NPC simétrico de cinco níveis, onde se constata que a corrente praticamente não apresenta variação em relação aos valores obtidos nos inversores de três e quatro níveis, foi obtido para o valor da corrente eficaz 4,97A e para o valor de pico 7,08A.

Para o inversor NPC assimétrico também de cinco níveis, conforme mostra a Figura 4.28, a corrente de saída também não modificou, apresentando valor idêntico ao obtido para o inversor NPC simétrico.

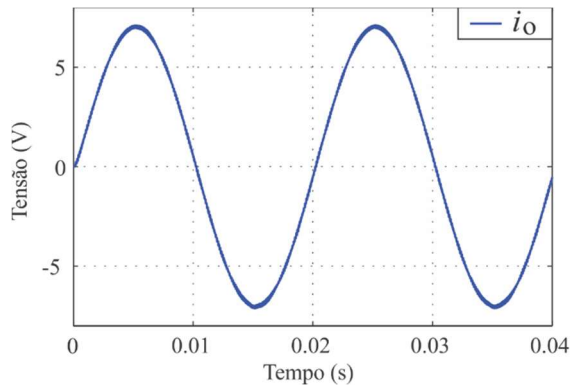


Figura 4.27 – Simulação da corrente de saída do inversor NPC simétrico de cinco níveis.

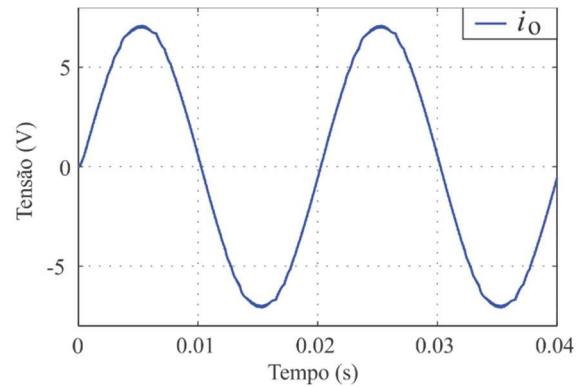


Figura 4.28 – Simulação da corrente de saída do inversor NPC assimétrico de cinco níveis.

Tensão nas chaves de potência:

Nas Figuras 4.29 e 4.30 são apresentados os sinais de tensão para as chaves de potência do braço (a) dos inversores NPC simétrico e assimétrico de cinco níveis respectivamente.

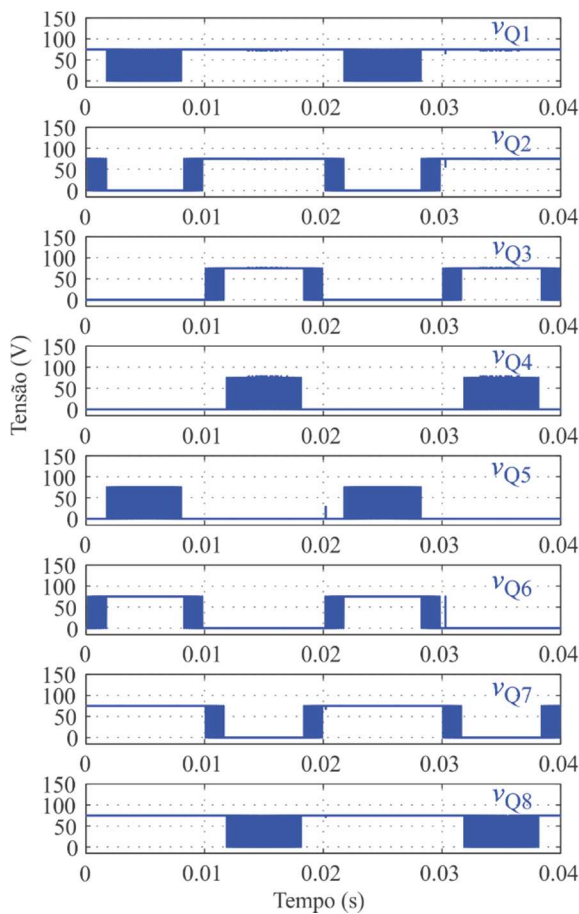


Figura 4.29 – Simulação da tensão nas chaves do inversor NPC simétrico de cinco níveis

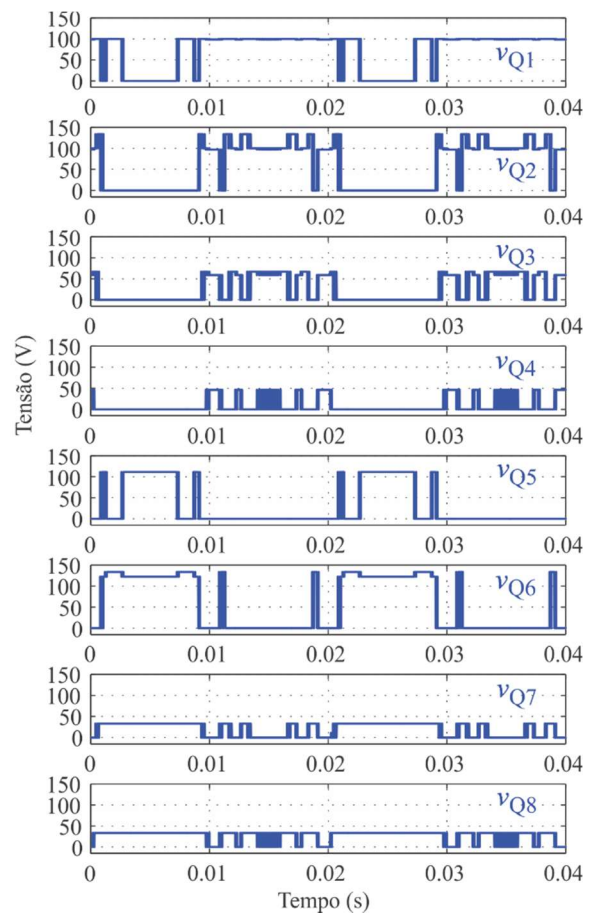


Figura 4.30 – Simulação da tensão nas chaves do inversor NPC assimétrico de cinco níveis.

Onde se verifica na Figura 4.29 tensão máxima de 75V para todas as chaves, que representa $1/4V_{cc}$. Enquanto que a Figura 4.30 para o inversor as chaves $Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7$ e Q_8 apresentam tensão máxima: 100V, 133,33V, 66,67V, 46,04V, 111,11V, 133,33V, 33,33V e 33,33V respectivamente, sendo o valor máximo de $4/9V_{cc}$ obtido nas chaves Q_2 e Q_6 .

Potência de saída:

A potência aparente de saída do inversor simétrico de cinco níveis é de 1007,42VA e para o inversor assimétrico praticamente apresentou o mesmo valor, ou seja 1013,19VA, calculada em função da tensão e da corrente eficaz na carga.

Tensão nos diodos de grampeamento:

Para o inversor NPC simétrico de cinco níveis as tensões reversas dos diodos D_1, D_2, D_3, D_4, D_5 e D_6 foram obtidos os seguintes valores: 75V, 225V, 150V, 150V, 225V e 75V respectivamente, sendo a máxima tensão reversa de $3/4V_{cc}$ obtidos nos diodos D_2 e D_5 , como pode ser visto na Figura 4.31 abaixo. Já a Figura 4.32 mostra as tensões para os diodos de grampeamento do inversor NPC assimétrico também de cinco níveis, onde cada diodo apresenta uma tensão reversa máxima diferente, sendo que o diodo D_5 apresenta a maior entre todos, cujo valor é de 266,67V, equivalente a $8/9V_{cc}$.

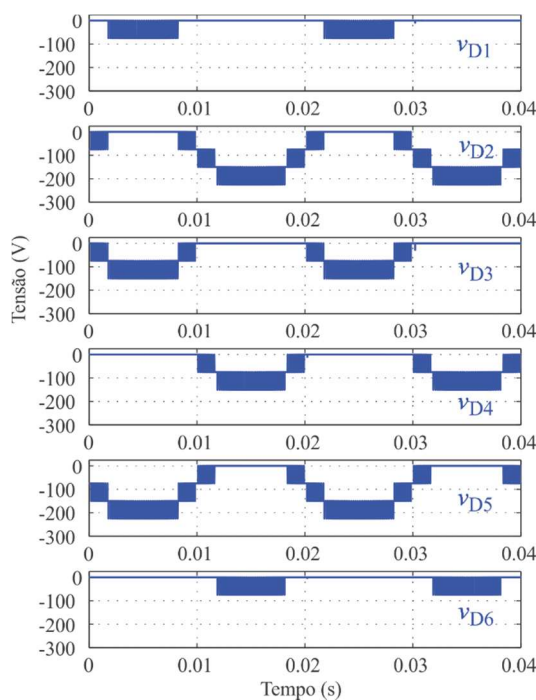


Figura 4.31 – Simulação da tensão nos diodos do inversor NPC simétrico de cinco níveis.

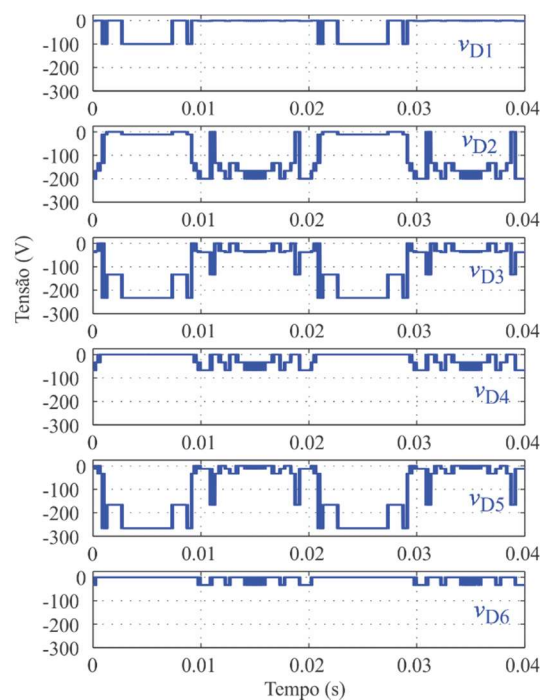


Figura 4.32 – Simulação da tensão nos diodos do inversor NPC assimétrico de cinco níveis.

Corrente nas chaves de potência:

Para o inversor NPC simétrico de cinco níveis a Figura 4.33 mostra que a corrente máxima das chaves semicondutoras é mesma em todas, sendo igual à corrente de pico da carga, ou seja, 7,08A de corrente máxima. Com relação o inversor assimétrico, a Figura 4.34 mostra que em todas as chaves, a corrente máxima também é igual à corrente de pico da carga.

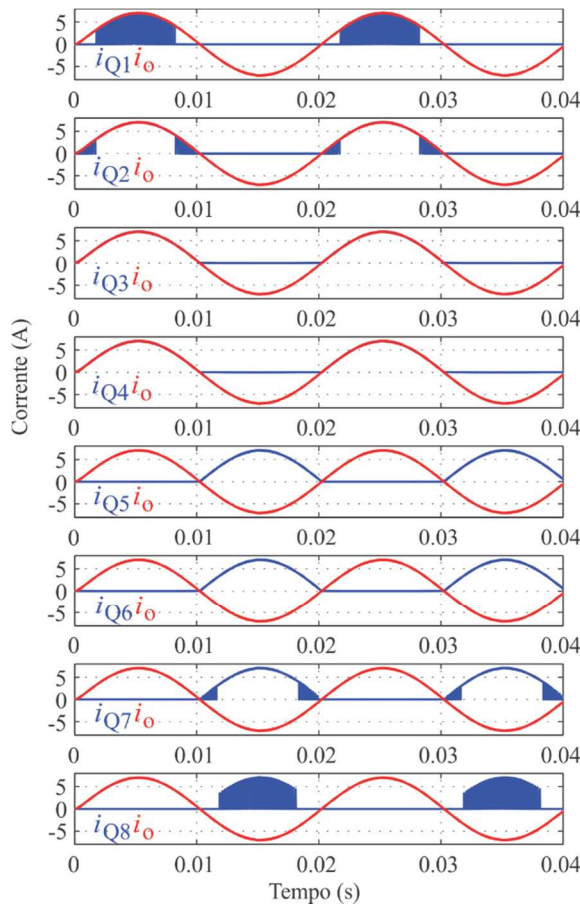


Figura 4.33 – Simulação da corrente das chaves do inversor NPC simétrico de cinco níveis.

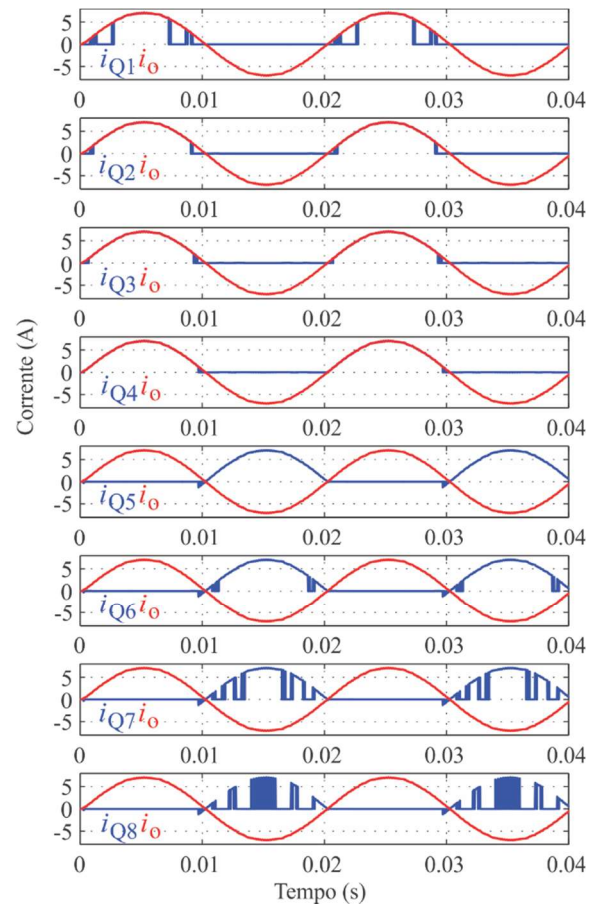


Figura 4.34 – Simulação da corrente das chaves do inversor NPC assimétrico de cinco níveis.

Corrente nos diodos de grampeamento:

A medição das correntes nos diodos de grampeamento deste inversor, constata-se que D_1 e D_6 apresentam o valor de corrente máxima igual à corrente de pico da carga, enquanto D_2 , D_3 , D_4 e D_5 apresentam correntes menores, como pode ser visto na Figura 4.35. Já a Figura 4.36 é mostrada as formas de onda das correntes dos diodos para o inversor NPC assimétrico também de cinco níveis, onde todos apresentam correntes distintas, sendo que apenas D_6 possui corrente máxima igual à corrente de pico da carga e para os demais diodos, as correntes são menores.

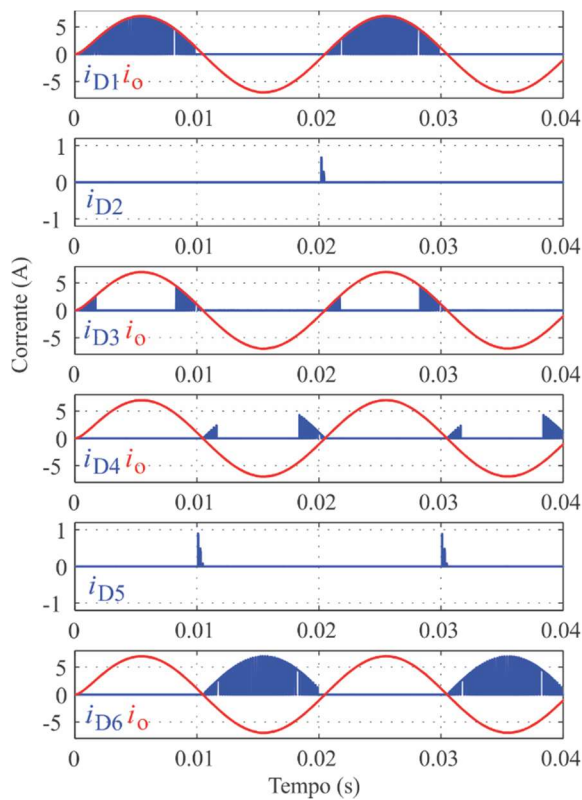


Figura 4.35 – Simulação da corrente nos diodos do inversor NPC simétrico de cinco níveis.

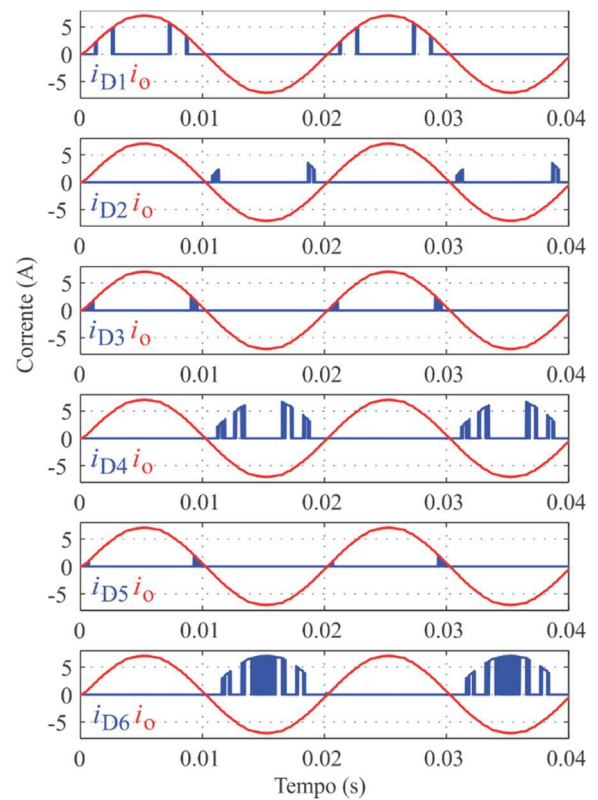


Figura 4.36 – Simulação da corrente nos diodos do inversor NPC assimétrico de cinco níveis.

4.5.2 Valores das grandezas medidas nas simulações

As Tabelas 4.6 e 4.7, apresentam os valores das grandezas obtidos na simulação para os inversores NPC monofásicos simétricos e assimétricos de cinco níveis.

Tabela 4.6 – Grandezas medidas em simulação na saída dos inversores NPC simétrico e assimétrico de cinco níveis.

Grandeza medida	Inversor NPC de cinco níveis		Unidade
	Simétrico	Assimétrico	
Tensão eficaz de saída – $V_{o(rms)}$	202,70	201,83	V
Corrente eficaz da saída – $I_{o(rms)}$	4,97	5,02	A
Corrente de pico da saída – $I_{o(max)}$	7,08	7,12	A
Potência aparente de saída – S	1007,42	1013,19	VA
THD da tensão de saída – THD	16,03	6,26	%

Tabela 4.7 – Grandezas medidas em simulação nas chaves de potência e nos diodos de grameamento dos inversores simétrico e assimétrico de cinco níveis.

Chaves e Diodos	Inversor simétrico de cinco níveis				Inversor assimétrico de cinco níveis			
	$V_{(max)}$	$I_{(max)}$	$I_{(rms)}$	$F_{c(med)}$	$V_{(max)}$	$I_{(max)}$	$I_{(rms)}$	$F_{c(med)}$
Q₁	75,00	7,08	2,75	1,60	100,00	7,12	3,15	0,63
Q₂	75,00	7,08	3,51	0,83	133,33	7,12	3,53	0,57
Q₃	75,00	7,08	3,51	0,83	66,67	7,12	3,53	1,35
Q₄	75,00	7,08	3,51	1,60	46,04	7,12	3,53	1,60
Q₅	75,00	7,08	3,51	1,60	111,11	7,12	3,53	0,63
Q₆	75,00	7,08	3,51	0,83	133,33	7,12	3,53	0,57
Q₇	75,00	7,08	3,51	0,83	33,33	7,12	3,15	1,35
Q₈	75,00	7,08	2,75	1,60	33,33	7,12	1,71	1,60
D₁	75,00	7,08	2,13	-	100,00	5,90	1,60	-
D₂	225,00	0,68	0,16	-	200,00	3,55	0,51	-
D₃	150,00	4,12	0,49	-	233,33	2,72	0,33	-
D₄	150,00	4,12	0,49	-	66,67	6,67	1,60	-
D₅	225,00	0,90	0,03	-	266,67	2,11	0,20	-
D₆	75,00	7,08	2,13	-	33,33	7,12	2,60	-
Unidade	V	A	A	kHz	V	A	A	kHz

Analisando os resultados da Tabela 4.7 constata-se que as chaves de potência e os diodos de grameamento para os inversores assimétricos de três níveis apresentam valores superiores de tensão máxima. Porém, em relação a frequência média geral de comutação das chaves, para o inversor simétrico é de 1,22kHz e do assimétrico é de 1,04kHz de média, sugerindo que as perdas por comutação nas chaves devam ser menores nos inversores assimétricos.

4.6 Conclusão

Neste capítulo os resultados obtidos das simulações, comprovam a eficácia da técnica de modulação desenvolvida e aplicada aos inversores NPC monofásicos assimétricos.

Após as simulações efetuadas nos inversores NPC simétricos e assimétricos com três, quatro ou cinco níveis por braço e consultando os resultados apresentados nas medições da saída dos inversores, mostrados nas tabelas 4.2, 4.4 e 4.6, bem como as medições efetuadas de tensão e corrente nas chaves de potência e nos diodos de grameamento, mostradas nas tabelas 4.3, 4.5 e 4.7, pode-se afirmar que os inversores assimétricos apresentam um sinal de saída com qualidade superior, tendo em vista a redução significativa que ocorreu na taxa de distorção

harmônica total (THD). Uma outra vantagem dos inversores assimétricos é que a frequência média de comutação das chaves de potência é menor, sugerindo uma redução nas perdas.

Com relação às desvantagens das estruturas assimétricas, consultando novamente as tabelas citadas acima, constata-se que as chaves de potência e os diodos de grampeamento apresentam valores de tensão mais elevado que os inversores simétricos de mesmo nível. Outra desvantagem dos inversores NPC assimétricos é que não pode ser utilizado em estruturas do tipo CA/CC/CA.

Capítulo 5

Resultados Experimentais

5.1 Introdução

Neste capítulo são apresentados os resultados obtidos experimentalmente com a montagem do protótipo de um inversor NPC monofásico assimétrico de três níveis, cujo objetivo é comprovar o funcionamento da técnica empregada para elevar a quantidade de níveis da tensão de saída do inversor, conforme já foi demonstrado no capítulo anterior através das simulações efetuadas.

Inicialmente é realizada a descrição do protótipo montado, mostrando todos os dispositivos necessários para a sua implementação e em seguida as formas de ondas com os resultados experimentais e de simulações são apresentados e comparados. Os resultados experimentais foram obtidos através de medidas efetuadas e armazenadas em um osciloscópio modelo DSOX-3014A da Agilent Technologies.

5.2 Descrição do protótipo implementado

O protótipo construído foi baseado nas especificações constantes na Tabela 5.1 e utilizando os componentes disponíveis no laboratório de otimização do Departamento de Engenharia Elétrica da UFPB.

A Figura 5.1 apresenta a plataforma onde foi efetuada a montagem do protótipo para a realização dos experimentos e a Tabela 5.2 contempla a lista com os principais componentes que constam na plataforma e que foram utilizados na montagem. Como pode ser observado nesta plataforma de montagem, foram colocados placas de acrílico, onde foram fixados os conectores que permitem fazer as interligações necessárias. Este acrílico também protege o operador contra choques elétricos acidentais.

Tabela 5.1 – Especificação do protótipo.

Descrição da Grandeza	Valor	Unidade
Tensão total do barramento – V_{cc}	330,00	V
Tensão eficaz de saída - $V_{o(rms)}$	220,00	V
Potência aparente de saída – S	900,00	VA
Frequência de chaveamento – f_s	5000,00	Hz
Frequência da fundamental – f_m	50,00	Hz
Resistência de carga - R	54,00	Ω
Indutância de carga - L	12,00	mH

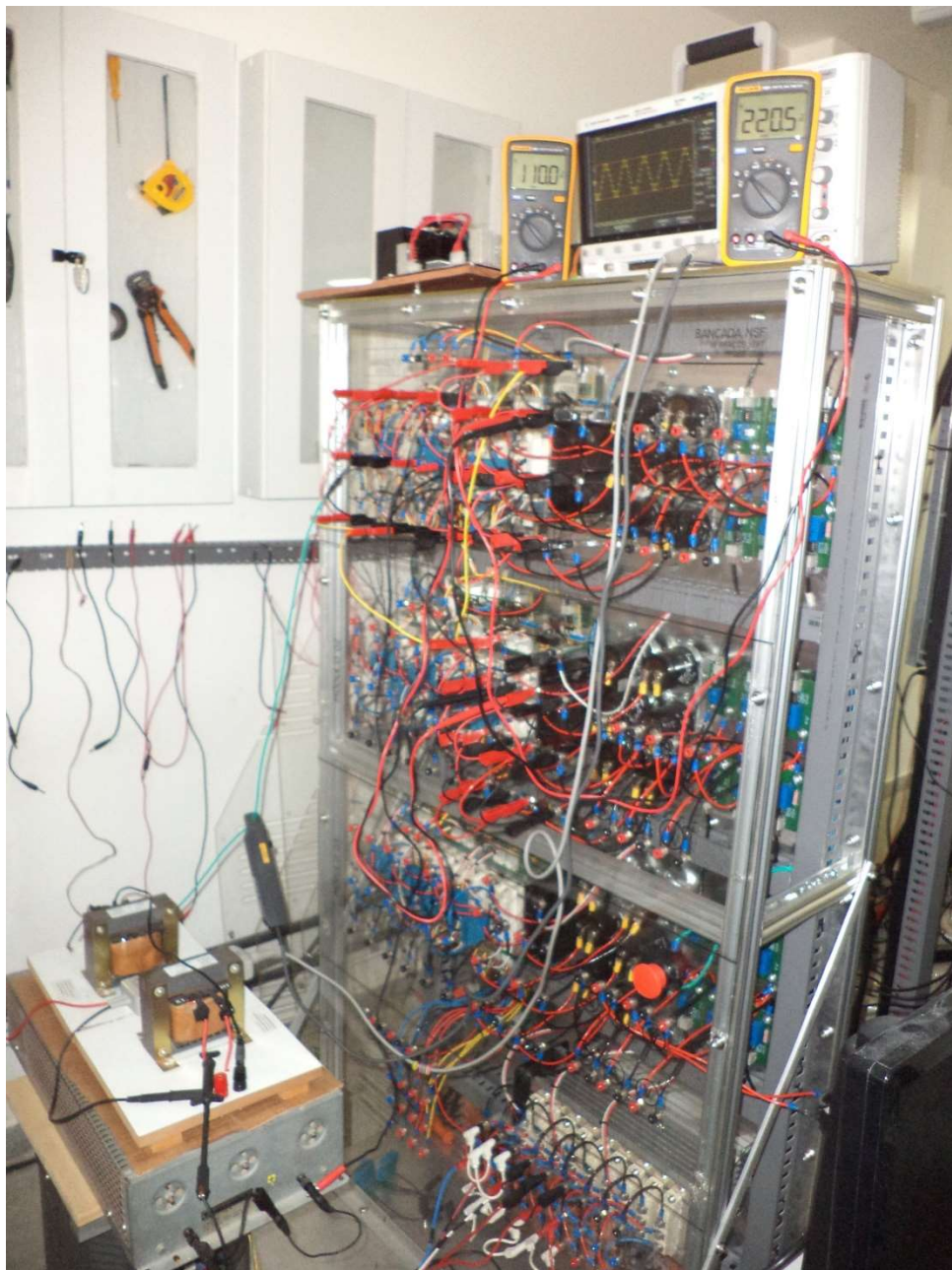


Figura 5.1 – Plataforma utilizada na montagem do protótipo.

Tabela 5.2 – Principais componentes empregados no protótipo.

Descrição	Características	Referência / Fabricante	Qtd
Transformador variável	380V/380V/14kVA 3 Ø	Aute Ind. Eletro Ltda	02
Indutor de saída	6mH/15A	Mr. Severo Ind. Ltda	02
Resistor de Carga	54Ω/2400W	Danotherm Electric A/S	01
Braços de diodos	1200V/45A	SKKD 46/12 Semikron	06
Braços de chaves	600V/50A	SKM506B063D Semikron	06
Dissipador para chaves	300mm	P3/300 Semikron	02
Capacitores do barramento	1000uF/450V	B43456-A5108 – Epcos	10
Capacitores Snubbers	1uF/1000V	B32656S0105J502 - Epcos	04
Drivers	Duplo de 1200V	SKHI 23/12 – Semikron	06
Circuito Modulador	FPGA 150MHz	Cyclone V – Altera	01

Na montagem do inversor NPC foram utilizados seis braços de IGBT, interligados como mostra a Figura 5.2. Os transistores de Q_1 a Q_8 operam como chaves recebendo os sinais PWM do comando. Enquanto os transistores Q_9 , Q_{10} , Q_{11} e Q_{12} , estão funcionando como os diodos de grameamento existentes na topologia NPC, sendo estas chaves acionadas durante todo tempo com nível lógico 0, para que permaneçam desligados e desta forma, operem como diodos. Os capacitores CS1, CS2, CS3 e CS4 (Capacitores Snubbers) são responsáveis pela supressão dos picos que podem ocorrer ao desligar as chaves.

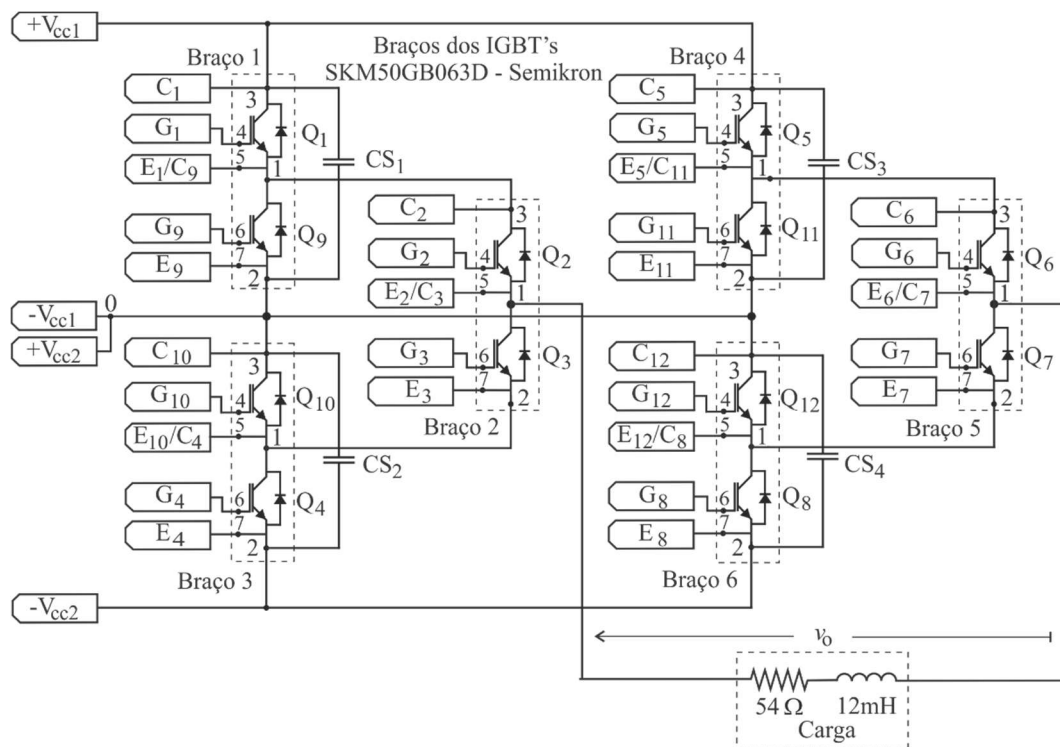


Figura 5.2 – Diagrama de interligação dos braços das chaves de potência configurado como inversor NPC monofásico assimétrico de três níveis.

O circuito responsável pelo fornecimento das tensões dos barramentos CC é mostrado na Figura 5.3, onde a montagem dos dois barramentos necessários para alimentar o inversor NPC assimétrico, V_{cc1} de 220V e V_{cc2} de 110V, foram feitos utilizando-se dois transformadores trifásicos variáveis (Variacs) e um transformador trifásico isolador que alimentam duas pontes trifásicas de diodos retificadores, implementada com braços de diodos, modelo SKKD 46/12 da Semikron. Na saída de cada ponte trifásica foi colocado um banco de cinco capacitores, sendo cada capacitor de 1000uF/450V da Epcos. Os Variacs foram ajustados para fornecer a plena carga do inversor, as tensões dos barramentos em 220V e 110V para os barramentos 1 e 2 respectivamente.

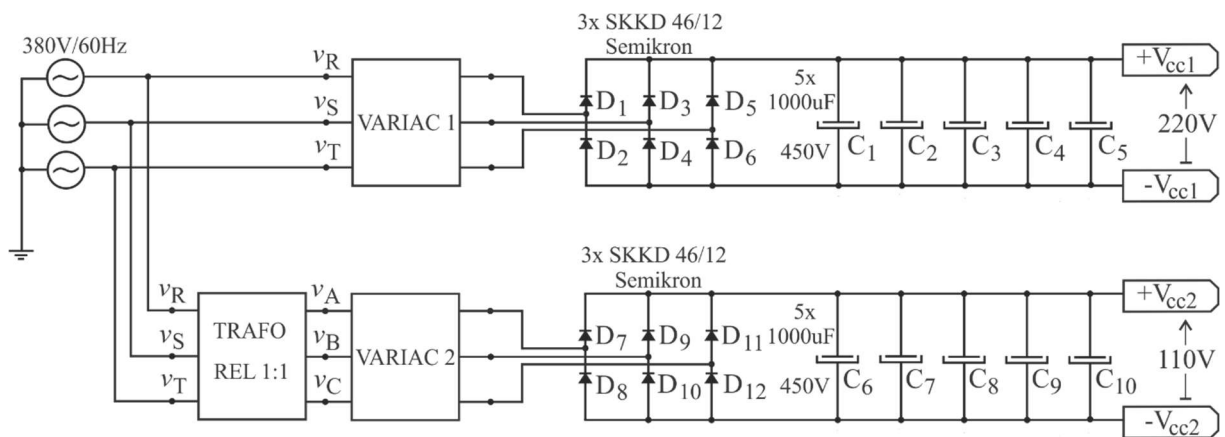


Figura 5.3 – Circuito de obtenção das fontes de tensão que compõem o barramento CC.

Os sinais PWM obtidos através do FPGA são interligados aos drivers de acionamento das chaves de potência, como mostra o diagrama da Figura 5.4.

Conforme mostra a Figura 5.4 são utilizados uma placa com um FPGA (*Field Programmable Gate Array*) e seis drivers duplo, cuja referência é SKHI 23/12 da Semikron, sendo cada driver responsável para acionar dois IGBT no circuito do inversor.

As saídas Q_1 a Q_8 do FPGA, fornecem os sinais PWM para as chaves de mesmo nome do inversor NPC, enquanto que as saídas Q_9 a Q_{12} do FPGA, fornecem nível lógico 0 para as chaves correspondentes, para que estas operem como diodos de grampeamento no circuito do inversor NPC apresentado.

O Circuito modulador dos sinais PWM foi implementado no FPGA, modelo Cyclone V da Altera, que consta na placa de desenvolvimento Deo Nano SoC da Terasic, mostrado na Figura 5.5.

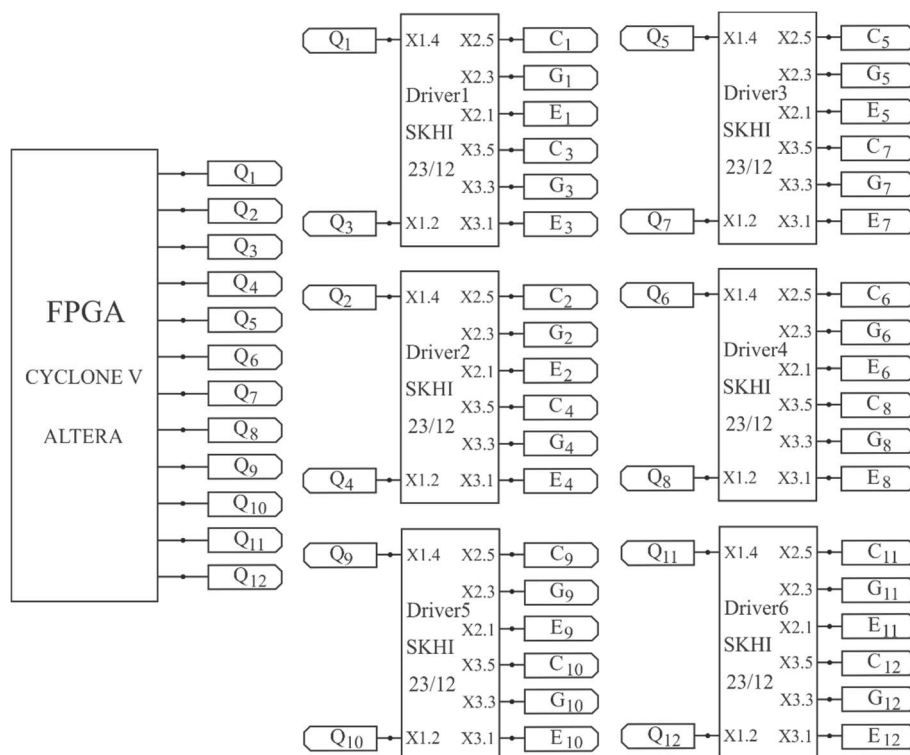


Figura 5.4 – Diagrama de interligação entre o FPGA e os drivers de acionamento das chaves de potência do inversor.



Figura 5.5 – Kit de desenvolvimento com FPGA Cyclone V da Altera

A configuração do FPGA como modulador PWM para o inversor NPC assimétrico, foi efetuado utilizando o software de programação Quartus II da Altera, sendo a programação

desenvolvida utilizando a linguagem VHDL (*VHSIC Hardware Description Language*), como mostra o diagrama de blocos do modulador completo na Figura 5.6.

O diagrama de blocos do modulador é constituído por oito blocos: O bloco TRIANGULARES que gera três ondas portadoras triangulares de 5KHz deslocadas em nível, a partir de um clock de 50MHz existente na placa do FPGA. O bloco CLK_CONTADOR gera um sinal de 10KHz, a partir da portadora triangular, para fornecer o clock do contador que endereça a memória. O bloco CONTADOR_200 gera 200 endereços binários crescentes de 0 a 199, com uma periodicidade de 20ms, ou seja, com frequência de 50Hz. O bloco HABILITA_MEMORIA ativa a leitura da memória, quando o endereço já está atualizado. O bloco SENO_200_AMOSTRAS é uma memória de leitura que contem 200 amostras de um sinal senoidal, fornecendo na saída todas as 200 amostras a cada 20ms. O bloco GERADOR_PWM através da comparação entre às três portadoras e o sinal senoidal retificado, gera na sua saída três sinais pwm. O bloco SETORES, divide o sinal senoidal e seis intervalos de tempo que define os sete níveis do inversor. Finalmente, o bloco LOGICA_COMBINACIONAL recebe os três sinais pwm e em função do setor ativo, coloca nas doze saídas os sinais pwm para que ocorra a modulação correta do inversor NPC monofásico assimétrico de três níveis, objeto de estudo deste trabalho.

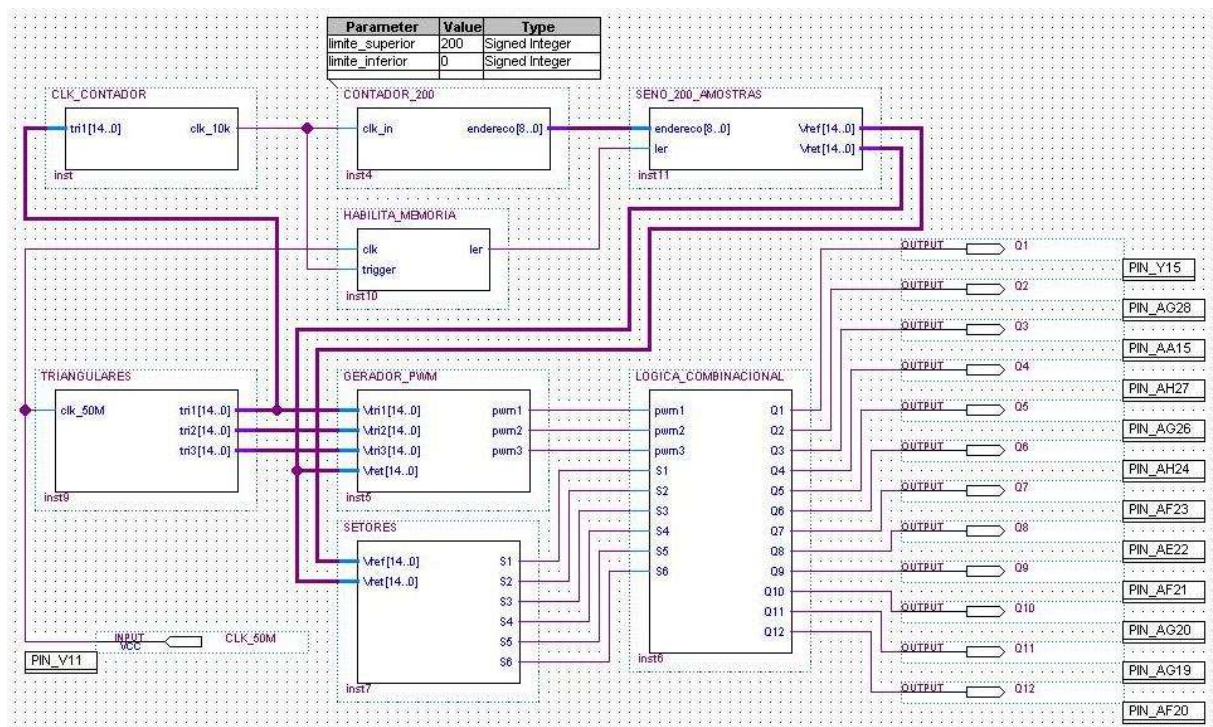


Figura 5.6 – Diagrama em blocos da configuração do FPGA em VHDL como modulador PWM para o inversor NPC monofásico assimétrico de três níveis.

5.3 Resultados experimentais e de simulações do protótipo

5.3.1 Sinais para comando das chaves de potência

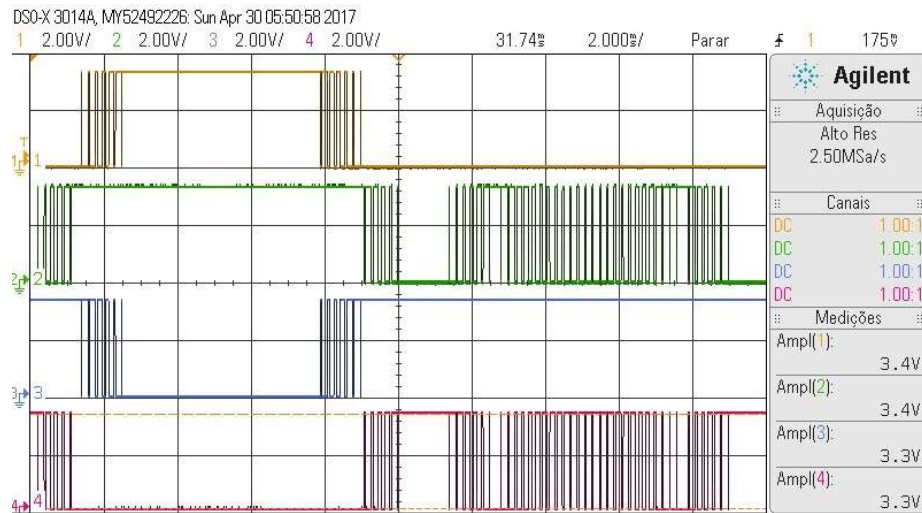


Figura 5.7 – Formas de onda dos pulsos do FPGA para comando das chaves do braço (a).

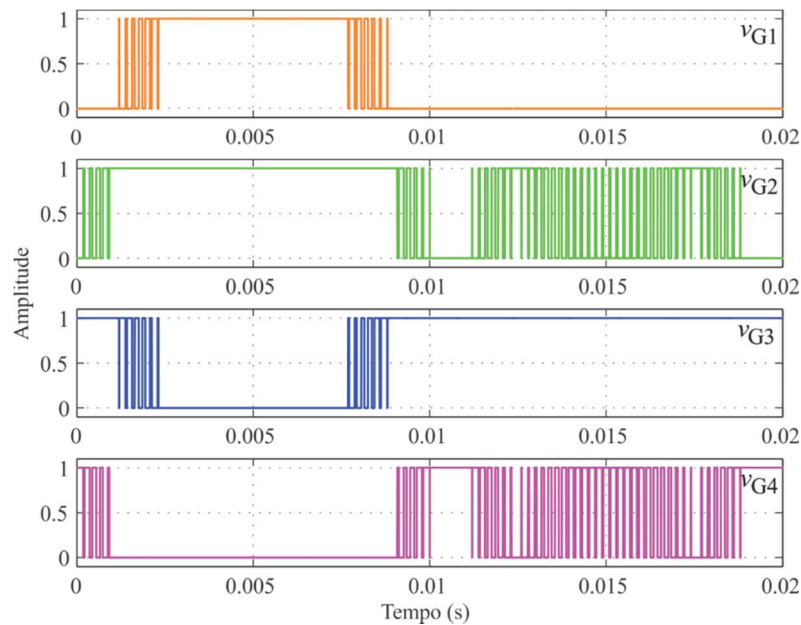


Figura 5.8 – Simulação para os sinais dos pulsos de comando das chaves do braço (a).

Observando as Figuras 5.7 e 5.8 constata-se que as formas de onda geradas no FPGA e os sinais simulados no PSIM, são semelhantes, comprovando desta forma o bom funcionamento do modulador implementado no FPGA. Nas Figuras 5.7 e 5.8, as formas de onda nas cores laranja, verde, azul e rosa são referentes aos sinais de comando das chaves Q_1 , Q_2 , Q_3 e Q_4 do

braço (a) respectivamente. Constatase também que os pulsos aplicados nos pares de chaves (Q1, Q3) e (Q2, Q4) são complementares, conforme já comentado no capítulo 3.

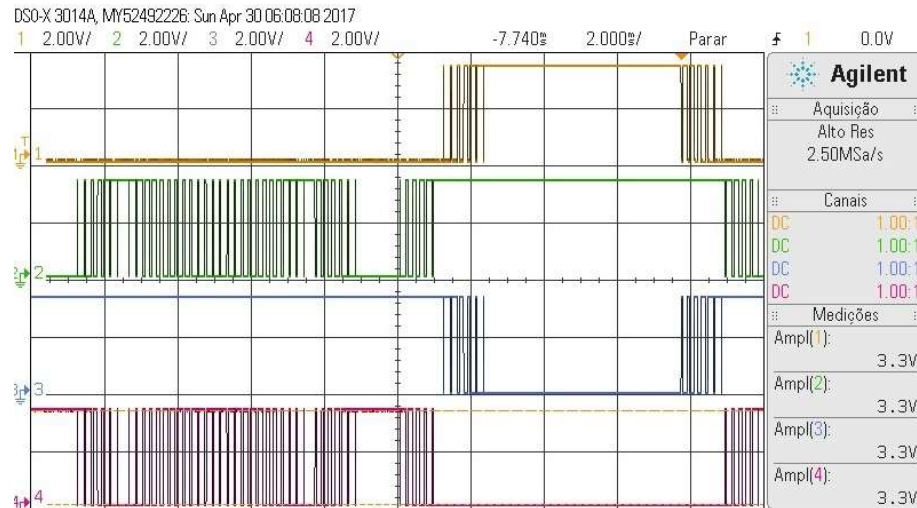


Figura 5.9 – Forma de onda dos pulsos do FPGA para comando das chaves do braço (b).

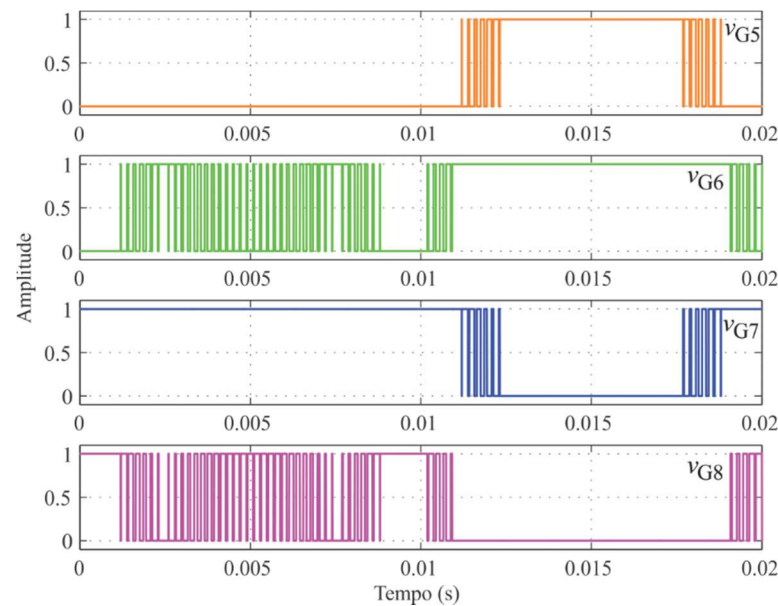


Figura 5.10 – Simulação para os sinais dos pulsos de comando das chaves do braço (b).

Nas Figuras 5.9 e 5.10 as formas de onda nas cores laranja, verde, azul e rosa são referentes aos pulsos de comando das chaves Q₅, Q₆, Q₇ e Q₈ do braço (b) respectivamente. Verifica-se também, que os pulsos aplicados nos pares de chaves (Q₅, Q₇) e (Q₆, Q₈) são complementares.

Os sinais das Figuras 5.7 e 5.9, foram obtidos através do FPGA Cyclone V da Altera, configurado como modulador PWM para inversor NPC assimétrico de três níveis por braço.

5.3.2 Sinais de tensão na saída dos braços

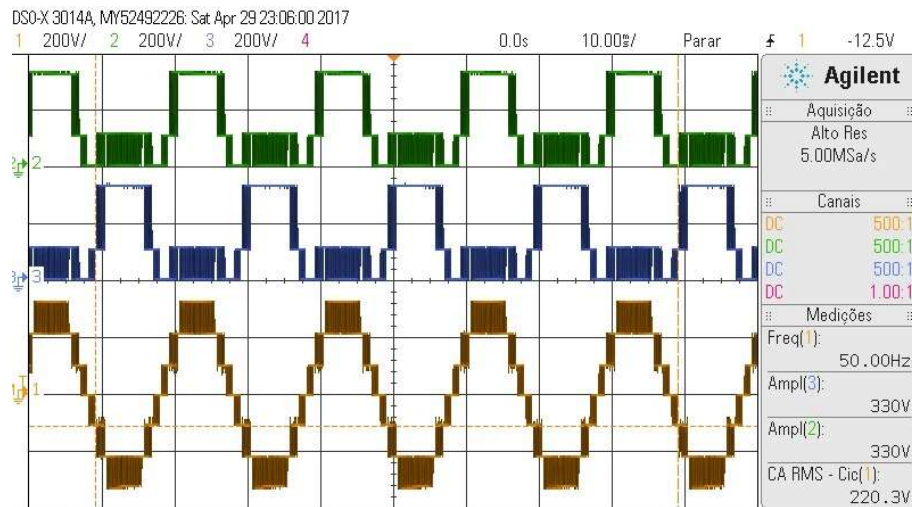


Figura 5.11 – Formas de onda da tensão na saída dos braços.

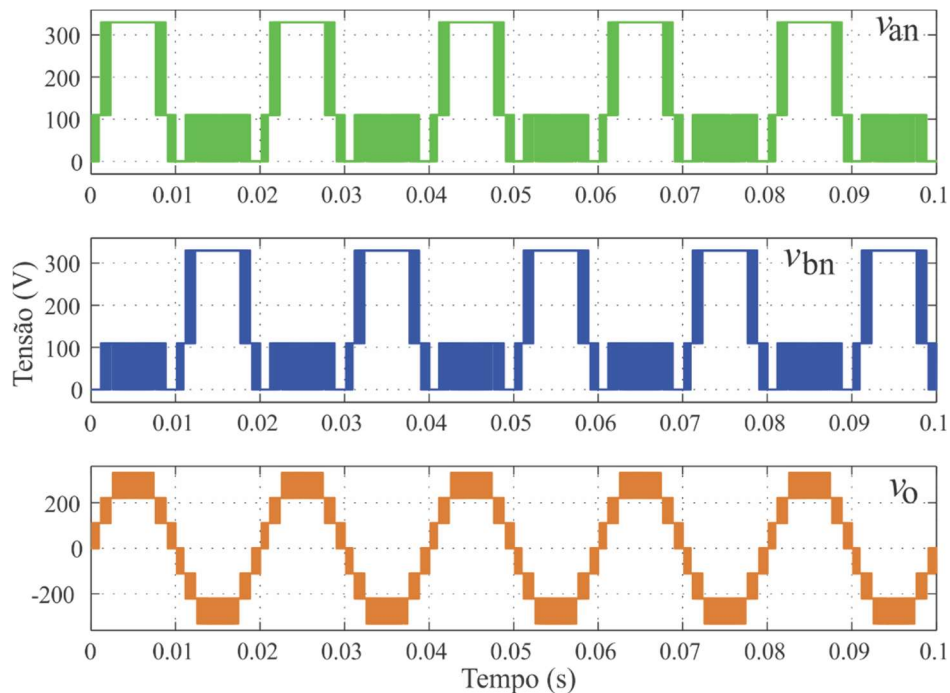


Figura 5.12 – Simulação para os sinais de tensão na saída dos braços.

As formas de onda obtidas na saída dos braços do inversor v_{an} e v_{bn} como mostra a Figura 5.11 apresentam três níveis: 0V, 110V e 330V, que correspondem a 0V, $1/3V_{cc}$ e V_{cc} respectivamente, produzindo sete níveis na saída do inversor. Estas formas de onda são praticamente idênticas aos sinais da saída dos braços, obtidos durante a simulação e mostrada na Figura 5.12.

5.3.3 Sinal de tensão na saída do inversor

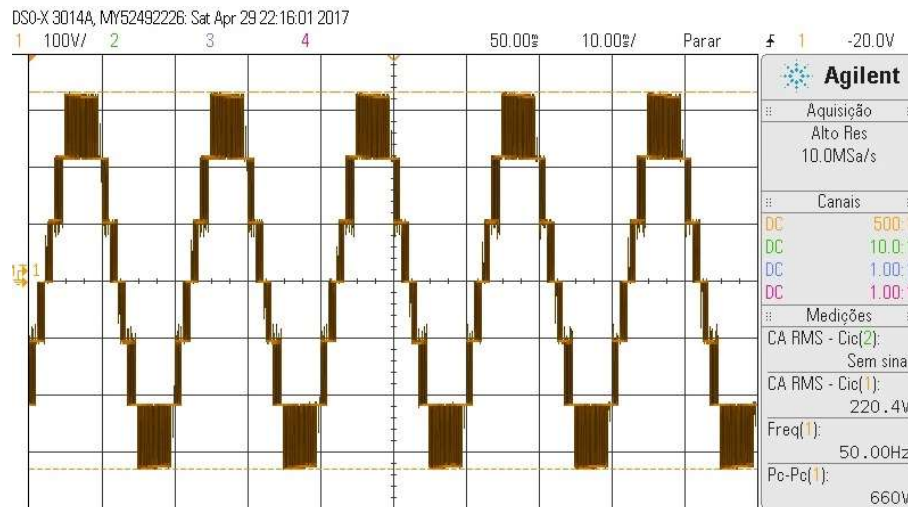


Figura 5.13 – Forma de onda da tensão na saída do inversor.

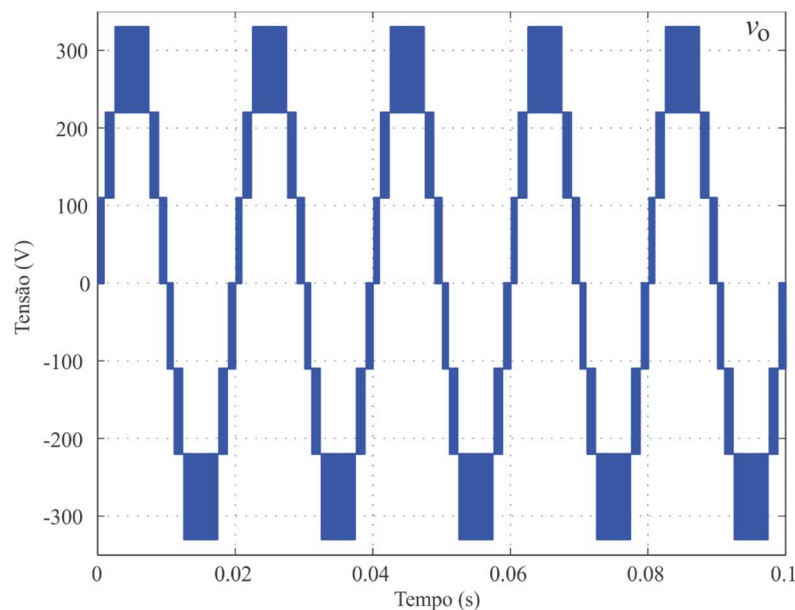


Figura 5.14 – Simulação para o sinal da tensão na saída do inversor.

A forma de onda obtida na saída do inversor como mostra a Figura 5.13 é bastante semelhante a de simulação mostrada na Figura 5.14, corroborando com o correto funcionamento do modulador proposto e implementado utilizando um FPGA, com a tensão e frequência de saída apresentando valores bem próximos aos simulados.

A THD medida para a forma de onda da tensão de saída como mostra a Figura 5.13 apresentou valor de 20,6%, enquanto o obtido na simulação, mostrado na figura 5.14 foi de 20,9%.

5.3.4 Sinal de corrente na saída do inversor

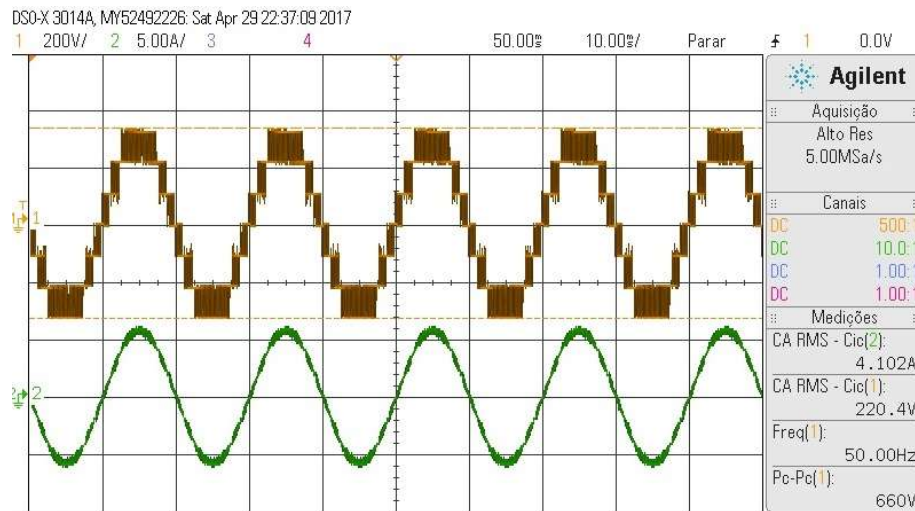


Figura 5.15 – Forma de onda da corrente e tensão de saída.

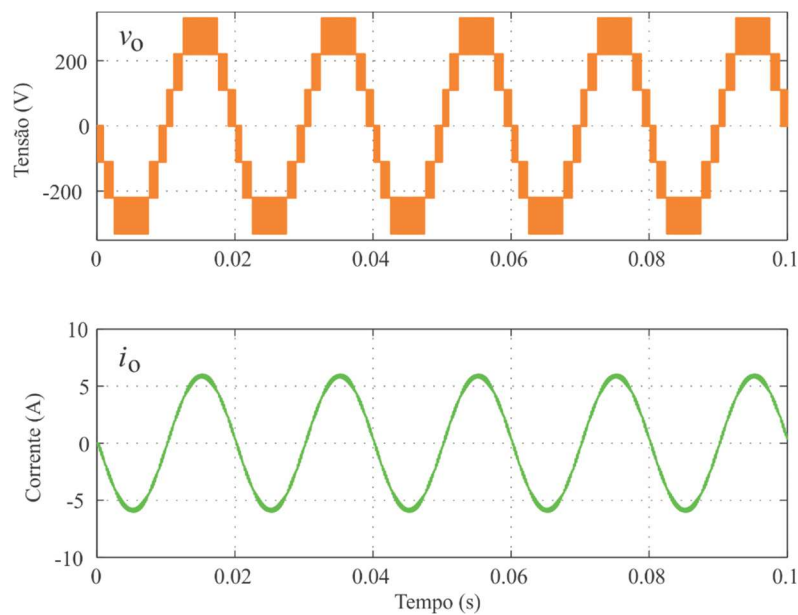


Figura 5.16 – Simulação para o sinal da corrente e tensão de saída.

Como se verifica na Figura 5.15, a forma de onda da corrente de saída apresenta valor eficaz de 4,10A e na Figura 5.16 a corrente simulada é de 4,17A. Pode-se constatar também, que a corrente de saída está praticamente em fase com a tensão, isto ocorreu porque foi utilizado uma carga fortemente resistiva, sendo composta por um resistor de 54Ω em série com um indutor de 12mH, cuja reatância indutiva é de apenas $3,8\Omega$. Mesmo com esta pequena componente indutiva, a corrente de saída já apresenta formato senoidal devido à presença dos sete níveis na tensão de saída, fornecido pelo inversor multinível.

5.3.5 Sinais de tensão nas chaves de potência

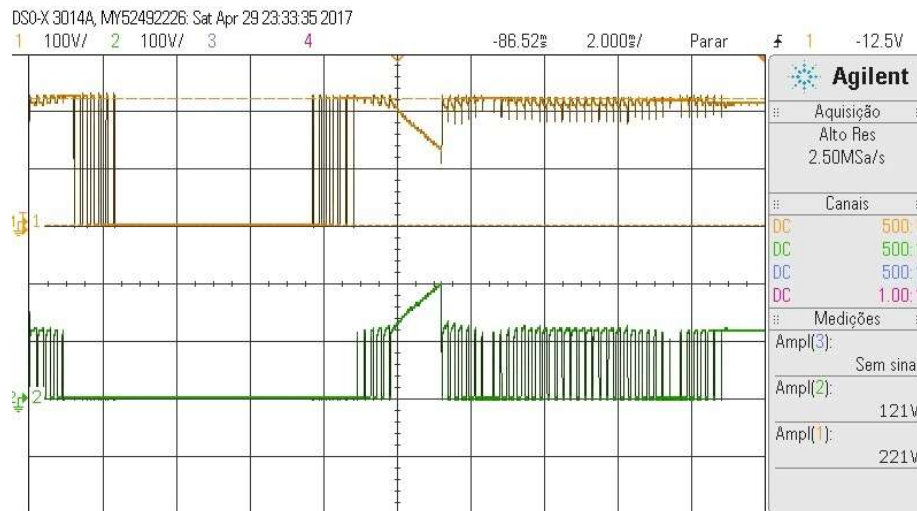


Figura 5.17 – Formas de onda da tensão nas chaves de potência Q_1 e Q_2 do braço (a).

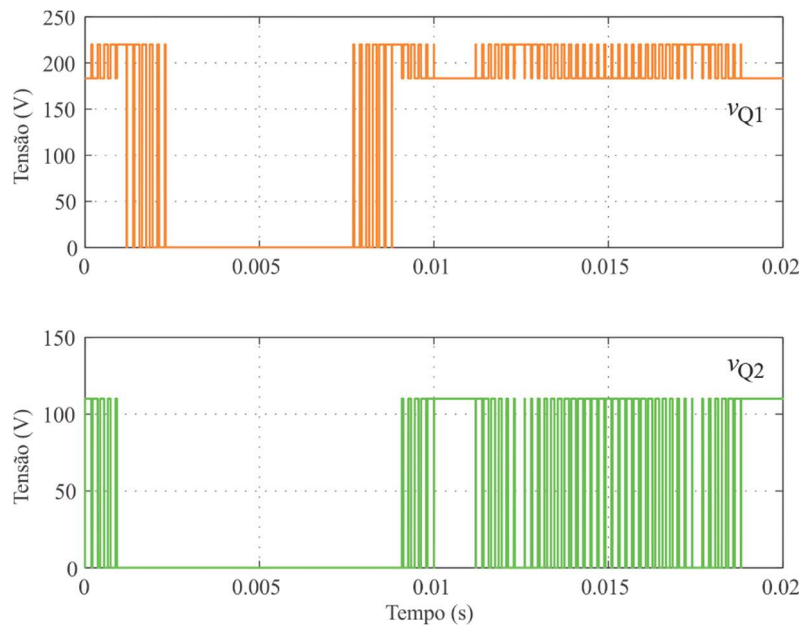


Figura 5.18 – Simulação para os sinais de tensão nas chaves de potência Q_1 e Q_2 do braço (a).

As Figuras 5.17 e 5.18 apresentam os sinais de tensão nas chaves de potência do braço (a) durante um período com 20ms, sendo as formas de onda nas cores laranja e verde referentes as tensões nas chaves Q_1 e Q_2 respectivamente. Ainda na Figura 5.17, constata-se a presença de um sobre sinal na chave de potência Q_2 , que pode ter sido causado por indutâncias parasitas, pelo valor utilizado para os capacitores snubbers, bem como pelos cabos de interligação utilizados na montagem do protótipo. A forma de onda da Figura 5.17 apresenta tensão máxima

de 121V e 221V nas chaves Q_1 e Q_2 respectivamente, bem próximos aos valores simulados de 110V e 220V mostrados na Figura 5.18.

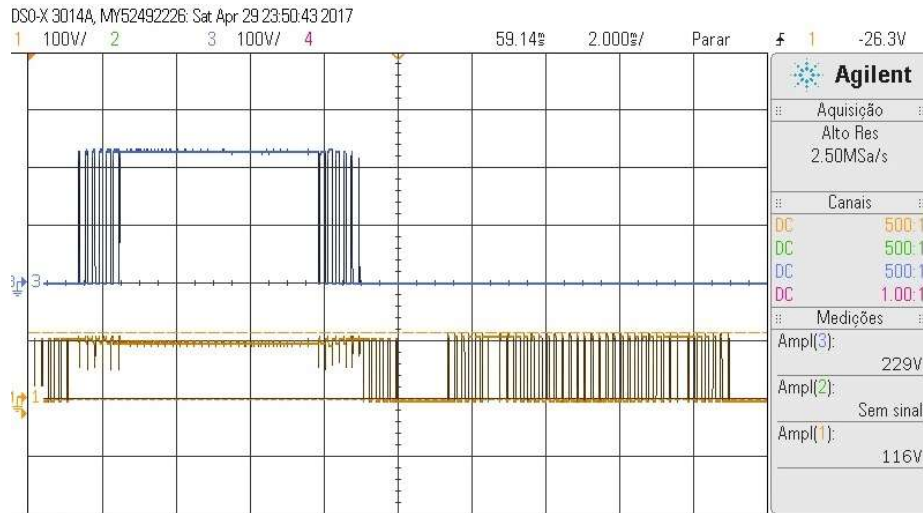
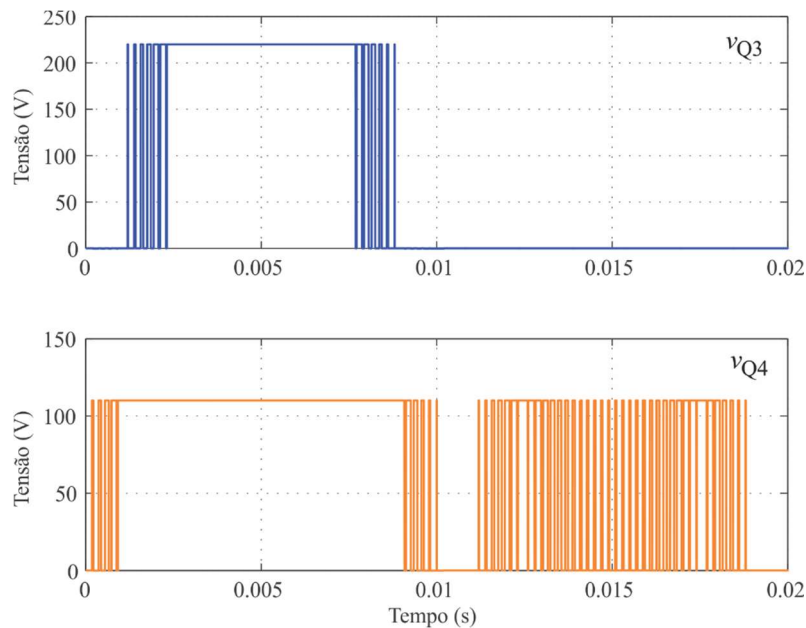


Figura 5.19 – Formas de onda da tensão nas chaves de potência Q_3 e Q_4 do braço (a).



5.20 – Simulação para os sinais de tensão nas chaves de potência Q_3 e Q_4 do braço (a).

Na Figura 5.19 as formas de onda nas cores azul e laranja são referentes aos sinais de tensão nas chaves de potência Q_3 e Q_4 respectivamente, e na Figura 5.20 idem para os sinais simulados. Constata-se na Figura 5.19 as tensões máximas de 229V e 116V nas chaves de potência Q_3 e Q_4 do braço (a) respectivamente, e na simulação os valores foram de 220V para Q_3 e de 110V para Q_4 , esta pequena diferença é devido aos spikes de tensão inerentes a uma montagem em bancada.

5.3.6 Sinais de corrente nas chaves de potência

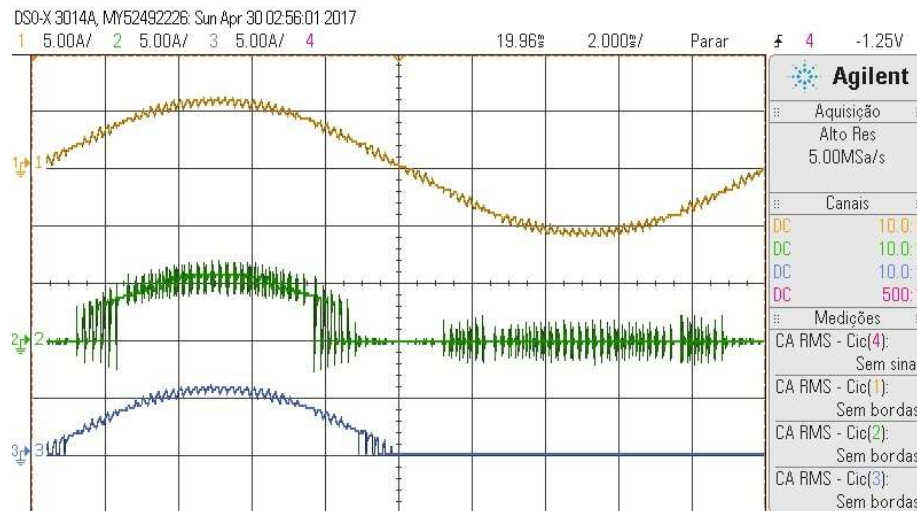


Figura 5.21 – Formas de onda da corrente nas chaves de potência Q_1 e Q_2 do braço (a).

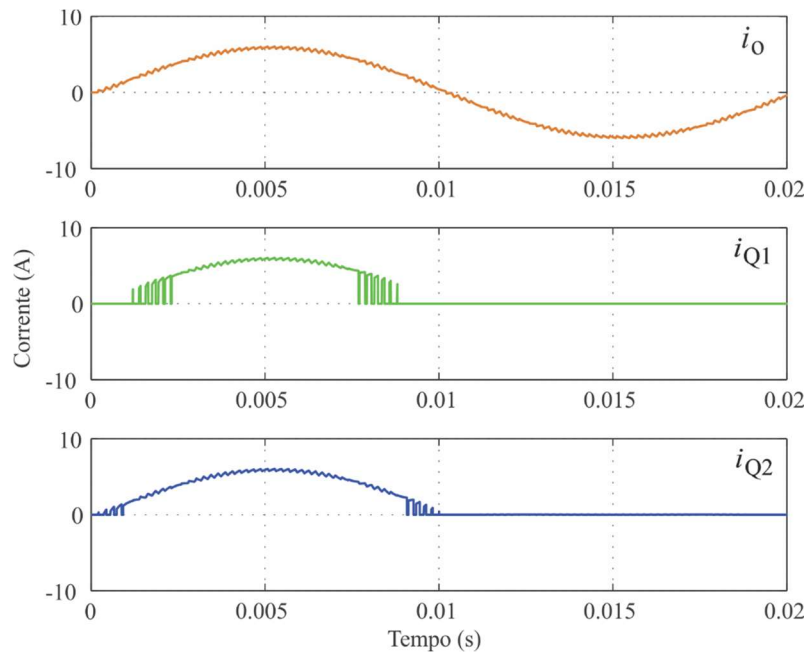


Figura 5.22 – Simulação para os sinais de corrente nas chaves de potência Q_1 e Q_2 do braço (a).

Na Figura 5.21 as formas de onda nas cores verde e azul são relativas as correntes nas chaves Q_1 e Q_2 respectivamente. Ainda nesta figura, a forma de onda na cor laranja é referente a corrente da carga, onde se observa que o valor máximo das correntes de Q_1 e Q_2 é igual ao valor máximo da carga. Na Figura 5.22 tem-se os sinais simulados também para as correntes das chaves de potência Q_1 e Q_2 nas mesmas cores, onde se pode contatar a semelhança existente entre o simulado e o experimental. Na Figura 5.21 observa-se ainda, a presença de vários spikes

na forma de onda de corrente da chave Q_1 , isto é inerente as indutâncias parasitas associadas aos cabos de interligação das chaves de potência para o inversor montado.

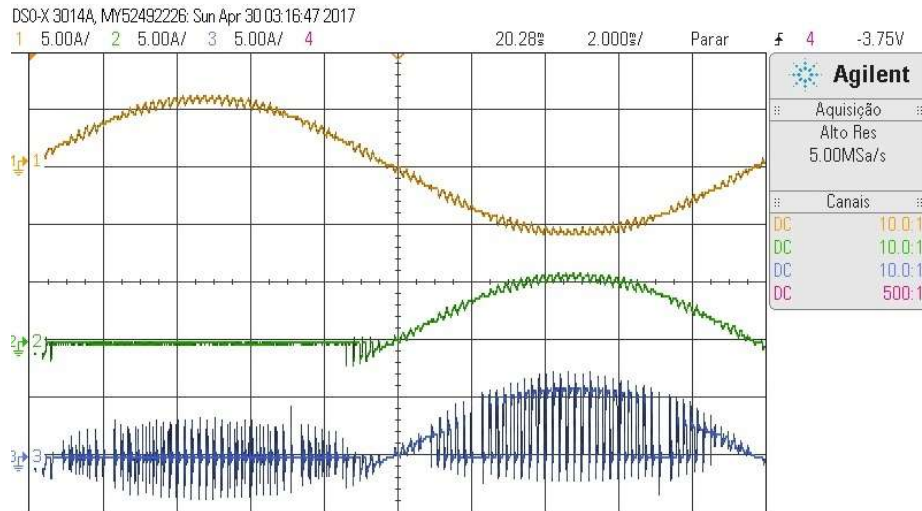


Figura 5.23 – Formas de onda da corrente nas chaves de potência Q_3 e Q_4 do braço (a).

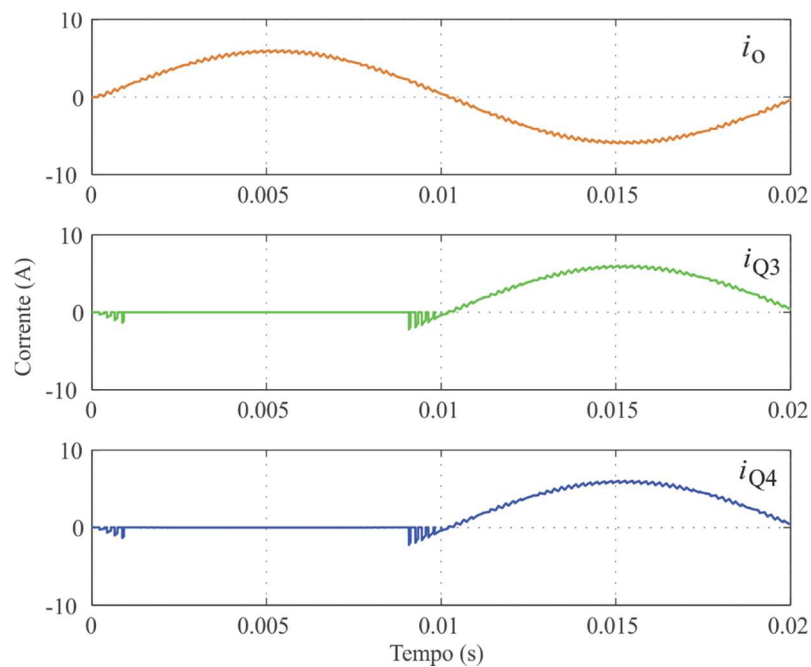


Figura 5.24 – Simulação para os sinais de corrente nas chaves de potência Q_3 e Q_4 do braço (a).

Na Figura 5.23 as formas de onda nas cores verde e azul são relativas as correntes nas chaves Q_3 e Q_4 respectivamente. Ainda nesta figura, a forma de onda na cor laranja é da corrente da carga, onde se observa que o valor máximo das correntes de Q_3 e Q_4 é igual ao valor máximo da corrente da carga. Da mesma forma que ocorreu na chave Q_1 , ocorreu também vários spikes na forma de onda da corrente da chave Q_4 , pelos motivos já comentados. O importante é

observar que a envoltória da forma de onda das correntes nas chaves Q_3 e Q_4 são semelhantes aos sinais simulados e apresentados na Figura 5.24.

5.3.7 Sinais de tensão nos diodos de grampeamento

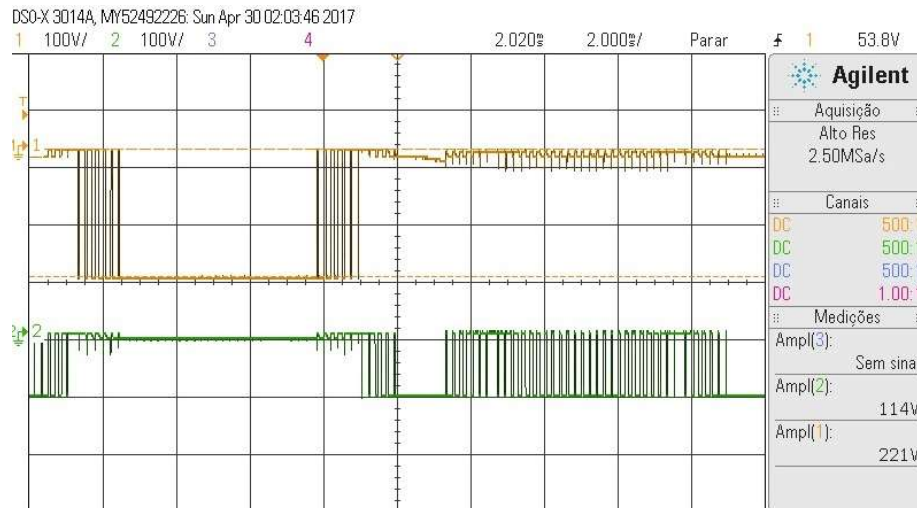


Figura 5.25 – Formas de onda da tensão nos diodos de grampeamento do braço (a).

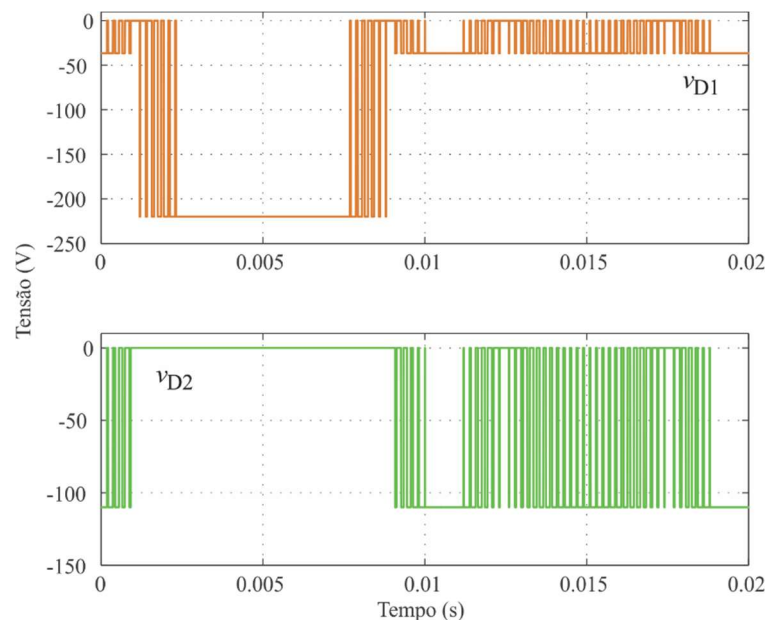


Figura 5.26 – Simulação para os sinais de tensão nos diodos de grampeamento do braço (a).

Na Figura 5.25, as formas de onda nas cores laranja e verde representam as tensões nos diodos de grampeamento D1 e D2 do braço (a) respectivamente, onde se constata tensão reversa máxima de 221V em D1 e de 114V D2, sendo estes valores bem próximos aos obtidos em simulação, como mostra a figura 5.26 com tensão máxima em D1 de 220V e em D2 de 110V.

5.3.8 Sinais de corrente nos diodos de grampeamento

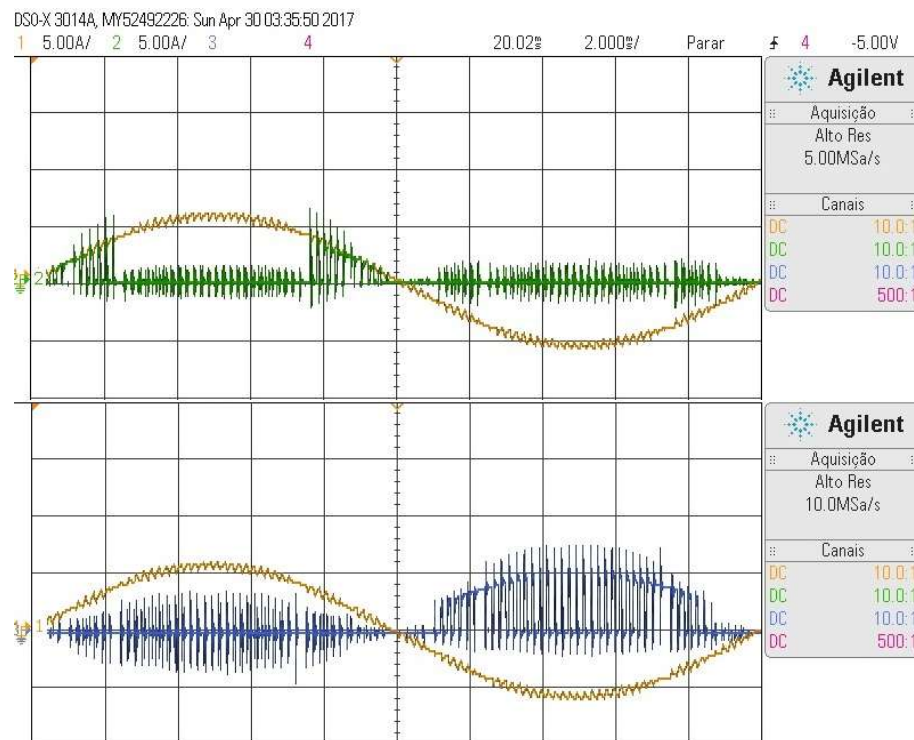


Figura 5.27 – Formas de onda da corrente nos diodos de grampeamento do braço (a).

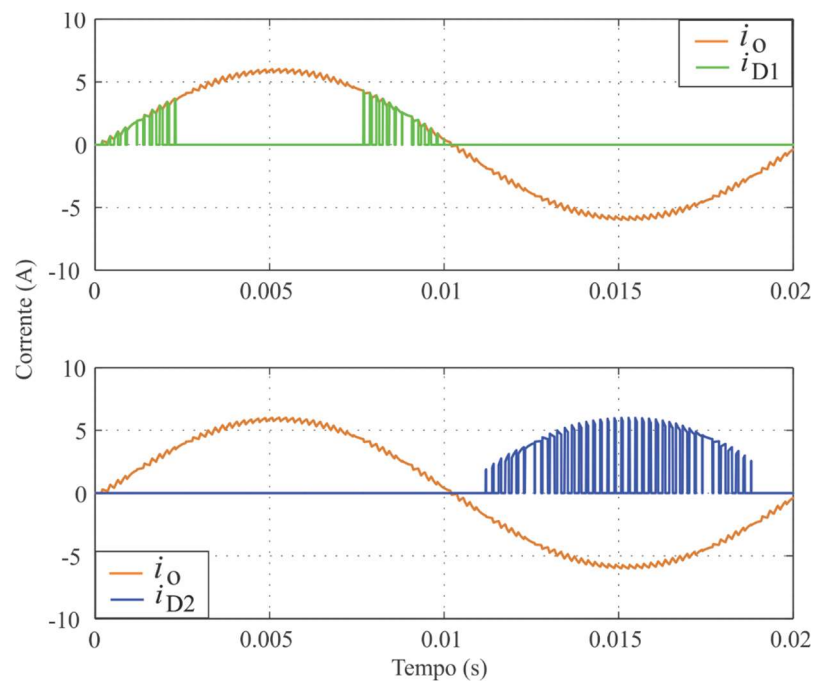


Figura 5.28 – Simulação para os sinais de corrente nos diodos de grampeamento do braço (a).

Nas Figuras 5.27 e 5.28 as formas de onda nas cores verde e azul são relativas as correntes nos diodos de grampeamento D1 e D2 do braço (a) respectivamente. Onde se constata que o diodo D1 conduz nos setores 1 e 2, enquanto o diodo D2 nos setores 5 e 6. Ainda nestas figuras, a forma de onda na cor laranja representa a corrente de saída. A corrente máxima medida no diodo D1 foi de 4,1A e no diodo D2 foi de 5,8A, ou seja, em D2 tem-se mesmo valor da corrente máxima da carga. Na Figura 5.28 mostra os sinais de simulação para as correntes dos diodos D1 e D2, onde se observa a forma e valores próximos aos obtidos na medição experimental que consta na Figura 5.27.

5.4 Comparação entre os resultados experimentais e simulados

Na Tabela 5.3 é apresentada para efeito de comparação os valores obtidos de simulação e experimentais. Como se pode observar, existe uma pequena diferença entre os valores simulados e experimentais, mesmo assim, os resultados foram bastante satisfatórios para validar os estudos realizados.

Tabela 5.3 – Comparação entre as grandezas medidas por simulação e experimental para o inversor NPC monofásico assimétrico do protótipo.

Grandeza medida	Simulado	Experimental	Und
Tensão do barramento 1 - V_{cc1}	220,00	220,50	V
Tensão do barramento 2 - V_{cc2}	110,00	110,20	V
Tensão total do barramento - V_{cc}	330,00	330,70	V
Tensão eficaz de saída - $V_{o(rms)}$	224,31	220,40	V
Corrente eficaz de saída - $I_{o(rms)}$	4,17	4,10	A
Potência eficaz de saída - S	935,37	903,64	VA
Frequência da tensão de saída - f_m	50,00	50,00	Hz
Tensão máxima das chaves de potência - $V_{Q(max)}$	220,00	229,00	V
Corrente máxima das chaves de potência - $I_{Q(max)}$	6,01	5,80	V
Corrente eficaz das chaves de potência - $I_{Q(rms)}$	2,96	2,83	A
Tensão máxima diodos de grampeamento - $V_{D(max)}$	220,00	221,00	V
Corrente máxima diodos de grampeamento - $I_{D(max)}$	6,01	5,80	A
Corrente eficaz diodos de grampeamento - $I_{D(rms)}$	1,95	1,81	A
Distorção harmônica da tensão de saída - THD	20,95	20,60	%

5.5 Conclusão

Neste capítulo foi apresentado o protótipo do inversor NPC monofásico assimétrico montado em laboratório, onde cada componente do inversor foi descrito detalhadamente. A geração dos sinais PWM utilizando FPGA foi bastante eficiente, de fácil implementação e os resultados obtidos foram satisfatórios. As formas de ondas dos resultados experimentais apresentaram excelente qualidade e estiveram de acordo com as simulações, com a tensão de saída apresentando sete níveis, igualmente espaçados em amplitudes para todos os níveis adjacentes. A taxa de distorção harmônica total da tensão de saída, apresentou resultado experimental bem próximo ao da simulação.

Comprovou-se através da montagem experimental que os resultados práticos obtidos foram semelhantes com os das simulações efetuadas no capítulo anterior, desta forma foi possível comprovar o correto funcionamento e eficácia da técnica de modulação empregada nos inversores NPC monofásicos assimétricos apresentados neste trabalho.

Capítulo 6

Conclusões Gerais e Trabalhos Futuros

6.1 Conclusões Gerais

Esta dissertação apresentou uma técnica utilizando a modulação por largura de pulso (PWM) baseada em portadora, para elevar a quantidade de níveis na tensão de saída, aplicada aos inversores NPC multiníveis monofásicos assimétricos, com o objetivo de reduzir a taxa de distorção harmônica total (THD) do sinal de tensão.

A técnica foi aplicada nos inversores NPC monofásicos assimétricos de três, quatro e cinco níveis por braço, obtendo a tensão de saída com sete, treze e dezenove níveis respectivamente, ou seja, fornecendo dois, seis e dez níveis a mais que os inversores NPC simétricos equivalentes de mesma quantidade de níveis por braço. Através de um conjunto de equações e procedimentos foi possível demonstrar que a técnica utilizada pode ser aplicada em inversores NPC com qualquer quantidade de níveis por braço.

As simulações efetuadas utilizando o *software* PSIM e aplicadas aos inversores NPC monofásicos assimétricos de três, quatro e cinco níveis por braço, comprovou de maneira eficaz, o correto funcionamento da técnica utilizada.

A montagem experimental foi efetuada para um inversor NPC assimétrico de três níveis, onde foi possível comprovar o correto funcionamento da técnica proposta. O modulador PWM para o inversor NPC assimétrico foi implementado utilizando um FPGA que se mostrou bastante eficiente para esta aplicação. Os valores obtidos das simulações e da montagem experimental apresentaram resultados bastante semelhantes.

Uma outra vantagem comprovada para os inversores NPC assimétricos utilizados neste trabalho, é que a frequência de comutação média das chaves foi menor que nos inversores simétricos equivalentes, o que implica em perdas menores nas chaves de potência.

Com relação às desvantagens dos inversores NPC assimétricos utilizados neste trabalho, verificou-se que as chaves de potência e os diodos de grameamento apresentam tensões máximas de trabalho maiores que a dos inversores NPC simétricos equivalentes. Outra desvantagem dos inversores NPC assimétricos é que não permite ser utilizado em estruturas do tipo CA/CC/CA.

Um outro inconveniente apresentado na montagem experimental, foi a presença de sobre tensões (spikes) em algumas chaves de potência. Isto ocorreu devido às indutâncias parasitas provocadas pelos cabos de interligação utilizados na montagem. Também, porque não se utilizou braços de NPC prontos de fábrica na montagem do inversor. Foram utilizados braços de chaves convencionais de dois níveis, que não é recomendado pelo fabricante. Mais um detalhe de construção não cumprido, também recomendado pelo fabricante do braço é que se utilize barras de cobre, no lugar de cabos flexíveis para interligar as chaves de potência. Por tudo isto, a ocorrência destes spikes foram inevitáveis, mas ficaram limitados a pequenos valores, devido à presença dos capacitores snubbers instalados no inversor do protótipo.

6.2 Trabalhos Futuros

Com o objetivo de aprofundar os estudos sobre os inversores NPC assimétricos e também melhorar o que já foi apresentado, as seguintes sugestões para trabalhos futuros são propostas:

- Desenvolver o modelamento matemático da planta para o inversor NPC assimétrico de três níveis empregado neste trabalho.
- Projetar um controle em malha fechada para a tensão de saída, tornando-a mais estável e independente da carga.
- Efetuar montagem experimental para os inversores NPC assimétricos de quatro e cinco níveis, para comprovar o funcionamento da técnica empregada, também nestes casos.
- Utilizando a mesma técnica aplicada nos inversores NPC monofásicos assimétricos, apresentar um modelo semelhante na versão trifásica.
- Efetuar análise qualitativamente e quantitativamente nas perdas que ocorrem nas chaves de potência.

Bibliografia

- [1] N. Mohan, “First course on power electronics and drives,” MNPERE, Mineapolis, MN, USA, 2003.
- [2] C. Sourkounis, and A. Al-Diab, “A comprehensive analysis and comparison between multilevel space-vector modulation and multivel carrier-based PWM,” *13th International Power Electronics and Motion Control Conference, EPE-PEMC*, 2008.
- [3] N. Mohan, T. Undeland, and W. Robbins, “Power electronics – converters, applications and design,” John Wiley & Sons, Inc., New York, NY, USA, 1995.
- [4] T. L. Skvarenina, “The power electronics handbook,” CRD Press LLC, West Lafayette, Indiana, USA, 2002.
- [5] A. Ahmed, “Eletrônica de potência,” Prentice Hall, São Paulo, Brasil, 2000.
- [6] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. Franquelo, B. Wu, J. Rodriguez, M. Pérez, and J. Leon, “Recent advances and industrial applications of multilevel converters,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2553-2580, Aug. 2010.
- [7] B. McGrath, D. Holmes, and T. Meynard “Reduced PWM harmonic distortion for multilevel inverters operating over a wide modulation range,” *IEEE Transactions on Power Electronics*, vol. 21, no. 4, pp. 941-949, Jul. 2006.
- [8] A. Boora, A. Nami. F. Zare, A. Ghosh, and F.Blaabjerg, “Voltage-sharing converter to supply single-phase asymmetrical four-level diodo-clamped inverter with high

- power factor loads,” *IEEE Transactions Power Electronics*, vol. 25, no. 10, pp. 2507-2520, Oct. 2010.
- [9] L. Franquelo, J. Rodriguez, J. Leon, S. Kouro, R. Portillo, and M. Prats, “The age of multilevel converters arrives,” *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28-39, Jun. 2008.
- [10] I. de Freitas, M. Bandeira, L. Barros, C. Jacobina, E. dos Santos, F. Salvatori, and S. da Silva, “A carrier-based PWM technique for capacitor voltage balancing of single-phase three-level neutral-point-clamped converters,” *IEEE Transactions on Industry Applications*, vol. 51, no. 4, pp. 3237-3234, Jul./Aug. 2015.
- [11] J. Rodriguez, L. Franquelo, J. Leon, S. Kouro, R. Portillo, M. Prats and M. Pérez, “Multilevel converters: In enabling technology for high power applications,” *Proceedings of the IEEE*, vol. 97, no. 11, pp. 1786-1817, Nov. 2009.
- [12] H. Abu-Rub, J. Holtz, J. Rodriguez, and G. Baoming, “Medium-voltage multilevel converters – state of the art, challenges, and requirements in industrial applications,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2581-2596, Aug. 2010.
- [13] R. H. Baker and L. H. Bannister, “High-voltage converter circuit,” *U. S. Patent* 4 203 151, May. 1980.
- [14] A. Nabae, I. Takahashi, and H. Akagi, “A neutral-point clamped PWM inverter,” in *Proceeding of the Industry Applications Society Conference*, pp. 761-766, Sep./Oct. 1980.
- [15] E. dos Santos, and E. da Silva, “Power block geometry applied do the building of power electronics converters,” *IEEE Transactions on Education*, vol. 56, no. 2, pp. 191-198, May. 2013.
- [16] J. Rodriguez, J. Lai, and F. Peng, “Multilevel inverters: A survey of topologies, controls, and applications,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, Aug. 2002.

- [17] E. dos Santos, and E. da Silva, “Advanced power electronics converters – PWM converters processing AC voltage,” *IEEE Press Series on Power Engineering/John Wiley & Sons, Inc.*, Hoboken, New Jersey, USA, 2015.
- [18] T. Meynard, and H. Foch, “Multilevel conversion: High voltage Choppers and voltages sources inverters,” *IEEE Power Electronics Specialists Conference, PESC 92*, vol. 1, pp. 397-403, 1992.
- [19] J. Lai, and F. Peng, “Multilevel converters – A new breed of power converters,” *IEEE Transactions on Industry Applications*, vol. 32, pp. 509-517, 1996.
- [20] Y. Shaike, and E. Lews, “Assesment of medium voltage PWM VSI topologies for multi-megawatt variable speed drive applications,” *IEEE Power Electronics Specialists Conference, PESC 99*, vol. 2, pp. 656-671, 1999.
- [21] R. Baker, and L. Bannister, “Electric power converter,” *U. S. Patent 3 867 648*, Feb. 1975.
- [22] M. Manjrekar, P. Steimer, and T. Lipo, “Hybrid multilevel power conversion system: A competitive solution for high power applications,” *IEEE-IAS Conference Record*, 1999.
- [23] C. Rech, “Análise, projeto e desenvolvimento de sistemas multiníveis híbridos,” *Tese de Doutorado, Programa de Pós graduação em Engenharia Elétrica*, UFSM, 2005.
- [24] C. Long, Q. Chen, G. Li, C. Hu, C. Zheng, and G. Fang, “Electro-thermal loss analysis of the 3L-ANPC converter,” *IEEE 5th International Symposium on Power Electronics for Distributed Generation Systems, PEDG*, Jun. 2014.
- [25] F. Z. Peng, “A generalized multilevel inverter topology with self voltage balancing,” *IEEE Transactions on Industry Applications*, vol. 37, no. 2, pp. 611-618, Mar./Apr. 2001.

- [26] A. Lesnicar, and R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power range," *IEEE PowerTech Conference*, Bologna, Italy, Jun. 2003.
- [27] L. Tolbert, F. Peng, and T. Habetler, "Multilevel PWM methods at low Modulation indices," *IEEE Transactions on Power Electronics*, vol. 15, no. 4, pp. 719-725, Jul. 2000.
- [28] B. Mwinziwiwa, Z. Wolanski, and B. T. Ooi, "Microprocessor-implemented SPWM for multiconverters with phase-shifted triangle carriers," *IEEE Industry Applications Conference*, vol. 2, pp. 1542-1549, Oct. 1997.
- [29] M. Calais, L. Borle, and V. Agelidis, "Analysis of multicarrier PWM methods for a single phase five level inverter," in *PESC Record - IEEE Power Electronics Specialists Conference*, vol. 3 pp. 1351-1356, Jun. 2001.
- [30] K. Zhou, and D. Wang, "Relationship between space-vector modulation and three-phase carrier-based PWM: A comprehensive analysis," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 1. pp. 186-196, Feb. 2002.
- [31] B. McGrath, D. Holmes, M. Manjrekar, and T. Lipo, "Improved modulation strategy for a hybrid multilevel inverter," *IEEE Industry Applications Conference*, vol. 4. pp. 2086-2093, Oct. 2000.
- [32] S. Mariethoz, and A. Rufer, "New configurations for three-phase asymmetrical multilevel inverter," *IEEE Industry Applications Conference*, vol. 2, pp. 828-835, Oct. 2004.
- [33] J. Rodriguez, L. Moran, P. Correa, and C. Silva, "A vector control technique for medium-voltage multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 882-888, 2002.
- [34] S. Barkati, L. Baghli, E. Berkouk, and M. Boucherit, "Harmonic elimination in diode-clamped multilevel inverter using evolutionary algorithms," *Electric Power Systems Research* 78 (2008) 1737-1746.

- [35] A. Nami, F. Zare, G. Ledwich, A. Ghosh, and F. Blaabjerg, "Comparison between symmetrical and asymmetrical single phase multilevel inverter with diode-clamped topology," *IEEE Power Electronics Specialists Conference*, PESC 2008, Jun. 2008.
- [36] D. Kai, Z. Ping, C. Ying, W. Chao, L. Fei, and X. Lian, "A novel single-phase 5-level asymmetric inverter," *IEEE Power Electronics and Motion Control Conference*, IPEMC, Aug. 2004.
- [37] S. Pulikanti, G. Konstantinou, and V. Agelidis, "Hybrid seven-level cascaded active neutral-point-clamped-based multilevel converter under SHE-PWM," *IEEE Transactions on Industrial Electronics*, vol. 60, no. 11, pp. 4794-4804, Nov. 2013.
- [38] H. Braga, "Conversores multiníveis em corrente," *Tese de Doutorado, Programa de Pós Graduação em Engenharia Elétrica*, UFSC, 1996.
- [39] A. Giaretta, "Análise de propostas de estratégias de controle para algumas topologias de multiconversores monofásicos," *Dissertação de Mestrado*, Escola Politécnica da Universidade de São Paulo, 2009.
- [40] M. Rashid, "Power electronics handbook – device, circuits and applications," Elsevier, Burlington, MA, USA, 2011.
- [41] M. Medina, "Design and control of single-phase modular multilevel converter," *Master of Science in Electrical Energy Conversion and Power Systems*, Universidade de Oviedo, Asturias, Espanha, 2013.
- [42] A. Farias, "Técnicas de modulação para inversores fotovoltaicos sem transformador conectados à rede elétrica," *Dissertação de Mestrado, Programa de Pós-Graduação em Engenharia Elétrica*, UFPE, 2011.